

교류형 PDP의 온도에 따른 방전 특성

Temperature-dependent Characteristics of Discharge in AC-PDP

김근수^{1,a}, 이석현¹

(Gun-Su Kim^{1,a} and Seok-Hyun Lee¹)

Abstract

In AC-PDP, it is necessary to achieve high luminance efficacy, high luminance and high resolution by adopting technologies such as high Xenon concentration, MgO doping, and long gap. However, it is very difficult to apply above technologies because they reduce driving voltage margin. For example, doping of MgO reduces driving voltage but introduces new problems such as increased temperature dependency of discharge, which result in larger variations in driving margin at different temperatures. In this paper, we present the experimental results of the characteristics of temperature-dependent discharges. In addition, we suggest the mechanism of bright noise, black noise, and high temperature mis-discharge, which depend on temperature-dependent characteristics of MgO.

Key Words : PDP, Plasma, Exo-electron emission, Temperature, Discharge, MgO, Black noise, Bright noise

1. 서론

교류형 PDP (Alternating Current - Plasma Display Panel)는 초박형 초대형 고선명 디스플레이 소자로서 널리 상용화 되고 있다. 40인치 이상 대형 디스플레이 시장을 독점을 할 것으로 예상되었던 PDP는 LCD(Liquid Crystal Display)의 추격으로 현재 40인치대에서 어려운 경쟁을 하고 있다. 이를 극복하기 위해서 암실 명암비 및 고속 어드레싱 방법 등 많은 연구들이 이루어졌다[1-7, 12,13]. 또한 다면취 공법개발 및 XGA급만 아니라 full HD급에서도 single scan을 할 수 있는 기술을 개발에 의한 원가절감을 수행하여 LCD등 다른 디스플레이 소자와 경쟁을 하고 있다. 그러나 다면취 기술과 single scan 기술에도 불구하고 판가하락에 따른 경쟁을 확보하기 위해 PDP는 더욱 원가절감과 고효율, 고화질 기술을 개발해야 할 필요가 있다.

현재 50인치 Full HD single scan 모델의 양산

마진이 매우 부족한 실정이고, 향후 40인치대의 full HD single scan 모델의 양산은 더욱 어려운 실정이다. 이러한 모델의 성공을 위해서는 고속 어드레싱, 고효율, 고화질 기술이 더욱 필요한 실정이다.

하지만 PDP의 고속 어드레싱, 고효율, 고화질 기술들은 이로 인하여 PDP의 온도 의존성이 증가하기 때문에 구동마진이 감소하여 이들 기술을 적용하는데 상당한 어려움이 따르고 있다. PDP의 원가절감을 위한 고효율, 고화질 기술을 개발 시에는 반드시 온도 의존성 개선이 필요하고, 이에 따른 구동 파형 개발이 절실한 상황이다.

본 연구에서는 온도 변화가 방전에 어떤 영향을 주는지 분석하였고, 온도 의존성에 영향을 주는 근본 원인에 대해서 분석하였다.

2. 본론

2.1 Exo-electron emission 현상

Exo-electron emission 현상은 방전 후에도 계속 전자가 방출되는 현상으로 이에 관한 연구가 많이 보고가 되고 있다[8-12,14]. 이 현상은 1936년

1. 인하대학교 전기공학과

(인천시 남구 용현4동 253)

a. Corresponding Author : kgs13152@hotmail.com

접수일자 : 2008. 11. 24

1차 심사 : 2008. 12. 5

심사완료 : 2009. 1. 30

L. Malter의 연구결과에서 보고되었고, 1973년 Larry F. Weber와 Roger L. Johnson의 연구결과에서는 방전 후에 셀 내에 흐르는 전류를 측정하였다[8,9].

최근 exo-electron emission 현상에 관한 연구는 PDP 구동 관련하여 리셋 방전의 안정성 및 jitter 감소에 영향을 많이 준다고 보고가 되고있다. Vladimir P. Nagorny가 exo-electron emission의 양에 따라 시뮬레이션을 수행한 결과에 의하면, exo-electron emission이 많을수록 램프 방전의 intensity가 감소하고 연속적으로 방전이 발생하고, 리셋 방전의 안정성이 증가하고 있다[10].

L. Oster와 J. Haddad의 보고서에서는 exo-electron emission 현상은 온도와 전계에 의한 현상과 Auger mechanism에 의한 현상 2가지로 분리하고 있다[11].

온도에 의한 exo-electron emission의 확률은

$$P_T = P_0 \exp\left(-\frac{e}{kT}\right) \quad (2.1)$$

나타내었고, 전계에 의한 exo-electron emission은

$$P_E = \frac{eEr}{2\pi h} \exp\left(-\frac{\pi e^{3/2}(2m)^{1/2}}{4eEh}\right) \quad (2.2)$$

나타내었다. 식 (2-1)은 온도에 의한 exo-electron emission은 온도가 증가할수록 그 확률이 증가한다. 그리고 식 (2-2)에서 보면 전계에 의한 exo-electron emission도 전계가 증가할수록 그 확률이 증가한다.

Auger-emission mechanism은 전자와 정공에 의한 재결합 과정에 의해 발생된 에너지가 전자로 방출된다[11].

이와 같은 Exo-electron emission들은 방전의 지연시간을 줄이는데 큰 역할을 한다. 고속 어드레싱을 위해서는 exo-electron emission을 증가시키는 것이 필요하다. Pioneer社에서는 CEL(Crystal Emissive Layer)을 사용하여 250 nm 근처에서 cathode luminescence가 크게 발생하게 하여 jitter를 크게 개선하였다[13]. 이와 같이 exo-electron emission은 jitter를 감소시키는데 큰 역할을 한다.

이러한 exo-electron emission 현상은 forbidden zone의 energy levels의 수와 분포, forbidden band와 conductive band의 전자들과 valence bane의 정공들의 수, 온도, dopant 그리고 표면 상태 등의 영향을 많이 받는다[10].

특히, 온도에 따라 증가하는 exo-electron emission은 벽전하를 감소 시켜서 고온에서의 구동 전압을 상승시킬 수 있다고 Harm Tolner는 설명하고 있다[12].

본 논문에서는 실험을 통하여 exo-electron emission과 온도에 따른 방전의 어떤 영향을 주는 지 살펴보았다.

2.2 실험 장치 및 방법

그림 1은 본 실험에 사용된 3전극 면방전형 AC-PDP의 셀 구조이다. 3 mm 두께인 2장의 유리로 구성되어 있고, 상판에는 유리 기판위에 ITO 전극을 증착 하고 그 위에 Ag로 이루어진 버스 전극을 인쇄한다. ITO 전극과 버스 전극으로 이루어진 방전유지전극 위에 유전체를 인쇄하고, 유전체 보호막인 MgO를 그 위에 증착한다. 그리고 하판에는 유리 기판위에 Ag로 인쇄된 어드레스 전극을 인쇄한다. 그리고 인접 셀과의 구분을 위하여 격벽을 만든다. 그 다음 면방전에서 발생하는 진공자의 선을 가시광으로 변환하는 red, green, blue 빛의 삼원색 형광체를 각각 도포 한다.

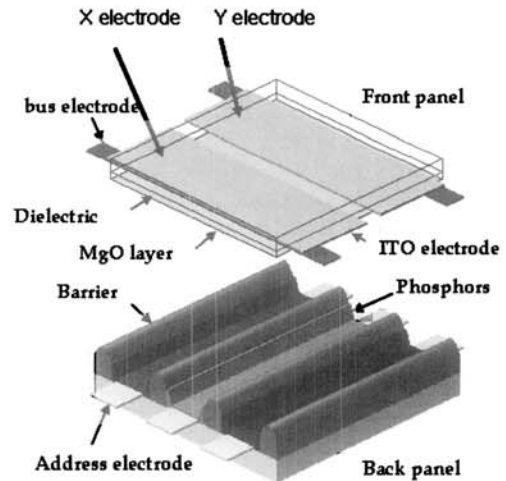


그림 1. AC-PDP.

Fig. 1. Basic structure of AC-PDP.

본 실험에 사용한 패널은 3전극 면방전형 구조이다. 패널 사양은 표 1과 같다. 50인치 패널에서 Ne 90 %, Xe 10 %, 가스압력은 400 Torr로 제작하여 실험하였다.

표 1. 패널의 사양.

Table 1. The specification of panel.

Panel size	50 inch
Working gas	Ne(90 %)-Xe(10 %)
Gas pressure	400 Torr
Barrier rib height	130 μm
ITO width	290 μm
ITO gap	80 μm
Bus width	80 μm
Dielectric thickness	38 μm
MgO Thickness	8000 Å

그림 2는 본 실험에서 사용한 실험 장치 구성도이다. 50인치 모듈에 power supply와 pattern generator로 구동한 후 오실로스코프(TDS3054B, Lecroy 7100)를 사용하여 전압파형을 측정하였다. 그리고 광파형기를 오실로스코프에 연결하여 광파형을 측정하였다. 모듈은 온도 가변 챔버에서 0 °C에서 60 °C까지 가변하여 모듈의 방전 특성을 측정하였다. PC에서 구동파형을 변경하여 여러 가지 파형을 발생시켜 실험을 실시하였다. 광파형 측정기를 오실로스코프에 연결하여 광파형을 측정하였다.

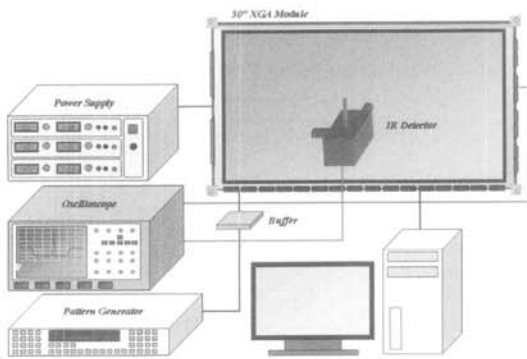


그림 2. 실험 장치의 개략도.

Fig. 2. Schematic diagram of measurement system.

그림 3은 실험에 사용한 X, Y 구동 파형의 개략도를 나타낸 것이다. 1st setup 전압은 $V_{sc} + V_s$ 전압으로 사용하고, 2nd setup은 V_s 전압만 사용하였다. 1 frame에 총 10개의 sub-field를 사용하였고, V_y 전압은 -200 V, V_{xv} 전압은 100 V, V_{sc} 전압은 130 V를, V_s 전압은 190 V, V_A 전압은 60 V 사용하였다.

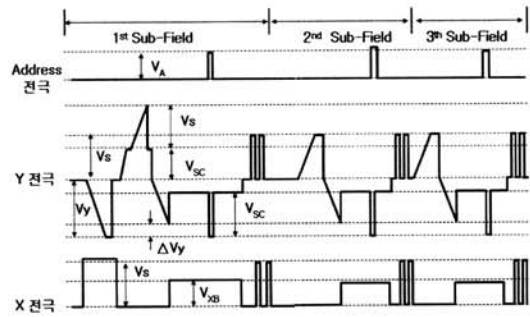


그림 3. 구동 파형의 개략도.

Fig. 3. Schematic diagram of voltage waveform.

2.3 온도에 따른 방전 현상 분석

그림 4, 5, 6은 PDP의 구동 파형 중 각각 리셋, 어드레스, 서스테인 구간에서 패널 온도에 따른 광파형을 측정한 그림이다. Full white 패턴에서 3전극에 인가되는 파형과 광파형을 측정하였다. 리셋 구간은 1st sub-field에서 측정하였고, 어드레스 구간과 서스테인 구간은 10th sub-field에서 광파형을 측정 하였다. 패널 온도가 상승할수록 리셋 구간과 어드레스 구간의 광파형이 감소하는 것을 볼 수가 있다. 하지만 서스테인 구간에서는 온도에 따른 영향이 크지 않고 온도에 따라 서스테인 광파형의 크기 조금씩 감소하지만 거의 동일한 것을 볼 수가 있다. 그림 4, 5, 6의 결과로 PDP의 방전은 온도에 따라 변화는 것을 알 수 있고, 특히 서스테인 구간 보다 리셋 구간과 어드레스 구간의 방전이 온도의 변화에 영향이 큰 것을 알 수 있다.

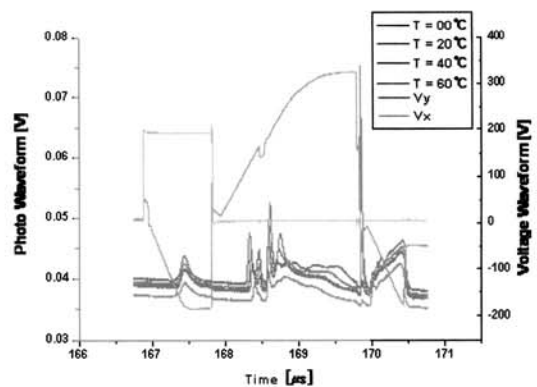


그림 4. 패널 온도에 따른 리셋 구간이 광 파형과 전압 파형.

Fig. 4. Photo waveform and voltage waveform as temperature of panel.

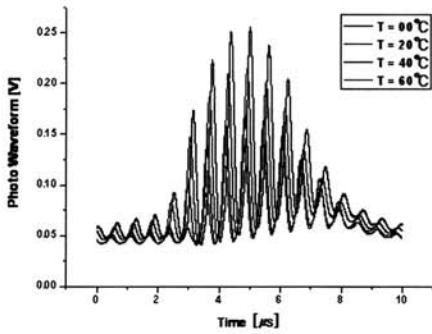


그림 5. 패널 온도에 따른 어드레스 광 파형.
Fig. 5. Address photo waveform as temperature of panel.

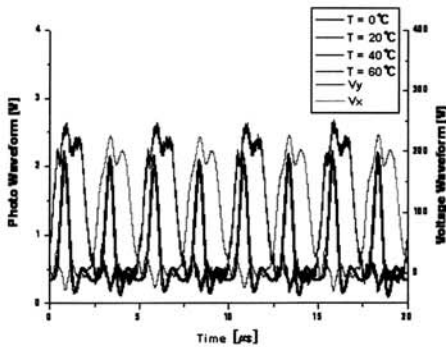


그림 6. 패널 온도에 따른 서스테인 광 파형과 전압 파형.
Fig. 6. Photo waveform and waveform as temperature of panel in sustain period.

온도에 따른 어드레스 구간의 방전 특성을 분석하기 위해 어드레스 jitter를 측정하였다. 온도 가변 챔버 안에서 챔버의 온도를 0 °C부터 60 °C까지 가변시켜 R, G, B 각각 1 line만 방전을 시킨 후 1st sub-field의 어드레스 구간 중 600 번째 line의 jitter를 측정 하였다. 그림 7은 어드레스 jitter 측정 방법 개략도이다. 스캔 펄스가 50% 하강 했을 때의 시간과 어드레스 광의 90% 상승 했을 때의 시간을 측정 하였다. T_D 는 total time lag, T_F 는 formative time Lag, T_S 는 statistical time Lag로 정의하였다.

그림 8은 온도에 따른 어드레스 jitter를 측정 한 그래프이다. 패널의 온도에 따라 어드레스 jitter를 1000번씩 측정하였다. 어드레스 jitter는 0 °C일 때 최고 약 1.4 μs 정도로 가장 크고, 온도가 올라 갈수록 감소하고, 60 °C에서는 약 0.9 μs 정도로 감

소한다. T_F 는 온도에 따라 거의 변화가 없지만 T_S 는 온도에 따라 크게 영향을 받고 저온일수록 온도에 따른 jitter 변화 기울기가 크다. 일반적으로 jitter가 감소하면 방전이 더 잘 발생하면서 방전량이 커지게 되는데, 온도에 따른 특성은 이와 반대 현상으로 나타나고 있다.

저온에서는 V_A 가 인가된 셀들이 off 셀로 나타나는 black noise 현상이 발생함과 동시에 V_A 가 인가되지 않은 셀들이 on 셀로 나타나는 bright noise 현상도 나타난다. 그리고 고온인 60 °C의 full white 패턴에서 패널의 하단부 영역의 셀들이 V_A 전압이 인가되어도 off 상태로 나타난다.

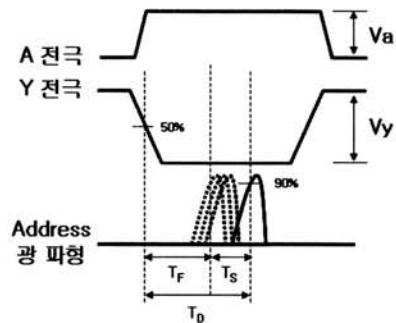


그림 7. 어드레스 jitter 측정 개략도.
Fig. 7. Schematic diagram of measurement for address jitter.

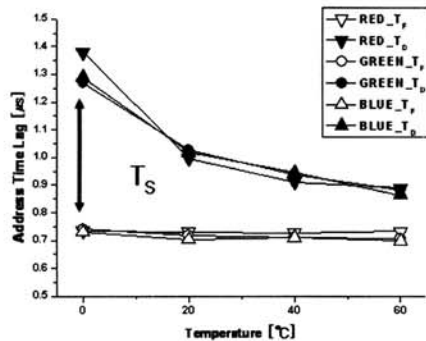


그림 8. 패널 온도에 따른 어드레스 jitter.
Fig. 8. Address jitter as temperature of panel.

그림 9는 0 °C부터 20 °C까지의 저온 영역에서의 V_A 최소값을 측정 한 그래프이다. 20 °C 이하 영역에서는 V_A 최소값이 온도가 감소할수록 상승한다. V_S 가 190 V인 경우 온도가 20 °C 대비 0 °C 일 때

V_A 최소값이 15.9 V 상승한다. 온도가 감소할수록 어드레스 jitter가 증가하기 때문에 V_A 최소값이 상승하고, 이러한 현상 때문에 저온에서는 black noise 현상이 발생한다. 그림 10은 20 °C부터 60 °C까지의 고온 영역에서의 V_A 최소값을 측정한 그래프이다. 20 °C 이상의 영역에서는 V_A 최소값이 온도가 상승할수록 상승하여 고온 오방전 현상이 발생한다. V_S 가 190 V인 경우 온도가 20 °C 대비 60 °C 일 때 V_A 최소값이 26.3 V 상승한다. 그림 9와 10의 결과에서 보듯이 패널의 온도 20 °C를 기준으로 온도가 상승 또는 감소할 경우 V_A 최소값이 상승한다. 그것은 온도에 따른 jitter 변화에 따라 black noise와 고온 오방전 현상이 나타나기 때문이다.

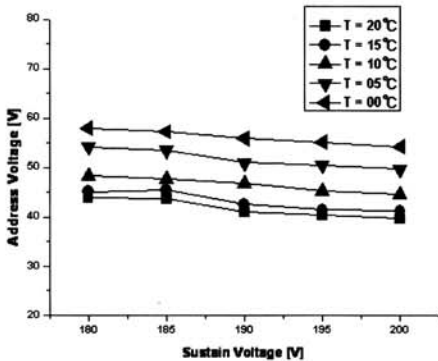


그림 9. 20 °C이하에서 온도에 따른 black noise 현상의 V_A 최소값.

Fig. 9. V_A min. of black noise as temperature under 20 °C.

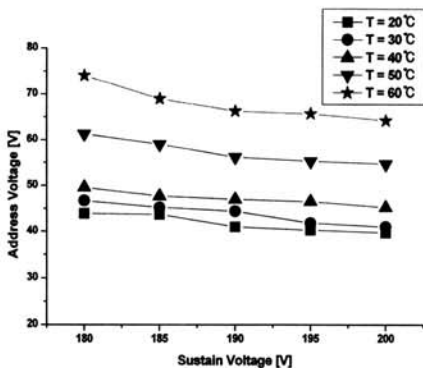


그림 10. 20 °C이상에서 온도에 따른 고온 오방전 현상의 V_A 최소값.

Fig. 10. V_A min. of high temperature mis-discharge as temperature up to 20 °C.

2.4 저온에서의 오방전 현상

저온에서는 exo-electron emission 현상이 감소하면서 jitter가 증가하여 black noise가 발생한다. 이와 함께 bright noise도 함께 발생하게 된다. 이것은 리셋 구간에서의 강방전이 발생하기 때문이다. 그림 11은 상온 및 고온에서 리셋 전압별 강방전 확률과 black 휘도를 비교한 그래프이다. 강방전 발생 확률은 그림 12처럼 리셋 구간 중의 광의 크기가 20 mV로 큰 파형의 발생 횟수를 측정 하였다. 리셋 파형의 정상적인 파형의 최대값은 약 10 mV로 측정 되었다. 총 2000번 씩 sampling 하여 측정된 값을 확률로 나타내었다. 측정결과 강방전 확률은 black 휘도와 반비례하였다. 즉 리셋 파형의

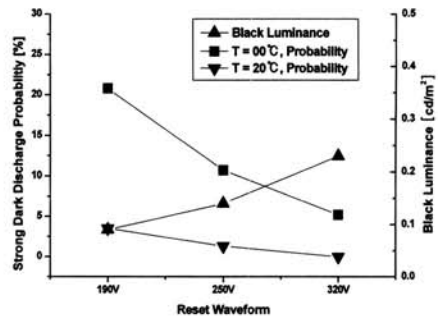


그림 11. 강방전 확률과 black 휘도.

Fig. 11. Strong dark discharge probability and black luminance.

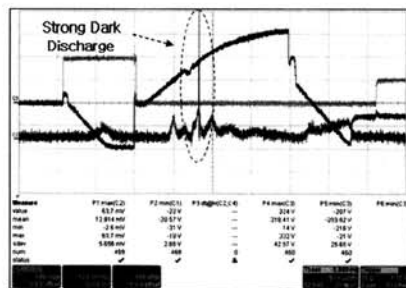


그림 12. 강방전 확률 측정.

Fig. 12. Measurement strong dark discharge probability.

방전이 클수록 방전의 안정성도 증가하게 된다. 그리고 상온 보다 저온에서 강방전 확률이 더 커진다. 상온에서는 리셋 전압이 320 V인 경우인 black

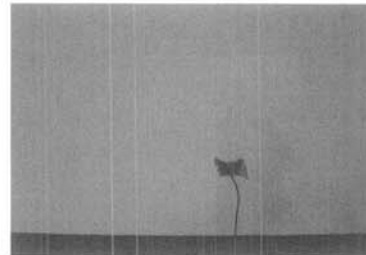
휘도가 0.25 cd/m²이었을 때 강방전 확률이 0 %이고, 저온에서는 double 리셋을 적용하였을 경우인 0.35 cd/m²일 때 0 %로 나타낸다. 패널의 온도 감소로 인해 exo-electron emission 현상이 감소하여 bright noise 현상이 발생하고 이를 개선하기 위해서는 더 큰 방전을 발생 시키는 리셋 파형이 필요할 것이다.

Exo-electron emission이 많으면 방전이 발생할 확률이 증가하기 때문에 리셋 구간에서 방전의 안정성이 증가하여 약방전이 잘 발생하지만, exo-electron emission이 감소하면 방전이 발생할 확률이 감소하기 때문에 리셋 구간에서 방전의 안정성이 감소하여 비연속적으로 발생할 확률이 증가하고, 상대적으로 높은 전압에서 방전이 발생하여 강방전 확률이 증가하게 된다. Exo-electron emission의 양에 따른 리셋 방전을 시뮬레이션하여 보고한 Vladimir P. Nagorny의 연구 결과에서도 exo-electron emission이 많을수록 방전의 peak intensity도 감소하고 방전이 연속적으로 발생하는 것으로 나타났다[11]. 방전의 peak intensity가 증가하면 곧 강방전 확률 증가로 나타나기 때문에 jitter에 직접적으로 영향을 주는 exo-electron emission은 bright noise에 많은 영향을 준다.

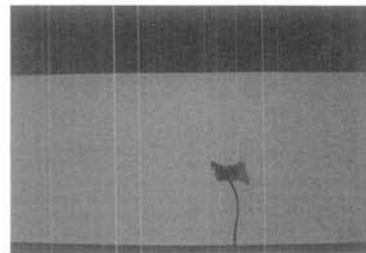
2.5 고온에서의 오방전 현상

PDP는 상온에서 구동 중에 패널의 온도가 최고 60 ℃까지 상승을 하게 된다. 이렇게 패널의 온도가 올라감에 따라 고온 오방전 현상이 발생을 한다. PDP는 패널의 온도가 상승하면 exo-electron emission 현상이 증가하고, jitter가 감소하고, 어드레스 방전이 약해지고, 이로 인해 구동에 필요한 전압이 상승하여 패널의 하단부의 cell이 off가 되는 현상이 발생한다. PDP의 구동 전압을 감소시키거나 jitter를 감소시키기 위해 보호막인 MgO에 doping 등의 기술을 적용을 하면 위와 같은 현상이 증가하게 된다. Doping 된 MgO는 고온에서 벽전하 손실을 더욱 증가시키게 되어 고온 방전현상이 더 쉽게 발생한다[14]. 그림 13은 60 ℃ 챔버에서 PDP의 패턴에 따른 고온 오방전 현상을 측정 한 사진들이다. 그림 13의 (a)는 full white 패턴일 때의 현상이다. 그림에서 보듯이 패널의 하단부의 특정 셀들에서 방전이 발생하지 않아 고온 오방전 현상이 발생하였다. 그림 13의 (b)는 full white 패턴에서 10 % × 33 % 면적을 black으로 처리하였다. 그림 13의 (a)와 비교하면 다른 영역들은 고온 오방전 현상이 동일하지만 black 패턴 하단부에서는 고온 오방전 현상이 사라졌다. 그림 13의 (c)는 100 % × 33 % 패턴을 black으로 처리하였다. 이 패턴에서는 고온 오방전 현상이 완전히 사라지지

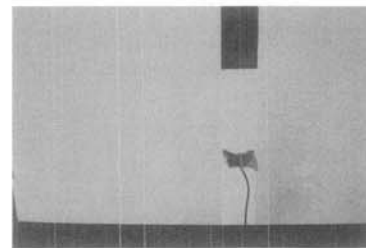
않았지만, 그림 13의 (a)에 비해 많이 감소하였다. 위 결과로 보면 고온 오방전 현상은 패턴에 따라서 영향을 받고, 특히 어드레스 부하에 따라 영향을 많이 받는 것으로 볼 수가 있다.



(a) Full white 패턴



(b) 100 % × 33 % black 패턴



(c) 10 % × 33 % black 패턴

그림 13. 어드레스 부하에 따른 고온 오방전 현상.
Fig. 13. High temperature mis-discharge as address load.

2.5.1 어드레스 부하에 따른 영향 분석

그림 13의 사진 측정 결과에서 어드레스 부하는 고온 오방전에 많은 영향을 주고 있다. 그림 15에서 어드레스 부하에 따라 어드레스 광파형을 측정하였다. 어드레스 부하는 그림 14에서 정의를 하였다. 어드레스 부하는 패널의 전체 line 수 (768 line) 중에 방전된 line 수(N)를 비율로 나타내었다. 패널은 60 ℃ 챔버에서 full white 패턴으로 구동하여 어드레스 광파형을 측정하였다. 그림 15에서 보듯이 어드레스 부하(L)가 클수록 어드레스 광파형이 작아지고 있다. 리셋 구간 후 같은 시간, 같은

※ Address Load : $L = \frac{N}{768} \times 100[\%]$

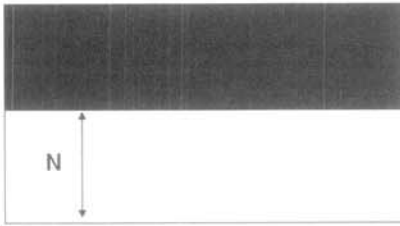


그림 14. 어드레스 부하의 정의.
Fig. 14. Definition of address load.

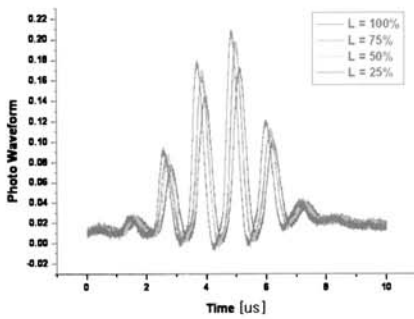


그림 15. 어드레스 부하에 따른 광 파형.
Fig. 15. Photo waveform as address load.

line에서 광파형을 측정하였기 때문에 리셋 방전 후의 priming 효과와 관계없이 어드레스 광파형의 크기가 감소하고 있다.

2.5.2 서스테인 개수에 따른 영향 분석

고온 오방전 현상은 1 frame 중 높은 sub-field에서 발행하는 빈도가 높다. 그림 16의 결과에서 보면 높은 sub-field일 수록 jitter가 감소하고 있다. 높은 sub-field 일수록 서스테인 방전 횟수가 증가하게 되고, 이로 인해 셀 내의 온도가 상승하게 된다. 이로 인해 exo-electron emission 현상이 증가하게 되어, jitter가 감소하게 되고, exo-electron emission 현상의 증가로 벽전하 손실이 증가하게 되어 고온 오방전 현상이 증가 시키게 된다. 그림 18은 서스테인 개수(N_s)에 따른 어드레스 광파형을 측정된 그림이다. 그림 17은 서스테인 개수(N_s)에 따른 어드레스 광파형의 측정 방법을 나타낸 개략도이다. 60 °C 챔버에서 full white 패턴으로 구동하여 9th sub-field의 서스테인 개수를 1, 100, 200개씩 조절하여 10th sub-field의 어드레스 광파형을 측정하였다. 그림 18의 결과에서 서스테인 개

수(N_s)가 많은 수록 어드레스 광파형의 세기가 감소하고 있다. 이 원인은 서스테인 개수가 많을수록 방전이 많이 발생하여 셀 내부의 온도가 상승하여 10th sub-field의 방전을 영향을 주기 때문이다.

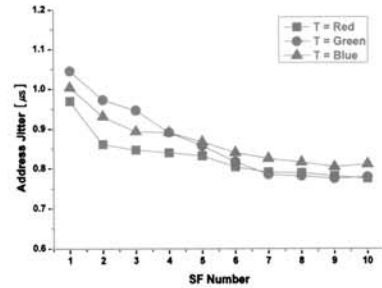


그림 16. Sub-field에 따른 어드레스 jitter.
Fig. 16. Address jitter as sub-field.

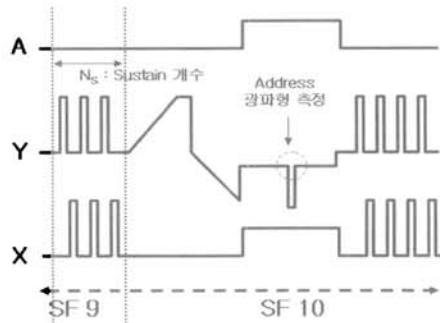


그림 17. N_s 에 따른 어드레스 광 파형 측정.
Fig. 17. Measurement of address photo waveform as the number of sustain pulse (N_s).

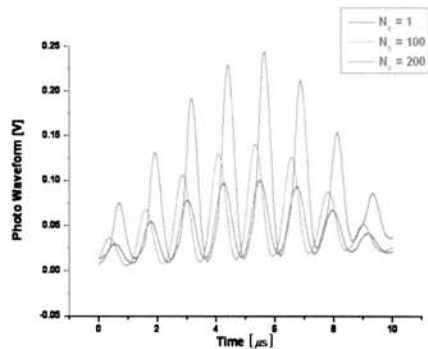


그림 18. N_s 에 따른 어드레스 광 파형.
Fig. 18. Address photo waveform as N_s .

2.5.3 고온 오방전의 발생원인

그림 19는 어드레스 구간에서 A전극과 Y전극에 인가되는 전압 파형의 개략도이다. 인가된 패턴이 full white라고 할 때 A전극에 어드레스 전압 60V가 어드레스 구간 동안 지속적으로 인가가 된다. 그리고 Y 전극에는 Y₁ 전극부터 순차적으로 Y₇₆₈ 전극까지 -70V에서 -200V로 하강하는 scan pulse가 인가된다. 어드레스 방전은 A 전극에 60V의 data 전압이 인가되고, 스캔 전극인 Y 전극에 -200V의 스캔펄스가 인가되어 총 260V의 전위차가 인가될 때 발생한다. 이때 스캔펄스가 인가되지 않는 전극들은 A-Y 전극 사이에는 130V 전압이 지속적으로 인가가 된다.

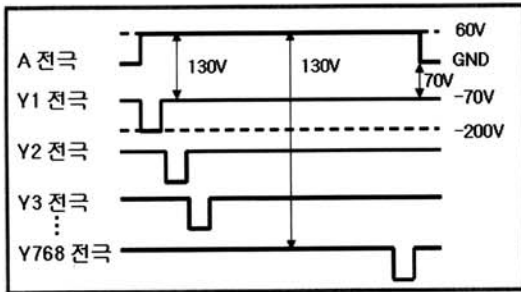


그림 19. 어드레스 구간에서의 A 전극과 Y 전극의 인가전압 개략도.

Fig. 19. Schematic diagram of applied voltage of A and Y electrode in address period.

그림 13과 15의 결과를 보면 어드레스 부하에 따라 고온 오방전 현상과 어드레스 광파형의 세기가 영향을 받음을 알 수 있다. 어드레스 부하의 변화에 따라 어드레스 전극에 전압이 인가되는 시간의 변화가 생기게 된다. 즉 어드레스 부하가 많은 패턴에서는 전압이 인가되는 시간이 길어진다. L. Oster는 trap으로부터 tunnel electron 방출되는 확률은 전계에 비례한다고 설명하고 있다[12]. 온도의 증가에 따른 재결합 확률이 증가하여 전자의 방출이 증가하고, 전계의 증가로 인한 전자의 방출 증가는 벽전하 손실을 가져오게 된다. 즉 어드레스 구간에서 Y 전극에서 그림 20처럼 전자가 방출되고, 전자 방출에 의해 Y 전극의 음의 벽전하를 감소시키고, 방출된 전자는 어드레스 전극의 양의 벽전하와 재결합되어 A 전극과 Y 전극의 벽전하를 감소시킨다. 이러한 현상은 휴지기가 가장 긴 어드레스 구간에서 많이 나타나고 있으며 어드레스 구간의 후반부에서는 벽전하 손실이 지속적으로 긴 시간동안 발생하기 때문에 패널의 하단부가(스캔 순서의 마지막) 고온 오방전에 가장 취약하게 된다. 이러한 고온 오방전을 개선하기 위해서는 온도에 따른 MgO의 exo-electron emission 현상의 증가를 감소시켜야한다. 또한 구동 파형 중 V_{SC} 전압을 가능한 높은 전압으로 인가하여 어드레스 구간에 인가되는 전계를 감소 시켜서, 식 (2-2)의 P_E를 줄여서 벽전하 손실을 감소시켜야 한다.

레스 구간에서 많이 나타나고 있으며 어드레스 구간의 후반부에서는 벽전하 손실이 지속적으로 긴 시간동안 발생하기 때문에 패널의 하단부가(스캔 순서의 마지막) 고온 오방전에 가장 취약하게 된다. 이러한 고온 오방전을 개선하기 위해서는 온도에 따른 MgO의 exo-electron emission 현상의 증가를 감소시켜야한다. 또한 구동 파형 중 V_{SC} 전압을 가능한 높은 전압으로 인가하여 어드레스 구간에 인가되는 전계를 감소 시켜서, 식 (2-2)의 P_E를 줄여서 벽전하 손실을 감소시켜야 한다.

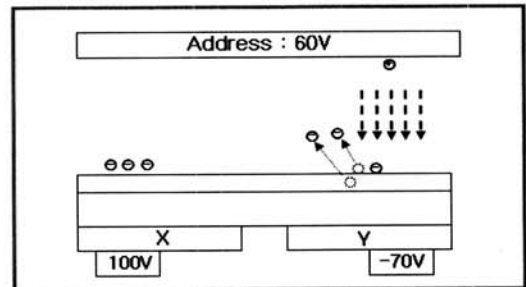


그림 20. 어드레스 구간에서의 exo-electron emission 현상의 개략도.

Fig. 20. Schematic diagram of exo-electron emission in address period.

3. 결론

본 연구에서는 온도에 따른 방전 특성을 분석하고, 그에 따라 발생하는 black noise, bright noise, 고온 오방전등의 현상을 분석하였다. 온도가 감소할수록 어드레스 jitter, 어드레스 방전의 intensity, 리셋 방전의 intensity가 증가하고, V_A 최소값이 증가하여 black noise 현상이 증가하고, 패널 하단부에 발생하는 고온 오방전 현상의 V_A 최소값은 감소하게 된다. 온도가 증가할수록 어드레스 jitter, 어드레스 방전의 intensity, 리셋 방전의 intensity 감소하고, black noise현상의 V_A 최소값, 리셋 방전의 intensity가 감소하고, 패널의 하단부에 발생하는 고온 오방전 현상의 V_A 최소값은 증가하게 된다. 고온에서의 V_A 최소값 상승 원인은 exo-electron emission 현상에 의한 벽전하 손실이다. 벽전하 손실을 감소시키기 위해서는 어드레스 구간의 전계를 감소시켜서 식 (2-2)의 P_E를 감소시켜야한다.

하지만 온도 변화에 의해 발생하는 오방전들을 개선하기 위해서는 구동 파형 연구보다도 MgO의 온도에 의한 exo-electron emission 현상의 변화가 감소되어야 한다. MgO에 doping 등의 기술을 적용하여 jitter 및 방전 전압을 감시하면, exo-electron emission 현상의 온도에 따른 변화가 더욱 증가하여, 고온에서 벽전하 손실이 증가하여 고온에서 구동 전압이 상승할 수가 있다. MgO로 구동전압을 감소시킬 때 jitter와 구동전압 뿐만 아니라 벽전하의 유지 능력도 반드시 개선되어야 한다.

또한 향후 고효율과 고휘도를 위해 MgO의 온도 특성 개선뿐만 아니라 high voltage를 적용할 수 있는 scan driver IC의 개발도 필요하다.

감사의 글

본 연구는 인하대학교의 지원으로 수행되었음.

참고 문헌

- [1] G. S. Kim, J.-H. Seo, and S.-H. Lee, "New addressing method using overlapping scan time of AC-PDP", IEEE Transaction on Electron Devices, Vol. 52, No. 1, p. 11, 2005.
- [2] H. Homma, K. Totoki, K. Igarashi, S. Mikoshiba, H. Asai, and N. Kikuchi, "Luminance Improvement of PDPs by an Extension of Light-Emission Duty to 90 % with a HDTV Capability", SID '97 Digest, p. 285, 1997.
- [3] J. K. Kim, J. H. Yang, W. J. Chung, and K. W. Whang, "The addressing characteristics of ac alternating current plasma display panel adopting a ramping reset pulse", IEEE Transactions on Electron Devices, Vol. 48, No. 8, p. 1556, 2001.
- [4] L. F. Weber, "Plasma Panel Exhibiting Enhanced Contrast", US Patent, US5745086, 1998.
- [5] S.-H. Lee, D.-H. Kim, C.-H. Park, J.-H. Shin, and C.-H. Yoo, "Improvement of contrast ratio and reduction of the reset period by current controlled ramp waveform", Journal of Information Display, Vol. 2, No. 4, p. 39, 2001.
- [6] G.-S. Kim, H.-Y. Choi, J.-H. Kim, and S.-H. Lee, "New reset waveform for the contrast ratio improvement of AC-PDP", IEEE Transactions on Electron Devices, Vol. 50, No. 7, p. 1705, 2003.
- [7] K. Sakita, K. Takayama, K. Awamoto, and Y. Hashimoto, "Analysis of a Weak Discharge of Ramp-wave Driving to Control Wall Voltage and Luminance in AC-PDPs", SID'00 Digest, p. 1103, 2000.
- [8] L. Malter, "Thin film field emission", Phys. Review B, Vol. 50, No. 1, p. 48, 1936.
- [9] Larry F. Weber and Roger L. Johnson, "Direct electrical readout from plasma display/memory panels", IEEE Transactions on Electron Devices, Vol. ED-20, No. 11, p. 1082, 1973.
- [10] Vladimir P. Nagorny, Vladimir N. Khudik, and Alexander A. Shvydky, "Statistical instability of the ramp discharge and the role of exoemission, IEEE Transactions on Plasma Science, Vol. 34, No. 2, p. 343, 2006.
- [11] L. Oster and J. Haddad, "Kinetic analysis of relaxation electron emission : Exotic cases of the energy transfer", Materials Science, Vol. 9, No. 3, 2003.
- [12] H. Tolner, "Exo-electron emission effects in the PDP protective layer", Proc. ASID'06, p. 136, 2006.
- [13] G.-S. Kim, H.-Y. Choi, S.-J. Park, S.-H. Lee, and J.-H. Seo, "Reset Waveform for the Dark-room Contrast-ratio Improvement", SID'03 Digest, p. 446, 2003.
- [14] Q. Yan, "Exo-electron Emission measurement in AC PDP", IMID'08 Workshop II, p. 103, 2008.