

차세대 비휘발성 메모리에 사용되는 High-k 절연막의 터널링 특성

Tunneling Properties in High-k Insulators with Engineered Tunnel Barrier for Nonvolatile Memory

오세만¹, 정명호¹, 박군호¹, 김관수¹, 정홍배¹, 이영희¹, 조원주^{1,a}
(Se-man Oh¹, Myung-ho Jung¹, Gun-ho Park¹, Kwan-su Kim¹,
Hong-Bay Chung¹, Young-Hie Lee¹, and Won-Ju Cho^{1,a})

Abstract

The metal-insulator-silicon (MIS) capacitors with SiO₂ and high-k dielectrics (HfO₂, Al₂O₃) were fabricated, and the current-voltage characteristics were investigated. Especially, an effective barrier height between metal gate and dielectric was extracted by using Fowler-Nordheim (FN) plot and Direct Tunneling (DT) plot of quantum mechanical(QM) modeling. The calculated barrier heights of thermal SiO₂, ALD SiO₂, HfO₂ and Al₂O₃ are 3.35 eV, 0.6 eV, 1.75 eV, and 2.65 eV, respectively. Therefore, the performance of non-volatile memory devices can be improved by using engineered tunnel barrier which is considered effective barrier height of high-k materials.

Key Words : Non-volatile memory, Effective barrier height, High-k

1. 서론

실리콘 산화막(SiO₂)은 성장의 용이성과 Si 기판과의 계면특성, 낮은 누설전류등과 같은 우수한 특성으로 인해 기존의 비휘발성 메모리의 터널링 절연막으로 사용되고 있다. 하지만 단일층의 SiO₂를 터널링 절연막으로 사용하는 기존의 비휘발성 메모리는 절연막 두께 5 nm 이하에서 Direct tunneling의 증가와 SILC (Stress Induced Leakage Current)에 의한 한계에 도달하였다. 따라서 비휘발성 메모리 소자의 한계를 극복하기위해 터널링 절연막에 관한 연구 (TBE-tunnel barrier engineering)가 최근 많은 관심을 모으고 있다. TBE는 SiO₂ 단일층 대신에 서로 다른 유전율을 가지는 절연막을 적층시킴으로서 전계에 대한 민

감도를 높여 메모리 소자의 쓰기/지우기 동작 특성과 보존특성을 동시에 개선하는 방법이다[1,2].

또한 터널링 절연막으로 유전율이 큰 high-k 물질을 이용하면 누설 전류를 줄이고, 단위 면적당 gate capacitance 값을 늘릴 수 있어 메모리 소자의 동작 특성을 개선 할 수 있다. 이를 위해 게이트 절연막으로 SiO₂와 SiON 대신 Ta₂O₅와 Al₂O₃, Si₃N₄, ZrO₂, HfO₂ 등과 같은 high-k 물질에 대한 연구도 활발히 진행 되고 있다[3,4]. 그러나 아직까지 high-k 물질을 이용한 터널링 절연막에 대한 터널링 특성은 정확히 밝혀지지 않고 있다.

따라서, 본 연구에서는 차세대 비휘발성 메모리의 동작 특성을 개선하기 위해, high-k 물질인 Al₂O₃와 HfO₂의 터널링 특성을 관찰하였다. 이를 위해 절연막을 통과하는 터널링 전류의 측정을 통하여 전기적인 특성을 관찰하고 Fowler-Nordheim (FN) 터널링 mechanism과 Direct Tunneling (DT) mechanism과 같은 quantum mechanical(QM) modeling을 이용하여 conduction mechanism을 분석하고 Al과 각각의 절연막 사이에 형성되는 effective barrier height를 구하였다.

1. 광운대학교 전자재료공학과

(서울시 노원구 월계동 447-1)

a. Corresponding Author : chowj@kw.ac.kr

접수일자 : 2009. 3. 23

1차 심사 : 2009. 5. 18

심사완료 : 2009. 5. 22

2. 실험

본 실험에서 제작된 각각의 MIS capacitor는 약 1-10 Ω/cm^2 의 면저항을 가지는 p-type Si 기판을 이용하여 제작되었다. 절연막은 SiO_2 , Al_2O_3 , HfO_2 를 각각 315 $^\circ\text{C}$, 430 $^\circ\text{C}$, 300 $^\circ\text{C}$ 에서 POT가 6 nm가 되도록 Atomic layer deposit (ALD)를 이용하여 ± 0.3 nm 오차범위 내에서 증착하였다. 이후, electron-beam evaporator를 이용하여 Al을 150 nm 증착하고, photo-lithography 방법을 통해 $310 \times 230 \mu\text{m}^2$ 면적의 MIS capacitor를 제작하였다. 또한 reference sample로써 thermal SiO_2 를 4.5 nm 성장시키고 위와 동일한 방법으로 MIS capacitor를 제작하였다. 제작된 MIS capacitor의 전기적 특성은 HP-4156B semiconductor parameter analyzer와 Keithley 238 high current source measure unit, Physical Property Measurement System (PPMS)를 이용하여 측정하였다. 측정된 터널링 전류의 변화량을 바탕으로 conduction mechanism (FN plot과 DT plot)을 분석하고 Al과 각각의 절연막 사이에 형성되는 effective barrier height을 계산하였다.

3. 결과 및 고찰

그림 1은 thermal SiO_2 와 ALD SiO_2 , Al_2O_3 , HfO_2 를 이용하여 만든 MIS capacitor들의 I-V 특성이다. Al_2O_3 의 경우에는 thermal SiO_2 에 비해 -3 V 이상에서 터널링 전류가 낮고, 반대로 HfO_2 의 경우에는 높은 전류값을 얻었다. 이와 같이 절연막에 따라 터널링 전류의 차이가 생기는 이유를 분석하기 위하여 Al과 각각의 절연막 사이에 형성되는 effective barrier height을 다음과 같은 방법을 이용하여 계산하였다.

전자의 FN 터널링은 다음과 같은 식으로 표현된다[5,6].

$$\frac{J}{E^2} = A \exp(-B/E) \quad (1)$$

여기서 J는 전류밀도이고 단위는 A/cm^2 이며, E는 절연막에 인가되는 전기장이고 단위는 V/cm 이다. A와 B는 각각 FN plot의 기울기와 Y절편으로 나타낼 수 있다. 식 (1)의 상수 A와 B는 다음과 같은 식으로 표현 된다.

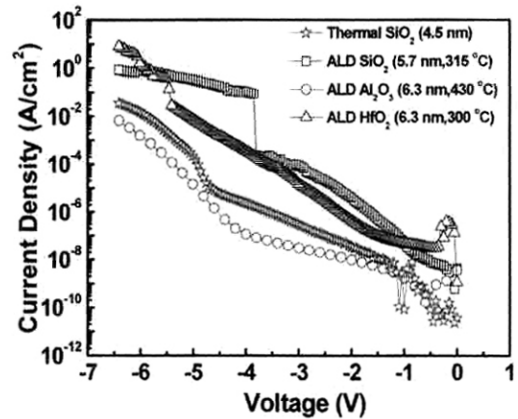


그림 1. Thermal SiO_2 와 ALD 방법으로 증착된 SiO_2 , HfO_2 , Al_2O_3 의 I-V 특성.

Fig. 1. I-V characteristics of thermal SiO_2 and ALD SiO_2 , Al_2O_3 , and HfO_2 .

$$A = \frac{e^3 m}{16\pi^2 \hbar m_{OX} \Phi_0} \quad (2)$$

$$= 1.54 \times 10^{-6} \frac{m}{m_{OX}} \frac{1}{\Phi_0} (A/V^2)$$

$$B = \frac{4}{3} \frac{(2m_{OX})^{1/2}}{e\hbar} \Phi_0^{3/2} \quad (3)$$

$$= 6.83 \times 10^7 \left(\frac{m_{OX}}{m}\right)^{1/2} \Phi_0^{3/2}$$

여기서 e는 전하량으로 이며, m은 자유전자질량, m_{OX} 는 절연막 내의 전자 질량 그리고 $2\pi\hbar$ 와 Φ_0 는 각각 Planck 상수와 effective barrier height (eV)를 나타낸다. 본 연구에서 m_{OX} 는 0.5 m으로 하였다[6,7].

그림 2는 HfO_2 의 FN plot을 나타내고 있다. Direct tunneling에서 FN tunneling으로 전환되는 지점인 V_{trans} 는 약 2 MV/cm인 것을 확인할 수 있었다. 이를 통해 V_{trans} (2 MV/cm) 이상의 영역에서는 대부분의 전자가 FN 터널링에 의해 주입된다는 것을 확인하였다. 또한 그림 2에 삽입된 그림은 HfO_2 의 DT plot을 나타내고 있다. 이를 통해 V_{trans} 이하에서는 대부분의 전자가 direct tunneling에 의해 주입된다는 것을 확인하였다. 또한 FN plot의 기울기는 약 110 MV/cm이고, 이를 식 (3)에 적용하면 HfO_2 와 Al 사이에 형성되는 effective barrier height을 계산할 수 있다.

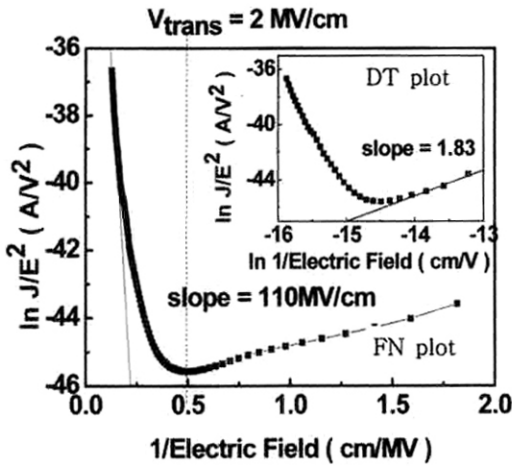


그림 2. HfO₂의 FN plot 과 DT plot. FN plot의 기울기는 110 MV/cm이고 V_{trans}는 2 MV/cm이다.
 Fig. 2. FN and DT plot of HfO₂. Gradient value is 110 MV/cm, and V_{trans} is 2 MV/cm.

계산된 Al-HfO₂ 사이에 형성되는 effective barrier height은 약 1.75 eV이고, HfO₂-Si 사이에 형성되는 effective barrier height은 약 1.65 eV이다. 그림 3은 이상의 결과를 바탕으로 도식한 HfO₂의 energy-band diagram이다. Al/HfO₂/Si 구조의 MIS capacitor에서는 Si쪽의 hole barrier height이 Al 쪽의 electron barrier height 보다 크게 나타났다. 그 결과 전자 주입이 정공의 주입에 비해 쉽게 이루어질 것이라고 예상된다. 따라서 HfO₂를 적층구조의 터널링 절연막에 사용할 경우, 본 논문에서 계산된 결과를 고려한다면 차세대 비휘발성 메모리의 특성을 개선시킬 수 있을 것이라 판단 된다.

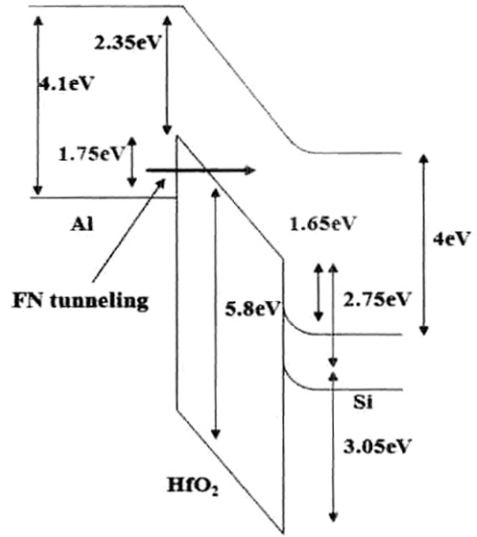


그림 3. 계산된 effective barrier height을 적용하여 나타낸 HfO₂의 energy band diagram.
 Fig. 3. Energy band diagram of HfO₂ which is considered calculated effective barrier height.

Thermal SiO₂, ALD SiO₂, Al₂O₃에 대해서도 위와 동일한 방법으로 effective barrier height을 계산하여 각각 3.35 eV, 0.6 eV, 2.65 eV의 값을 가짐을 확인하고, 계산 결과를 표 1에 나타내었다. 계산된 thermal SiO₂와 Al 전극 사이에 형성되는 effective barrier height은 3.35 eV로 알려진 SiO₂와 Al 사이의 barrier height (3.3 eV)과 비슷한 값을 가짐을 확인하였다[8,9]. 또한 계산된 ALD SiO₂의 낮은 effective barrier height을 통해 그림 1에 나타낸 ALD SiO₂의 큰 누설 전류의 발생과 높은 터널링 전류에 대해 설명이 가능하다.

표 1. Fowler-Nordheim (FN) plot 과 Direct Tunneling (DT) plot을 이용하여 계산된 실험결과 정리.
 Table 1. The calculated results reported in this study based on Fowler-Nordheim (FN) plot and Direct Tunneling (DT) plot.

Type	Method	B (MV/cm)	Effective barrier height to Al - Φ_0 (V)	Electron Affinity χ (V)	Transition voltage V _{trans} (MV/cm)
SiO ₂	Thermal	300	3.35	0.75	10.3
SiO ₂	ALD	25	0.6	3.5	1.4
HfO ₂		110	1.75	2.35	2
Al ₂ O ₃		210	2.65	1.45	6.3

4. 결 론

본 연구에서는 high-k 절연막을 이용하여 MIS capacitor를 제작하고, 터널링 특성을 확인 하였다. HfO₂의 경우에는 높은 전계영역에서 높은 터널링 전류를 가지는 것을 확인 하였고, Al₂O₃의 경우에는 높은 전계영역에서 낮은 터널링 전류를 가지는 것을 확인 하였다. 이러한 결과는 I-V, FN plot, DT plot을 이용해 계산된 effective barrier height 을 통한 분석과 일치함을 확인하였다. 계산된 thermal SiO₂, ALD SiO₂, HfO₂, Al₂O₃가 가지는 effective barrier height은 각각 3.35 eV, 0.6 eV, 1.75 eV, 2.65 eV이다. 따라서 본 논문에서 계산되어진 effective barrier height를 고려하면, high-k 를 이용한 차세대 비휘발성 메모리를 설계함에 있어서 메모리 소자의 특성을 더욱 개선시킬 수 있을 것이라 판단된다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices", *Appl. Phys. Lett.*, Vol. 73, p. 2137, 1998.
- [2] B. Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, and K. De Meyer, "VARIOT: a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices", *IEEE Electron Device Lett.*, Vol. 24, p. 99, 2003.
- [3] J. Buckley, B. De Salvo, G. Ghibaudo, M. Gely, J. F. Damlencourt, F. Martin, G. Nicotra, and S. Deleonibus, "Investigation of SiO₂/HfO₂ gate stacks for application to non-volatile memory devices", *Solid-State Electron.*, Vol. 49, p. 1833, 2005.
- [4] J. J. Lee, X. Wang, W. Bai, N. Lu, and D. L. Kwong, "Theoretical and experimental investigation of Si nanocrystal memory device with HfO₂ high-k tunneling dielectric", *IEEE Trans. Electron Devices*, Vol. 50, p. 2067, 2003.
- [5] M. Lenzlinger and E. H. Snow, "Fowler-nordheim tunneling into thermally grown SiO₂", *J. Appl. Phys.*, Vol. 40, p. 278, 1969.
- [6] Z. A. Weinberg, W. C. Johnson, and M. A. Lampert, "High-field transport in SiO on silicon induced by corona charging of the unmetallized surface", *J. Appl. Phys.*, Vol. 47, p. 248, 1976.
- [7] Z. A. Weinberg, "On tunneling in metal-oxide-silicon structures", *J. Appl. Phys.*, Vol. 53, p. 5052, 1982.
- [8] D. A. Neamen, "Semiconductor physics and devices: Basic principles", 3rd ed. McGraw-Hill, p. 713, 2003.
- [9] R. S. Muller and T. I. Kamins, "Device Electronics for Integrated Circuits", 2nd ed. New York: Wiley, p. 380, 1986.