

양자효과를 고려한 실리콘 나노선 트랜지스터의 채널 크기에 따른 전도 및 전하분포 특성 시뮬레이션

Simulation of Channel Dimension Dependent Conduction and Charge Distribution Characteristics of Silicon Nanowire Transistors using a Quantum Model

황민영¹, 최창용¹, 문경숙², 구상모^{1,a}

(Min-Young Hwang¹, Chang-Yong Choi¹, Kyoung-sook Moon², and Sang-Mo Koo^{1,a})

Abstract

We report numerical simulations to investigate of the dependendce of the on/off current ratio and channel charge distributions in silicon nanowire (SiNW) field-effect transistors (FETs) on the channel width and thicknesses. In order to investigate the transport behavior in devices with different channel geometries, we have performed detailed two-dimensional simulations of SiNWFETs and control FETs with a fixed channel length L of 10 μm , but varying the channel width W from 5 nm to 5 μm , and thickness t from 10 nm to 30 nm. We have show that $Q_{\text{ON}}/Q_{\text{OFF}}$ drastically decreases (from $\sim 2.9 \times 10^4$ to $\sim 9.8 \times 10^3$) as the channel thickness increases (from 10 nm to 30 nm). As a result of the simulation using a quantum model, even higher charge density in the bottom of SiNW channel was observed then in the bottom of control channel.

Key Words : SiNW, Nanowires, $I_{\text{ON}}/I_{\text{OFF}}$, Quantum, Simulation

1. 서 론

실리콘 나노선 (SiNWs)은 차세대 Complementary Metal-Oxide Semiconductors (CMOS) Field-effect transistors (FETs)와 바이오소자등에 응용가능성으로 주목받고 있는 구조이다[1,2]. SiNWFETs는 도핑공정이 생략 될 수 있어서 공정이 간단해 지고 전형적으로 source와 drain schottky contact과 MOSFETs와 비교하여 gate 컨트롤 능력이 좋아지면서 Short-Channel Effect (SCE)가 줄어들 수 있는 장점을 갖는다[3]. 또한 채널의 폭 및 두께가 감소함에 따라서 고전적인 모델을 이용한 계산은

양자제한효과를 설명하지 못하므로 이를 적용한 시뮬레이션을 필요로 한다. 이에 본 연구는 SiNWFETs의 채널의 크기에 따른 ON/OFF 전류 비율 및 ON/OFF 전하 비율 그리고 캐리어 수송에 대한 제한 효과를 시뮬레이션 하기 위해 양자 모델 중에서도 source에서 drain으로 흐르는 터널링 효과, 탄도 이동 특성 그리고 양자제한효과를 계산할 수 있는 Non-equilibrium Green's function (NEGF)을 사용해 시뮬레이션상의 해석을 비교하였다.

2. 실 험

2.1 실리콘 나노선 트랜지스터 구조

2차원 수치해석에 기반한 시뮬레이터를 사용하여 채널의 폭 및 두께에 따른 소자의 특성을 분석하였다.

1. 광운대학교 전자재료공학과

(서울시 노원구 월계동 447-1)

2. 경원대학교 수확정보학과

a. Corresponding Author : smkoo@kw.ac.kr

접수일자 : 2009. 6. 15

심사완료 : 2009. 7. 17

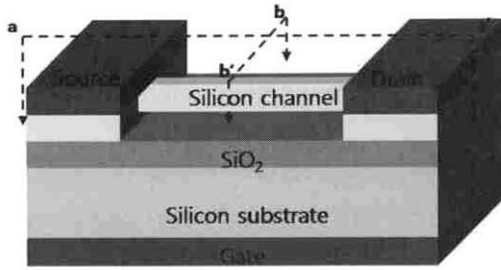


그림 1. 실리콘 나노선 트랜지스터의 개념도.
Fig. 1. SiNWFETs schematic.

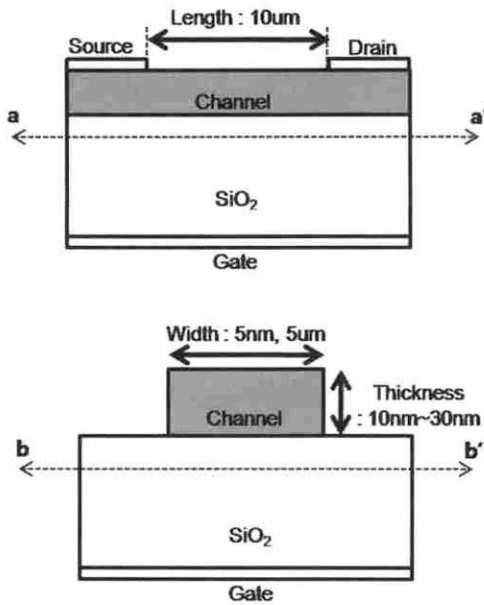


그림 2. 시뮬레이션상의 실리콘 나노선 트랜지스터 2차원 구조.
Fig. 2. 2D structures of simulated SiNWFETs.

그림 2에서처럼 실험에 사용된 SiNWFETs의 채널의 길이는 10 μm로 고정된 상태에서 두께 (t , 10 ~ 30 nm), 폭 (W , 5 nm ~ 5 μm)의 변화를 주었다. 실리콘 채널과 기판은 붕소를 $2 \times 10^{15} \text{ cm}^{-3}$ 의 농도로 도핑하였다. 또, source와 drain 그리고 gate의 일함수(workfunction)는 4.6 eV로 하였고, SiO₂와 실리콘 기판의 두께는 각각 100 nm와 300 nm로 하였다. 실험은 채널의 폭 W_{channel} 가 5 nm, 5 μm일 때와 채널의 두께 t_{channel} 가 10 nm, 20 nm, 30 nm일 때의 $I_{\text{ON}}/I_{\text{OFF}}$ 와 $Q_{\text{ON}}/Q_{\text{OFF}}$ 를 계산하여 소자의 특성을 실험하였다.

2.2 양자 모델 적용

시뮬레이션상의 해석을 양자모델을 적용하여 해석의 차이를 실험하였다. 소자 캐리어가 양자 구속에 미치는 효과를 시뮬레이션 하기 위해서 양자모델 중에서도 Non-Equilibrium Green's Function (NEGF)를 적용하여 전류밀도가 각각 다음과 같이 표현된다.

$$n(x_i, y_j) = -\frac{i}{L_z} \sum_{k_x, \sigma} \int G^< m n i i (E) \varphi^i m (y_j) \varphi^{*i} (y_j) \frac{dE}{2\pi}$$

$$J_x(x_i, y_j) = -\frac{2e}{\hbar L_z \Delta_x} \sum_{k_x, \sigma} \int \text{Re}(t_{i, i+1} G^< m n i i (E)) \varphi^i m (y_j) \varphi^{*i} n (y_j + 1) \frac{dE}{2\pi}$$

$$J_y(x_i, y_j) = -\frac{2e}{\hbar L_z \Delta_y} \sum_{k_y, \sigma} \int \text{Re}(t_{j, j+1} G^< m n i i (E)) \varphi^i m (y_j) \varphi^{*i} n (y_j + 1) \frac{dE}{2\pi}$$

$$J = (J_x^2 + J_y^2)^{1/2}$$

불확정성의 원리에 의해 전자나 홀의 위치를 동시에 정의하는 것은 불가능하기 때문에 전자나 홀은 분산 ΔX 를 가진 웨이브 패킷으로 존재하게 된다. 나노스케일로 작아짐에 따라 ΔX 의 크기는 무시될 수 없게 된다. NEGF 모델에서도 반도체 소자의 크기가 작아지면서 반도체 FETs 채널 내부의 국소적인 부분에 전자농도의 기울기가 존재하게 되고, 이에 따른 potential에 관한 보정항을 추가한 계산을 해야 하는데 다음과 같이 나타낼 수 있다[4].

$$A = -\frac{\gamma \hbar^2}{12m} \left[\nabla^2 \log n + \frac{1}{2} (\nabla \log n)^2 \right]$$

$$A = -\frac{\gamma \hbar^2}{6m} \left[\frac{\nabla^2 \sqrt{n}}{\sqrt{n}} \right]$$

3. 결과 및 고찰

3.1 실리콘 나노선 트랜지스터 구조

그림 3은 채널의 폭 및 두께에 따른 $Q_{\text{ON}}/Q_{\text{OFF}}$ 를 비교한 것이다. 채널의 폭 W_{channel} 가 5 nm에서 5 μm으로 증가하면 각각 $\sim 2.9 \times 10^4$ 에서 $\sim 1.1 \times 10^3$ 으로, $\sim 1.4 \times 10^4$ 에서 $\sim 5.4 \times 10^2$ 으로, 그리고 $\sim 9.8 \times 10^3$ 에서 $\sim 3.6 \times 10^2$ 으로 감소함을 확인하였다. 채널의 두께 t_{channel} 역시 10 nm에서 30 nm로 증가하면 $\sim 2.9 \times 10^4$ 에서 $\sim 9.8 \times 10^3$ 으로, $\sim 1.1 \times 10^3$ 에서 $\sim 3.6 \times 10^2$ 으로 $Q_{\text{ON}}/Q_{\text{OFF}}$ 가 약간 감소하는 것을 확인하였다. ON-

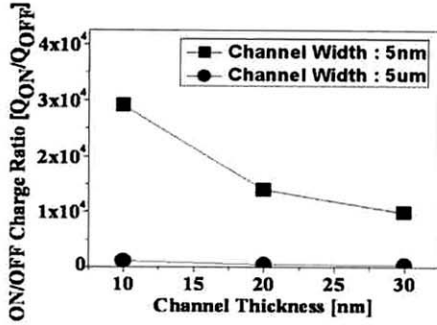


그림 3. 채널의 폭과 두께에 따른 Q_{ON}/Q_{OFF} .
Fig. 3. Q_{ON}/Q_{OFF} as the channel width and thickness.

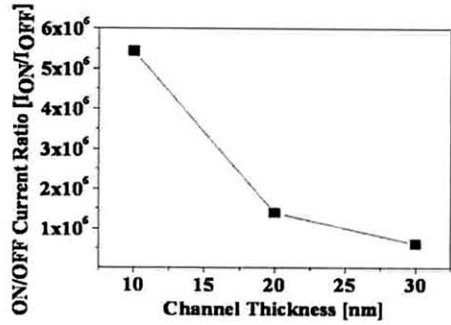


그림 4. 채널의 두께에 따른 I_{ON}/I_{OFF} .
Fig. 4. I_{ON}/I_{OFF} as the channel thickness.

상태일 때의 전하는 두께에 관계없이 폭이 5 μm 일 때 $\sim 1.73 \times 10^{-10}$ 으로 5 nm일 때는 $\sim 4.6 \times 10^{-12}$ 으로 동일하였고 OFF-상태일 때는 t_{channel} 가 증가 할 때 마다 W_{channel} 가 5 μm 일 때는 $\sim 1.6 \times 10^{-13}$ 에서 $\sim 4.8 \times 10^{-13}$ 으로 5 nm일 때는 $\sim 1.6 \times 10^{-16}$ 에서 $\sim 4.8 \times 10^{-16}$ 으로 약간 증가하였고 W_{channel} 가 5 nm에서 5 μm 로 증가하면 약 1000배가량이 증가한다. 따라서 SiNWFETs의 W_{channel} 가 5 μm 정도로 넓을 때에는 채널의 두께에 관계없이 ON/OFF 전하 비율이 적었지만 W_{channel} 가 5 nm로 작아지면 채널의 두께에 따른 ON/OFF 전하 비율을 고려해야 한다.

3.2 ON/OFF 전류 밀도 비율 (I_{ON}/I_{OFF})

그림 4는 t_{channel} 가 10 nm에서 30 nm로 증가할 때 I_{ON}/I_{OFF} 의 변화율을 나타내는 그래프이다. 시뮬레이션 상의 t_{channel} 가 10 nm일 때는 ON-상태의 전류는 $\sim 1.43 \times 10^{-7}$ 이고 OFF-상태의 전류는 $\sim 2.63 \times 10^{-14}$ 이다. 그래서 $I_{ON}/I_{OFF} = 5.43 \times 10^6$ 이다. 반면 t_{channel} 가 30 nm일 때는 ON-상태의 전류가 $\sim 1.43 \times 10^{-7}$ 으로 t_{channel} 가 10 nm일 때와 같지만 OFF-상태의 전류가 $\sim 2.34 \times 10^{-13}$ 으로 커졌다. 따라서 $I_{ON}/I_{OFF} = 0.61 \times 10^6$ 으로 채널의 두께가 커지면 I_{ON}/I_{OFF} 는 작아진다. 2차원 시뮬레이션의 한계로 폭과 두께에 관한 ON/OFF 전류 비율을 확인할 수 없지만 2차원 시뮬레이션에서 채널의 두께에 따른 ON/OFF 전류 비율은 채널의 두께가 감소할수록 증가함을 보인다.

3.3 양자 모델을 이용한 분석

그림 5는 양자 모델을 적용했을 때와 그렇지 않았을 때의 t_{channel} 가 10 nm일 때와 200 nm일 때 채널에서의 전자 농도 분포도를 비교한 그래프이다.

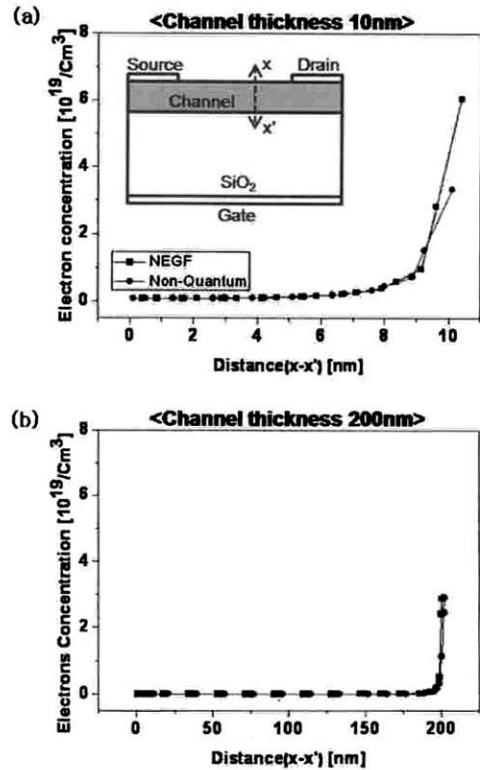


그림 5. 양자모델을 적용한 전자 농도 분포도.
(a) 채널의 두께가 10 nm, (b) 채널의 두께가 200 nm

Fig. 5. Electrons concentration distribution graph by the quantum model.
(a) Channel Thickness 10 nm, (b) Channel Thickness 200 nm

여기서 사용한 NEGF 모델은 소자의 source와 drain을 흐르는 터널링 효과, 탄도 이동 특성 그리고 양자 제한 효과를 고려하여 계산한다. 먼저 그림 5(a)에서처럼 t_{channel} 가 10 nm일 때를 보면, 양자 모델을 적용한 그래프가 양자 모델을 적용하지 않은 그래프보다 채널의 아랫부분에서 더 많은 전자가 분포됨을 확인하였다. 하지만 그림 5(b)에서처럼 t_{channel} 가 10 nm에서 200 nm로 증가하면 양자 효과는 크게 줄어들어 양자 모델을 적용한 그래프와 양자 모델을 적용하지 않은 그래프는 채널의 가장 아랫부분의 전자의 농도는 큰 차이를 보이지 않았다. 따라서 실리콘 나노선 트랜지스터 구조에서 채널의 두께가 감소하면 고전적인 모델만으로 해석이 불가능하기 때문에 양자효과모형을 고려해야 한다.

4. 결론

본 연구에서는 실리콘 나노선 트랜지스터의 채널 폭 및 두께에 따른 전하 분포와 그 특성을 양자 모델을 적용한 특성 비교를 하였다. 2D 시뮬레이션을 이용하여 t_{channel} 가 10 nm에서 30 nm로 증가함에 따라 $I_{\text{ON}}/I_{\text{OFF}}$ 는 5.43×10^6 에서 0.61×10^6 으로 감소하는 것을 확인하였다. 또한 $Q_{\text{ON}}/Q_{\text{OFF}}$ 역시 W_{channel} 가 5 nm에서 5 μm 로 증가함에 따라 감소하는 것을 확인 하였고 5 μm 일 때는 t_{channel} 가 변하여도 $Q_{\text{ON}}/Q_{\text{OFF}}$ 의 변화폭은 5 nm일 때보다 크지 않았다. 양자 모델을 적용한 2차원 시뮬레이션 계산 결과는 t_{channel} 가 10 nm일 때는 양자 제한 효과가 적용되어 양자 모델을 적용하지 않은 모델보다 더 많은 전자 분포를 확인 하였고 t_{channel} 를 10 nm

에서 200 nm로 증가시키면 양자 제한 효과는 눈에 띄게 줄어든다. 따라서 t_{channel} 가 200 nm처럼 두꺼운 소자는 고전적인 모델로도 해석이 가능하지만 t_{channel} 가 10 nm처럼 얇은 소자의 경우에는 양자 모델을 적용한 해석이 필요할 것으로 생각된다.

감사의 글

본 논문은 학술진흥재단(KRF-2007-3310173)과 [2008]년도 광운대학교 교내 학술연구비 지원에 의해 연구된 논문임을 밝힙니다.

참고 문헌

- [1] A. Bindal, A. Naresh, P. Yuan, K. K. Nguyen, and S. Hamed-Hagh, "The design of dual work function CMOS transistors and circuits using silicon nanowire technology", IEEE Trans. Nanotechnology, Vol. 6, No. 3, p. 291, 2007.
- [2] K. N. Lee, S. W. Jung, W. H. Kim, M. H. Lee, W. K. Seong, M. R. Kim, and Y. S. Lee, "Fabrication of Silicon Nanowire for Biosensor Applications", IEEE Sensors Conference, Deagu, p. 1269, 2006.
- [3] S. M. Koo, Q. Li, M. Edelstein, C. Ritcher, and E. Vogel, "Enhanced channel modulation in dual-gated silicon nanowire transistors", Nano Lett. (ACS), Vol. 5, No. 12, p. 2519, 2005.
- [4] ATLAS user's Manual, Silvaco International, p. 1, 2007.