

Cr- 및 Ni- 소스/드레인 쇼트키 박막 트랜지스터의 장벽 특성에 대한 실험 및 모델링 연구

정지철¹, 문경숙^{2,a}, 구상모¹

¹ 광운대학교 전자재료공학과

² 경원대학교 수확정보학과

Experimental and Simulation Study of Barrier Properties in Schottky Barrier Thin-Film Transistors with Cr- and Ni- Source/Drain Contacts

Ji-Chul Jung¹, Kyoung-Sook Moon^{2,a}, and Sang-Mo Koo¹

¹ Department of Electronic Materials Engineering, Kwangwoon University, Seoul 139-701, Korea

² Department of Mathematics and Information, Kyungwon University, Seongnam 461-701, Korea

(Received September 14, 2010; Accepted September 19, 2010)

Abstract: By improving the conducting process of metal source/drain (S/D) in direct contact with the channel, schottky barrier metal-oxide-semiconductor field effect transistors (SB MOSFETs) reveal low extrinsic parasitic resistances, offer easy processing and allow for well-defined device geometries down to the smallest dimensions. In this work, we investigated the arrhenius plots of the SB MOSFETs with different S/D schottky barrier (SB) heights between simulated and experimental current-voltage characteristics. We fabricated SB MOSFETs using difference S/D metals such as Cr ($\Phi_{Cr} \sim 4.5$ eV) and Ni ($\Phi_{Ni} \sim 5.2$ eV), respectively. Schottky barrier height (Φ_B) of the fabricated devices were measured to be 0.25~0.31 eV (Cr-S/D device) and 0.16~0.18 eV (Ni-S/D device), respectively in the temperature range of 300 K and 475 K. The experimental results have been compared with 2-dimensional simulations, which allowed bandgap diagram analysis.

Keywords: Schottky barrier height, Temperature, Ni-S/D device, Cr-S/D device

1. 서 론

반도체 소자의 크기가 수십 나노미터 영역에 접어들면서 기존의 실리콘 트랜지스터 소자의 동작 특성을 제한하는 물리적 한계를 극복하기 위하여 다양한 기술들이 연구되고 있다. 그 중 쇼트키 장벽을 이용한 접합 방법은 단채널 효과를 억제할 수 있고, 채널 실리콘 층에 낮은 도핑이 가능하여 on/off 동작의 향상을 기대하며, 실리사이드의 얇은 접합에 의한 기생 저항 및 축전 용량을 감소시킬 수 있다 [1,2]. 또

한, 터널링 효과에 의한 소자의 동작속도 향상과 저온 공정의 금속 게이트 및 고 유전율 절연막을 이용하므로 기존의 실리콘 기반 MOSFET (metal-oxide-semiconductor field effect transistors)에 비해서는 우수한 동작 성능을 구현할 수 있는 장점이 있다 [3]. SB (schottky barrier) MOSFETs은 실리사이드의 면저항은 불순물을 도핑한 실리콘보다 훨씬 작은 값을 가지므로 얇은 접합으로 인한 기생저항을 크게 줄이는 특징을 나타내고 있다.

본 논문에서는 금속 물질인 Cr ($\Phi_{Cr} \sim 4.5$ eV), Ni ($\Phi_{Ni} \sim 5.2$ eV)을 각각 다른 SOI 기판에 증착하여 제작

a. Corresponding author; ksmoon@kyungwon.ac.kr

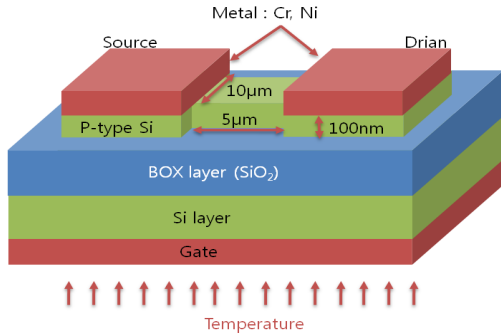


Fig. 1. Using SB MOSFET in experimental and simulation.

한 SB MOSFETs (그림 1)을 이용하였고, 온도에 따른 전기적인 특성을 비교분석 하였다. 300 K~475 K 온도에서 측정된 실험적인 결과와 시뮬레이션 결과를 arrhenius plot과 밴드갭 다이어그램 (band-gap diagram)로 분석하였고, 열전자 방출 (thermionic emission model)과 전기장 방출 (field emission model)로 설명하였다. 온도가 증가하면 Cr-S/D device는 온도가 증가할수록 유효전위장벽이 감소되고 (0.25~0.31 eV), Ni-S/D device는 온도가 증가할수록 유효전위장벽이 증가한다 (0.13~0.18 eV).

2. 실험 방법

SB MOSFET의 제작은 SOI (silicon on insulator) 웨이퍼를 기초로 하여, top-down approach 방식으로 제작하였다. 실리콘 (Si)은 P-type이고 약 10^{17}cm^{-3} 정도 도핑되었다. Si etchant를 사용하여 활성화 영역을 제작하였고, 채널의 폭은 10 μm , 길이는 5 μm 이고 높이는 100 nm이다. E-beam evaporator로 각각의 웨이퍼에 금속 물질인 Cr과 Ni를 100 nm씩 source와 drain 영역에 증착하였고, lift-off 공정을 거쳐 Cr-S/D device와 Ni-S/D device를 제작하였다 (그림 1).

열 특성을 측정하기 위하여 300 K~475 K 온도를 25 K씩 증가시키며 소자에 가해주었고, 0~5 V의 drain 전압과 0 V의 gate 전압을 인가하여 전류-전압 특성을 측정하였다.

측정한 자료는 식 (1)에 나타난 열전자 방출 이론 (thermionic emission)으로 유효전위장벽의 변화를 분석하였다 [4].

$$I = A_d A^* T^2 \exp\left(\frac{-q\Phi_B}{kT}\right) \Rightarrow \Phi_B = -\frac{kT}{q} \ln\left(\frac{I}{A_d A^* T^2}\right) \quad (1)$$

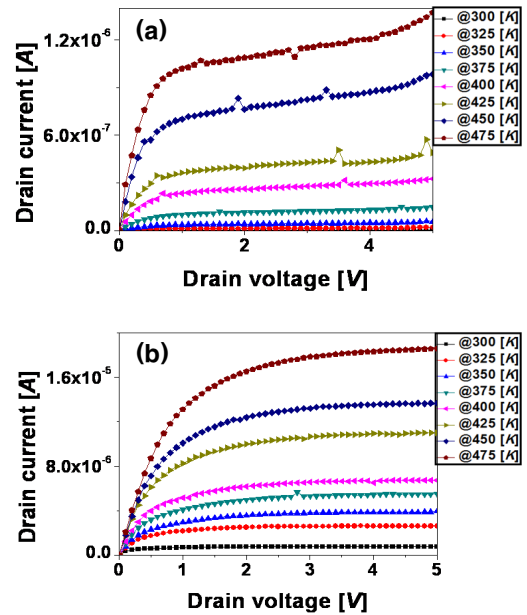


Fig. 2. Drain voltage-drain current curve in 300 K~475 K of temperature; (a) Cr-S/D device and (b) Ni-S/D device.

A는 채널의 단면적 (10^{-12} m^2), A^* 는 Richardson 상수 ($\text{Am}^{-2}\text{K}^{-2}$), T는 절대온도 (K), q는 전하량 ($1.6 \times 10^{-19} \text{ C}$), k는 Boltzmann 상수 ($1.38 \times 10^{-23} \text{ JK}^{-1}$), 그리고 Φ_B 는 유효전위장벽이다.

시뮬레이션으로는 0.1 V의 drain 전압과 0 V의 gate 전압을 인가하여 gate의 영향을 받지 않는 조건으로 수행하였다. 온도는 실제 측정내용과 같은 조건으로 수행하였고, Fermi-Dirac 모델, concentration and temperature dependent 모델, Klaassen 모델, Lombardi 모델, 그리고 Shockley-Read-Hall 모델을 사용하여 시뮬레이션 하였다. 식 (1)에 의해 도출된 arrhenius plot을 시뮬레이션 결과인 밴드갭 다이어그램 (band-gap diagram)과 함께 분석하였다.

3. 결과 및 고찰

온도가 증가할 경우, SB MOSFETs의 drain 전류는 증가하였고, 전류가 포화 (saturation)되는 drain 전압위치는 양의 방향으로 이동하였다.

Cr-S/D device의 최대 drain 전류는 $3.74 \times 10^{-9} \text{ A}$ 에서 $1.37 \times 10^{-6} \text{ A}$ 까지 비교적 비례적으로 증가하였고, Ni-S/D device의 최대 drain 전류는 $7.71 \times 10^{-7} \text{ A}$ 에서

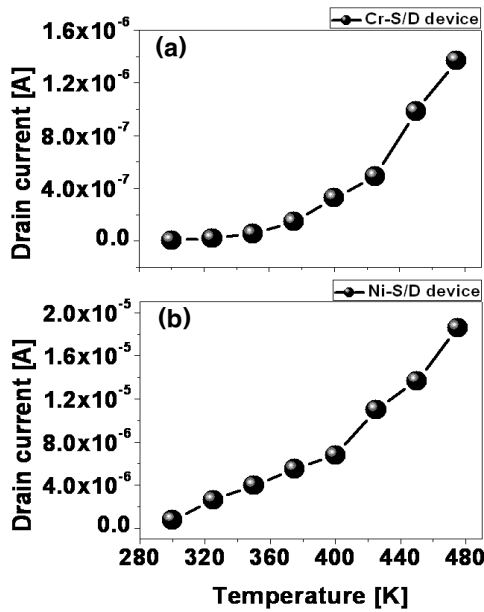


Fig. 3. Increased drain current by changing temperature from 300 K to 475 K; (a) Cr-S/D device and (b) Ni-S/D device.

1.85×10^{-5} A까지 선형적으로 증가하였다. 이는 그림 2와 그림 3에서 확인할 수 있다. (a)는 Cr-S/D device의 전류-전압 특성을 나타내었고 (b)에서는 Ni-S/D device의 전류-전압 특성을 나타내었다. 식 (1)을 보면 전류는 전위장벽보다 온도의 영향을 더 많이 받을 수 있다. 또한 측정된 전류-전압 특성과 열전자 방출 (thermionic emission) 이론으로 arrhenius plot을 도출할 수가 있다. 그림 4(a)는 Cr-S/D device의 arrhenius plot을 나타내고 온도가 증가할수록 유효전위장벽이 감소되는 것을 알 수 있다. Drain 전압이 0.5 V인 경우, 상온 (300 K)에서는 약 0.31 eV이고 475 K 온도에서는 약 0.26 eV로 0.05 eV정도 감소되었다. 그림 4(b)는 Ni-S/D device의 arrhenius plot을 나타낸 그래프이고 온도가 증가할수록 유효전위장벽이 증가하는 것을 알 수 있다. Drain 전압이 0.5 V인 경우, 상온 (300 K)에서는 약 0.16 eV이고 475 K 온도에서는 약 0.18 eV로 약 0.02 eV정도 증가되었다. 두 소자의 공통된 특성은 drain 전압이 증가하면 유효전위장벽이 감소하는 것이다. 이는 유효전위장벽은 전계의 영향을 받았다는 것을 의미한다.

그림 5의 측정된 결과와 그림 4의 측정된 결과를 비교분석하면, Cr-S/D device 경우, 온도가 증가할수록 유효전위장벽도 감소하고 $-\ln(I/T^2)$ 도 감소한다.

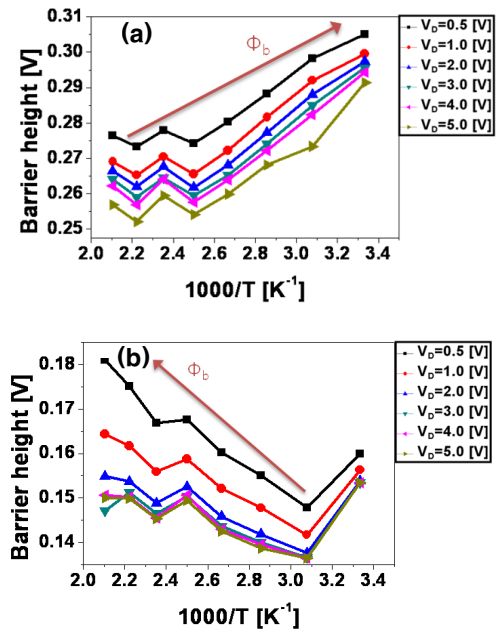


Fig. 4. Extracted schottky barrier height for different applied drain bias and zero bias gate; (a) Cr-S/D device and (b) Ni-S/D device.

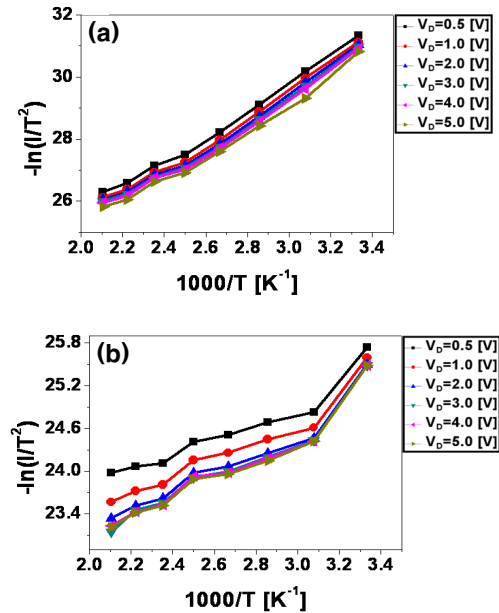


Fig. 5. Experimental and calculated arrhenius plot for different applied drain bias and zero bias gate; (a) Cr-S/D device and (b) Ni-S/D device.

이는 식 (1) 중 온도에 비례한 kT/q 의 영향을 받지 않고 소자내부저항 (series resistance)에 영향을 받았

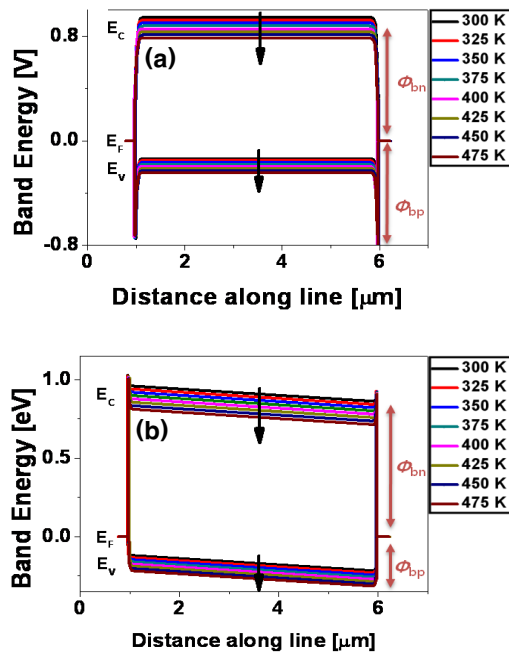


Fig. 6. Simulated band-gap diagram for different temperature; (a) Cr-S/D device and (b) Ni-S/D device.

음을 의미한다. 그에 비해 Ni-S/D device 경우, 온도가 증가할수록 유효전위장벽은 증가하지만 $-\ln(I/T^2)$ 은 감소한다. 즉, 온도에 비례한 kT/q 의 영향을 받았음을 알 수 있다.

Cr- 및 Ni-S/D device의 밴드갭 다이어그램 (band-gap diagram)은 시뮬레이션으로 분석하였고, 그 결과를 그림 6에 나타내었다. 온도가 증가하면, 두 소자의 전도대 (conduction band)와 가전자대 (valance band)는 낮은 밴드 에너지 (band energy)를 갖게 되고 전도대 (conduction band)가 가전자대 (band energy)에 비해 더 많이 변화한다. 외인성 반도체 (extrinsic semiconductor)의 Fermi 에너지 준위는 온도가 증가할수록 $E_g/2$ 지점으로 다가가게 되고 에너지 갭 (E_g)은 미세하게 감소하게 된다. 온도에 영향을 받는 Ni-S/D device의 유효전위장벽은 그림 6에서 Φ_{bp} 인 것을 알 수 있고, P-type Si의 다수 캐리어인 정공 (hole)이 느끼는 전위장벽이 높아진다. Cr-S/D device는 300 K~475 K 온도 내에서 소자내부저항 (series

resistance)에 영향을 받는다.

4. 결 론

본 연구에서는 SB MOSFETs (Cr- 및 Ni-S/D device)의 유효전위장벽과 열-전기적 특성을 실험 결과와 시뮬레이션 결과를 통해 확인하였다. Cr-S/D device는 온도가 증가할수록 유효전위장벽이 감소하였고 이를 300 K~475 K 온도 내에서는 소자내부저항 (series resistance)에 영향을 받았다고 해석하였다. 반면, Ni-S/D device는 300 K~475 K 온도 내에서 온도가 증가할수록 유효전위장벽이 증가하였고, 이를 열전자 방출 (thermionic emission)이론과 전기장 방출 (field emission model)이론으로 해석하였다. 추가적으로 시뮬레이션 결과인 밴드갭 다이어그램 (band-gap diagram)으로 해석하였고, Ni-S/D device의 유효전위장벽은 정공 (hole)이 이동할 때 느끼는 전위장벽임을 확인하였다.

감사의 글

본 연구는 2008년 경원대학교 지원에 의한 결과이며, 또한 2009년 정부 (교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구입니다 (2009-0066544).

REFERENCES

- [1] J. Knoch, M. Zhang, Q. Tzhao, S. Lenk, and S. Mantl, *Appl. Phys. Lett.* **87**, 263505 (2005).
- [2] L. E. Calvet, H. Luebben, M. A. Reed, C. Wang, J. P. Snyder, and J. R. Tucker, *Appl. Phys. Lett.* **91**, 757 (2002).
- [3] M. Jang, J. Oh, S. Maeng, W.-J. Cho, S. Lee, K. Kang, and K. Park, *Appl. Phys. Lett.* **83**, 2611 (2003).
- [4] E. Dubois and G. Larrieu, *Appl. Phys. Lett.* **96**, 1 (2004).