

Current Spreading Layer와 에피 영역 도핑 농도에 따른 4H-SiC Vertical MOSFET 항복 전압 최적화

안정준¹, 문경숙², 구상모^{1,a}

¹ 광운대학교 전자재료공학과

² 경원대학교 수확정보학과

Optimization of 4H-SiC Vertical MOSFET by Current Spreading Layer and Doping Level of Epilayer

Jung-Joon Ahn¹, Kyoung-Sook Moon², and Sang-Mo Koo^{1,a}

¹ Department of Electronic Materials Engineering, Kwangwoon University, Seoul 139-701, Korea

² Department of Mathematics and Information, Kyungwon University, Seongnam 461-701, Korea

(Received September 14, 2010; Accepted September 20, 2010)

Abstract: In this work, we investigated the static characteristics of 4H-SiC vertical metal-oxide-semiconductor field effect transistors (VMOSFETs) by adjusting the doping level of n-epilayer and the effect of a current spreading layer (CSL), which was inserted below the p-base region with highly doped n+ state ($5 \times 10^{17} \text{ cm}^{-3}$). The structure of SiC VMOSFET was designed by using a 2-dimensional device simulator (ATLAS, Silvaco Inc.). By varying the n-epilayer doping concentration from $1 \times 10^{16} \text{ cm}^{-3}$ to $1 \times 10^{17} \text{ cm}^{-3}$, we investigated the static characteristics of SiC VMOSFETs such as blocking voltages and on-resistances. We found that CSL helps distribute the electron flow more uniformly, minimizing current crowding at the top of the drift region and reducing the drift layer resistance. For that reason, silicon carbide VMOSFET structures of highly intensified blocking voltages with good figures of merit can be achieved by adjusting CSL and doping level of n-epilayer.

Keywords: SiC, VMOSFETs, Simulation, On-resistance, Break down voltage

1. 서론

높은 항복 전압을 필요로 하는 전력 MOSFETs (metal-oxide-semiconductor field effect transistors)의 연구가 이루어지고 있는 가운데, SiC는 높은 임계 전계 ($\sim 2 \text{ MV/cm}$), 넓은 밴드갭 ($\sim 3.2 \text{ eV}$), 그리고 벌크영역에 대한 높은 전자 이동도 ($\sim 800 \text{ cm}^2/\text{Vs}$)를 가지고 있어, Si 기반 전력 MOSFETs 을 대체하기에 적합하다. 전력 MOSFETs 의 동작은 채널의 이동도와

밀접한 관계가 있으며, 이에 따라 최적화된 MOSFET 구조를 설계하고, 소자의 정적 특성과 온 저항 및 채널 길이를 줄이기 위한 다양한 연구가 진행되어 오고 있다.

본 연구에서는 4H-SiC를 기반으로 수직형 MOSFET 소자를 설계하였다. 그리고 시뮬레이터를 이용하여, CSL (current spreading layer)가 VMOSFET (vertical metal-oxide-semiconductor field effect transistors) 내부의 온-저항과 항복 전압에 미치는 영향과 n형 에피층의 도핑 농도 변화에 따른 소자의 온-저항 및 항복 전압을 분석해 보았다.

a. Corresponding Author; smkoo@kw.ac.kr

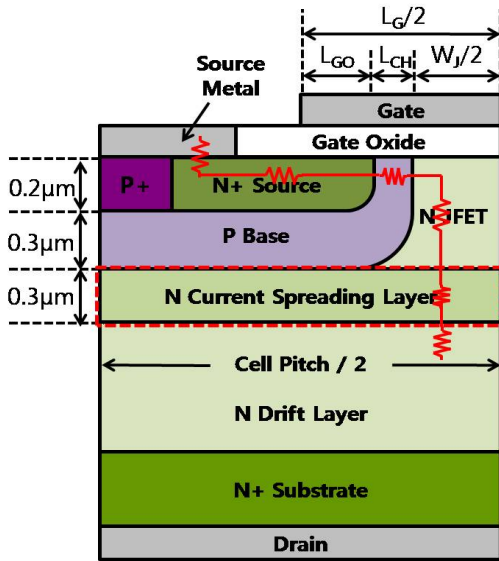


Fig 1. The structure of 4H-SiC VMOSFET.

2. 실험 방법

2.1 4H-SiC VMOSFET 구조 설계

본 연구에서는 4H-SiC VMOSFET 구조를 설계하기 위해, 시뮬레이터로 Atlas사의 Silvaco-2D 를 사용하여 그림 1의 구조로 VMOSFET 을 설계하였다 [5]. n형 기판 ($1 \times 10^{19} \text{ cm}^{-3}$) 위에 상대적으로 낮은 도핑 농도를 갖는 에피층 ($5 \times 10^{16} \text{ cm}^{-3}$)을 형성하여, 항복 전압 (V_B) 강하를 막았다. 이어서, p형 우물 영역 ($1 \times 10^{19} \text{ cm}^{-3}$)을 형성한 후, n+, p+ 소스 영역을 각각 $5 \times 10^{19} \text{ cm}^{-3}$ 만큼 도핑하였다. p형 우물 하단에 위치하는 CSL 영역은 높은 도핑 농도 ($5 \times 10^{17} \text{ cm}^{-3}$)를 가지며 전력용 소자의 전체 온-저항 (R_{ON})을 감소시키는 역할을 한다. source와 drain은 금속 중 비교적 높은 일함수를 갖는 Ni (ϕ_{Nickel} : 5.2 eV)을 사용하였다. Gate는 poly-silicon ($\phi_{\text{P-Si}}$: 4.8 eV)을, gate oxide로 SiO_2 (EBreakdown: $1 \times 10^7 \text{ V/cm}$ 이상)을 사용하여 설계하였다.

2.2 4H-SiC VMOSFET 시뮬레이션 (VMOSFET 내 CSL 영역 유무, n형 에피층 도핑 농도 및 면적 변화)

4H-SiC VMOSFET 의 동작에 CSL 영역이 미치는 영향을 알아보기 위해, CSL 영역이 존재할 때와 존재하지 않을 때, 각각, n형 에피층의 두께를 6.0

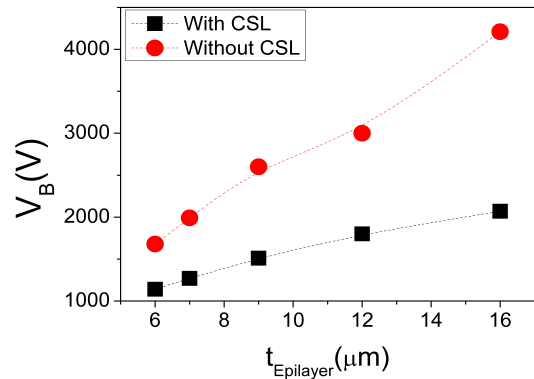


Fig 2. Variation of V_B with the thickness of n-epilayer in condition of CSL insertion.

μm 에서 12.0 μm 로 변화시키는 한편, n형 에피층 도핑 농도를 $1 \times 10^{16} \text{ cm}^{-3}$ 에서 $1 \times 10^{17} \text{ cm}^{-3}$ 까지 변화시켜 V_B , R_{ON} 의 전기적 특성을 분석했다.

3. 결과 및 고찰

3.1 CSL 삽입에 따른 4H-SiC VMOSFETs 전기적 특성 (V_B , R_{ON})

VMOSFETs 에 CSL 영역이 존재할 때와 존재하지 않을 때, 전기적 특성을 비교하기 위하여, 에피층의 도핑 농도를 $5 \times 10^{16} \text{ cm}^{-3}$ 으로 고정시키고, 두께를 6 μm 에서 16 μm 로 변화시켰다. 그림 2에서 보이는 것과 같이, CSL 영역이 존재할 때, V_B 의 경우, 에피층의 두께가 증가하면, 1140 V 에서 2070 V 로 일정하게 증가하는 것을 확인할 수 있었다. CSL 영역이 존재하지 않을 경우, 에피층의 두께가 변화함에 따라 V_B 는 1680 V 에서 4260 V 이상까지, 큰 폭 (~500 V 이상)으로 증가하는 것을 확인할 수 있었다.

그림 3은 에피층의 도핑 농도가 $5 \times 10^{16} \text{ cm}^{-3}$ 이고 에피층의 두께가 증가할 때, R_{ON} 의 변화를 나타낸 것이다. CSL 영역이 존재할 때, 에피층의 두께가 증가하면, R_{ON} 는 2.2 mΩ 에서 33.6 mΩ 로 일정하게 증가하는 것을 확인할 수 있었다. CSL 영역이 존재하지 않을 경우, 에피층의 두께가 변화함에 따라 R_{ON} 는 3.9 mΩ 에서 6.8 mΩ 까지 증가하는 것을 확인할 수 있었다. CSL 영역이 제거됨에 따라 V_B 는 큰 폭으로 증가하고, R_{ON} 또한 증가하게 된다. 이것은 에피층에 비해 높은 도핑 농도 ($5 \times 10^{17} \text{ cm}^{-3}$)를 갖는

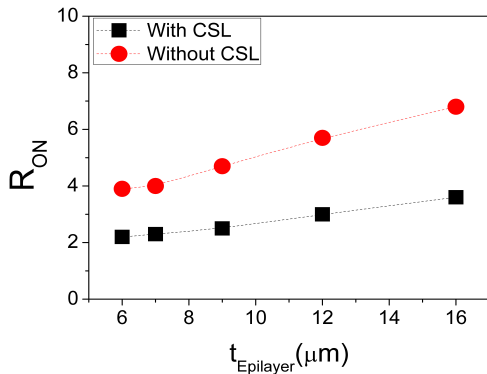


Fig 3. Variation of R_{ON} with the thickness of n-epilayer in condition of CSL insertion.

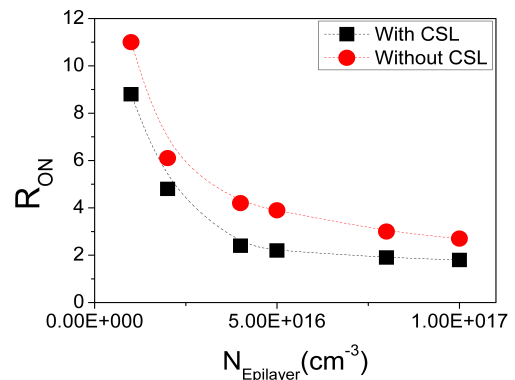


Fig 5. Variation of R_{ON} with the doping level of n-epilayer in condition of CSL insertion.

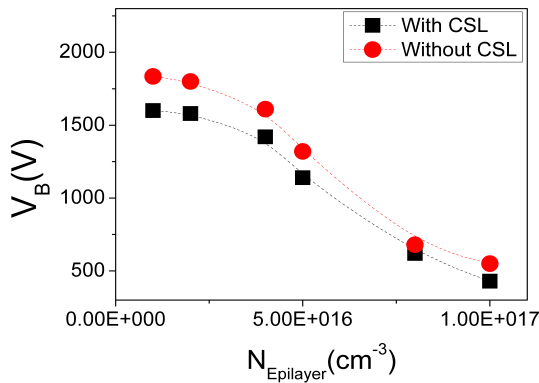


Fig 4. Variation of V_B with the doping level of n-epilayer in condition of CSL insertion.

CSL 영역이 p형 우물 영역에 electric field를 증가시키기 때문인 것으로 확인되었다.

3.2 n형 에피층 도핑 농도에 따른 4H-SiC VMOSFETs 전기적 특성 (V_B , R_{ON})

한편, 그림 4에서 보여 지는 바와 같이, 에피층의 두께를 $6 \mu\text{m}$ 로 고정시킨 후, 에피층의 도핑 농도를 $1 \times 10^{16} \text{cm}^{-3}$ 에서 $1 \times 10^{17} \text{cm}^{-3}$ 으로 증가시켜 보았다. 에피층의 도핑 농도가 증가함에 따라, V_B 는 CSL 영역이 존재할 경우, 1600 V 에서 430 V 로 감소하였다. CSL 영역이 존재하지 않을 경우에도, 1835 V 에서 550 V 로 V_B 가 감소하는 것을 확인할 수 있었다.

그림 5는 에피층의 두께가 $6 \mu\text{m}$ 이고 에피층의 도핑 농도가 증가할 때, R_{ON} 의 변화를 나타낸 것이다. CSL 영역이 존재할 때, 에피층의 도핑 농도가 증가

하면, R_{ON} 는 $8.8 \text{ m}\Omega$ 에서 $1.6 \text{ m}\Omega$ 로 감소하는 것을 확인할 수 있었다. CSL 영역이 존재하지 않을 경우, 에피층의 도핑 농도가 변화함에 따라 R_{ON} 는 $11 \text{ m}\Omega$ 에서 $2.7 \text{ m}\Omega$ 까지 감소하는 것을 확인할 수 있었다. 따라서 CSL 영역이 드리프트층의 저항을 감소시킬 뿐만 아니라, 아발란치 항복 전압 또한 감소시키는 것을 확인할 수 있었다.

3.3 n형 에피층 두께와 도핑 농도에 따른 4H-SiC VMOSFETs Figure of Merit (FoM).

Figure of merit (FoM) 은 $\text{FoM} = V_B^2 / R_{\text{ON}} \cdot \text{SP}$ 의 수식을 이용하여 구할 수 있다. $R_{\text{ON}} \cdot \text{SP}$ 은 specific on-resistance 로 R_{ON} 에 면적을 곱하여 나타낸다. n형 에피층의 두께에 따른 FoM 의 값을 구해보면, 그림 6에서 보이는 바와 같이, 도핑 농도가 $5 \times 10^{16} \text{cm}^{-3}$ 이고, 에피층의 두께가 $6 \mu\text{m}$ 에서 $12 \mu\text{m}$ 로 증가할 때, CSL 영역이 존재하는 경우, $330 \text{ MW}/\text{cm}^2$ 에서 $632.2 \text{ MW}/\text{cm}^2$ 로 증가하는 것을 확인할 수 있다. CSL 영역이 존재하지 않을 경우, $420 \text{ MW}/\text{cm}^2$ 에서 $844.3 \text{ MW}/\text{cm}^2$ 로 증가하였다.

그림 7의 경우, 에피층의 두께가 $6 \mu\text{m}$ 일 때, 에피층의 도핑 농도를 $1 \times 10^{16} \text{cm}^{-3}$ 에서 $1 \times 10^{17} \text{cm}^{-3}$ 로 증가시키면서, FoM 값을 구한 것이다. CSL 영역이 존재하는 경우, $461 \text{ MW}/\text{cm}^2$ 에서 $107.4 \text{ MW}/\text{cm}^2$ 로 감소하였으며, CSL 영역이 존재하지 않을 경우, $523.7 \text{ MW}/\text{cm}^2$ 에서 $111.5 \text{ MW}/\text{cm}^2$ 로 감소하는 것을 확인할 수 있었다. 에피층의 두께와 도핑 농도의 변화에 따른 V_B 값의 변화량이 일정하기 때문에,

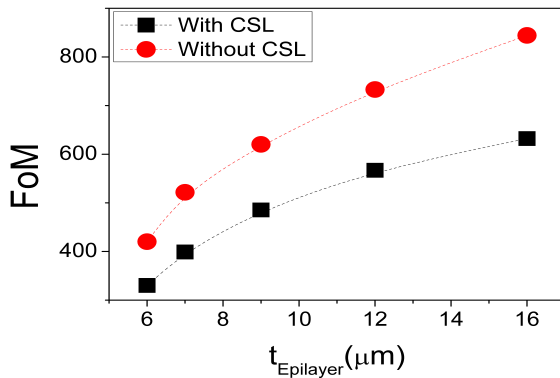


Fig 6. Variation of FoM with the thickness of n-epilayer in condition of CSL insertion.

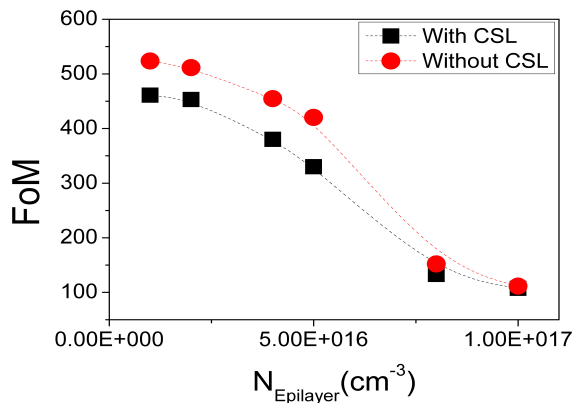


Fig 7. Variation of FoM with the doping level of n-epilayer in condition of CSL insertion.

FoM 값 또한 V_B 와 유사한 경향성을 보이는 것을 확인할 수 있었다.

4. 결론

본 연구에서는 4H-SiC VMOSFET 소자를 설계하

여 시뮬레이션을 통해 CSL 영역이 소자에 미치는 영향을 확인하였다. CSL 영역은 전자가 MOSFET 내부에서 고르게 흐르도록 하여, 드리프트층의 상단에 전류가 집약되는 것을 막아주는 역할을 하며, 결과적으로 온-저항과 항복 전압을 낮추어 주는 것으로 확인되었다. 이것은 에피층의 두께와 도핑 농도가 증가시킴에 따라, 변화하는 V_B 와 R_{ON} 값을 분석하여 확인해 볼 수 있었으며, 이로 인해, 높은 V_B 와 FoM 을 갖는 최적화된 4H-SiC VMOSFET의 구조를 설계할 수 있음을 확인할 수 있었다.

감사의 글

본 논문은 산업자원부가 지원하는 국가 반도체연구사업인 “시스템집적반도체기술평가개발사업 (시스템 IC 2010)”와 지식경제부가 지원하는 전력계통기술개발사업인 “계통연계형 인버터 시스템을 위한 고효율 전력소자 기술평가개발”의 지원을 받아 수행되었으며 또한, 2010년도 경원대학교 지원에 의한 결과입니다.

REFERENCE

- [1] A. Saha and J. A. Cooper, *IEEE Trans. Electron. Devices*, **54**, 2786 (2007).
- [2] M. Martin, A. Saha, and J. A. Cooper, *IEEE Trans. Electron. Devices* **51**, 1721 (2004).
- [3] M. Abe, H. Nagasawa, P. Ericsson, H. Strömberg, M. Bakowski, and A. Schöner, *Microelectron. Eng.* **24-26**, 83 (2006).
- [4] H. Ye, C. W. Lee, J. Reynolds, P. Haldar, M. J. Hennessy, and E. K. Mueller, *Cryogenics* **243 - 251**, 47 (2007).
- [5] ATLAS Manual, SILVACO INTERNATIONAL AL, 1-898 (2007).