

저온에서 증착한 CdSe막의 구조적 및 전기적 특성

박기철¹, 마대영^{2,a}

¹ 경상대학교 반도체공학과 및 공학연구원

² 경상대학교 전기공학과 및 공학연구원

The Structural and Electrical Properties of CdSe Films Deposited at Low Temperature

Ki-Cheol Park¹ and Tae-Young Ma^{2,a}

¹ Department of Semiconductor Engineering and ERI, Gyeongsang National University, Jinju 660-701, Korea

² Department of Electrical Engineering and ERI, Gyeongsang National University, Jinju 660-701, Korea

(Received June 15, 2010; Revised September 7, 2010; Accepted September 9, 2010)

Abstract: CdSe films were deposited on glass substrates (CdSe/glass) by thermal evaporation. Substrate temperature was lowered by cooling substrate holder with liquid nitrogen. Substrate temperatures were 200°C, 0°C and -40°C. The crystallographic properties and surface morphologies of the CdSe/glass films were studied by X-ray diffraction (XRD) and scanning electron microscopy (SEM). The optical and electrical properties of the films were investigated by dependence of energy gap, photosensitivity and resistivity on the substrate temperature. CdSe/glass showed energy gap of ~1.72 eV regardless of substrate temperature. The resistivity of the films decreased to 0.5 Ωcm by lowering the substrate temperature to -40°C. The CdSe/glass films prepared at 0°C showed the highest photosensitivity among the films in this study.

Keywords: CdSe films, Thermal evaporation, Photosensitivity

1. 서 론

CdSe (cadmium selenide)막은 박막트랜지스터 [1], 태양전지 [2], 광전화학셀 [3], 광증폭기 [4] 등의 재료로서 널리 연구되어 왔다. CdSe막은 진공증착법 [5], 스프터링 [6], 분자증착법 (molecular beam epitaxy, MBE) [7] 등 다양한 방법으로 증착되고 있으며, 증착된 막은 비화학양론적 결합에 의해 n-type 반도체 특성을 나타내는 것으로 알려져 있다. CdSe박막의 특성에 미치는 인자로는 소스의 온도, 기판의 온도, 진공도 등이 있다. 증착변수에 따라 Cd 및 Se의 증기압이 달라지며 이것이 CdSe막의 화학양론적 결합에 영향

을 미쳐 증착되는 막의 전기적 및 광학적 특성을 변화시키게 된다 [8].

종래에는 광도전막의 기판으로 유리, 실리콘웨이퍼 등 주로 무기재료 기판이 사용되었다. 그러나 flexible 기판의 활용도가 높아짐에 따라 최근에는 PP (polypropylene), PE (polyethylene) 등 고분자재료를 기판 [9,10]으로 하는 박막성장법이 요구되고 있다. 고분자는 무기재료와 달리 열에 취약하다. 따라서 고분자재료를 기판으로 사용하는 경우에는 기판의 온도를 낮추는 저온증착법이 개발되어야 한다.

진공증착법은 CdSe 광전도막을 증착할 수 있는 가장 단순한 방법으로 오래전부터 사용되어 왔다. CdSe막이 우수한 광전도특성을 나타내려면 화학양론적 결합이 이루어져야 하며 이것을 위해서는 진공증착 시

a. Corresponding Author; tyma@gnu.ac.kr

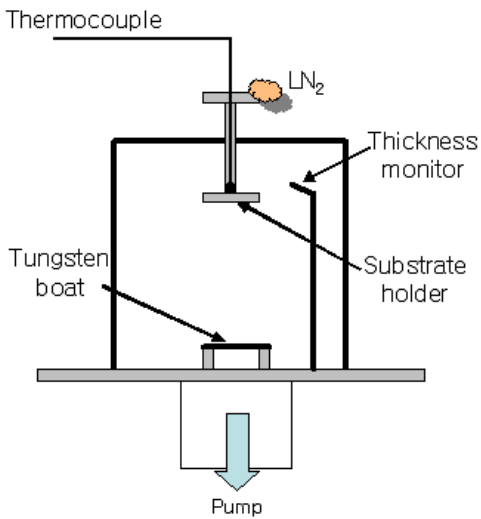


Fig. 1. Schematic diagram of evaporation system.

기판온도를 300℃ 정도로 가열하여 왔다 [11,12]. 진공증착 시 기판을 별도로 가열하지 않더라도 텅스텐 보트의 온도에 의해 기판이 섭씨 수십도까지는 증가한다. 본 연구에서는 고분자기판 사용을 대비한 선행 연구로서 CdSe막을 저온에서 진공증착하고 기판온도에 따른 구조적 및 전기적특성 변화를 조사하였다. 기판온도를 낮춤에 따라 CdSe의 비화학양론적 결합이 증가하였으며 그레인의 크기가 감소하였다. 그러나 기판온도 0℃부근에서 증착된 CdSe막은 나노크기의 그레인과 함께 우수한 광전도특성을 나타내었다.

2. 실험 방법

그림 1에 본 실험에서 사용한 진공증착기의 개략도를 나타내었다. 진공도 1.0×10^{-5} torr에서 CdSe분말 (Aldrich, 99.99%)을 텅스텐보트로 가열하여 유리기판 위에 CdSe막을 증착하였다. 텅스텐보트와 기판사이의 거리는 15 cm였다. 텅스텐보트에 흐르는 전류를 고정시켜 CdSe분말 가열온도를 조절하였다. 텅스텐보트에 흐르는 전류는 5 A였으며 이때 보트의 온도는 약 520℃였다. 기판의 온도를 200℃, 0℃, -40℃로 변화시켰다. 저항성 히터로 기판의 온도를 200℃로 높였으며, 액체질소로 기판홀더를 냉각하여 기판을 0℃ 또는 -40℃로 유지하였다. XRD (x-ray diffraction)와 SEM (scanning electron microscopy)을 사용하여 막의 결정학 및 형태학적 특성을 조사하였다. X-선 원은 Cu-K α ($\lambda=0.1542$ nm)를 사용하였고 주사각은

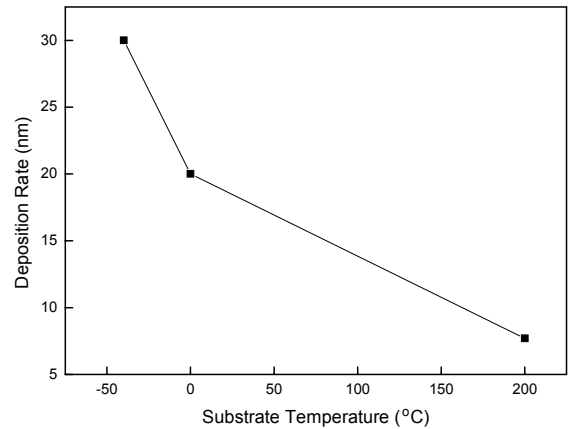


Fig. 2. Deposition rate dependence on substrate temperature.

20°에서 60°까지로 하였다. EDS (energy-dispersive x-ray spectroscopy)로 막에 포함된 Cd와 Se의 원소비를 측정하였다. 할로젠 광원과 spectrophotometer를 사용하여 에너지갭을 구하였다. 저항률 및 광전도특성을 측정하기 위하여 CdSe막 위에 은으로 두개의 전극을 만들었다. 두 전극 사이에 30 V의 전압을 인가한 후 흐르는 전류를 측정하여 저항을 계산하였다. 막의 두께는 α -step을 사용하여 측정하였으며, 실험에 사용된 막의 두께는 200 nm~300 nm였다.

3. 결과 및 고찰

3.1 CdSe막의 구조적 특성

텅스텐보트에 흐르는 전류를 50 A로 고정된 상태에서 측정된 CdSe막의 증착율을 그림 2에 나타내었다. 기판온도가 200℃일 때 8 nm/min였던 증착율이 기판온도를 -40℃로 낮춤에 따라 30 nm/min로 증가하였다. 이것은 저온에 따른 reevaporation의 감소와 증착입자의 운동량 감소가 원인인 것으로 생각된다. 저온에서는 기판에 도달하는 원자 또는 분자의 기판 표면에서의 수평운동이 줄어들며 이에 따라 막의 수직방향 성장속도가 증가할 것이다. 그림 3에 CdSe막의 SEM사진을 나타내었다. 0℃ 및 -40℃에 증착한 CdSe의 경우 그레인의 크기가 10 nm이하로 작아짐을 볼 수 있다. 그림 4는 기판온도에 따른 CdSe막의 XRD 패턴을 나타낸 것이다. 증착된 CdSe막은 hexagonal 구조를 갖는 다결정으로서 기판온도에 관

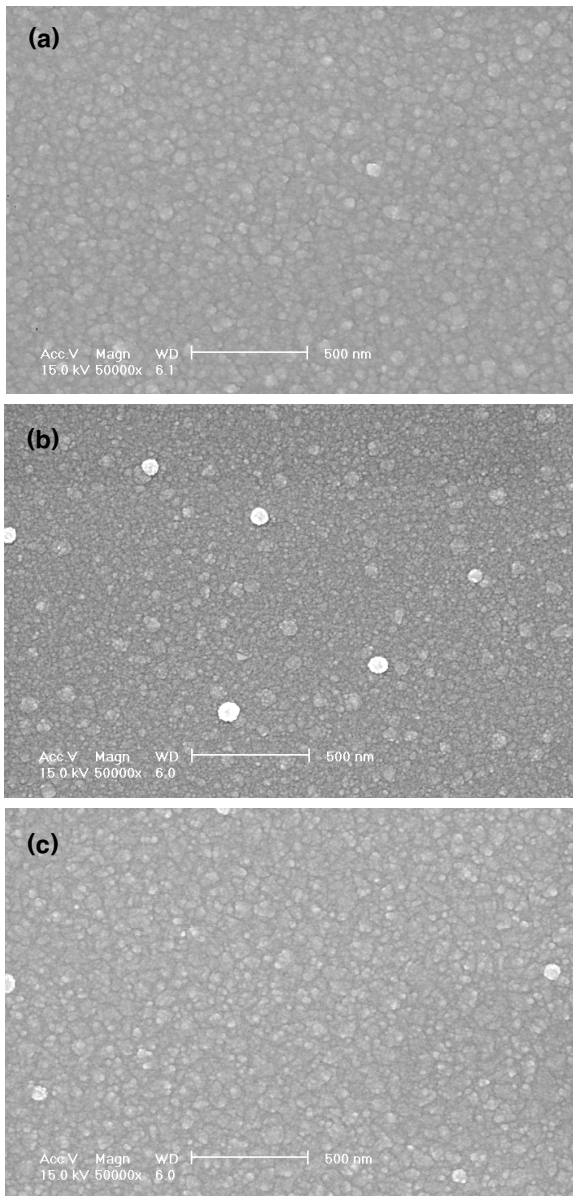


Fig. 3. SEM micrographs of CdSe film deposited at: (a) 200°C, (b) 0°C and (c) -40°C.

계없이 (002) 및 (103)방향의 피크가 주로 관측되었다. 측정된 (002)피크의 2θ 로부터 구한 c 축의 길이는 기판온도 200°C, 0°C 및 -40°C일 때 각각 3.509 Å, 3.487 Å 및 3.470 Å이었다. 소스로 사용한 CdSe분말의 경우 c 축의 길이는 3.517 Å이다 [12]. 따라서 CdSe가 막으로 증착되는 경우 분말에 비해 c 축의 길이가 수축되는 것으로 나타났다. 이것은 분말에 비해 막에는 많은 격자결함이 존재하기 때문이다. 기판온도가 낮을수록 c 축의 길이가 더 줄어드는 것으로 나

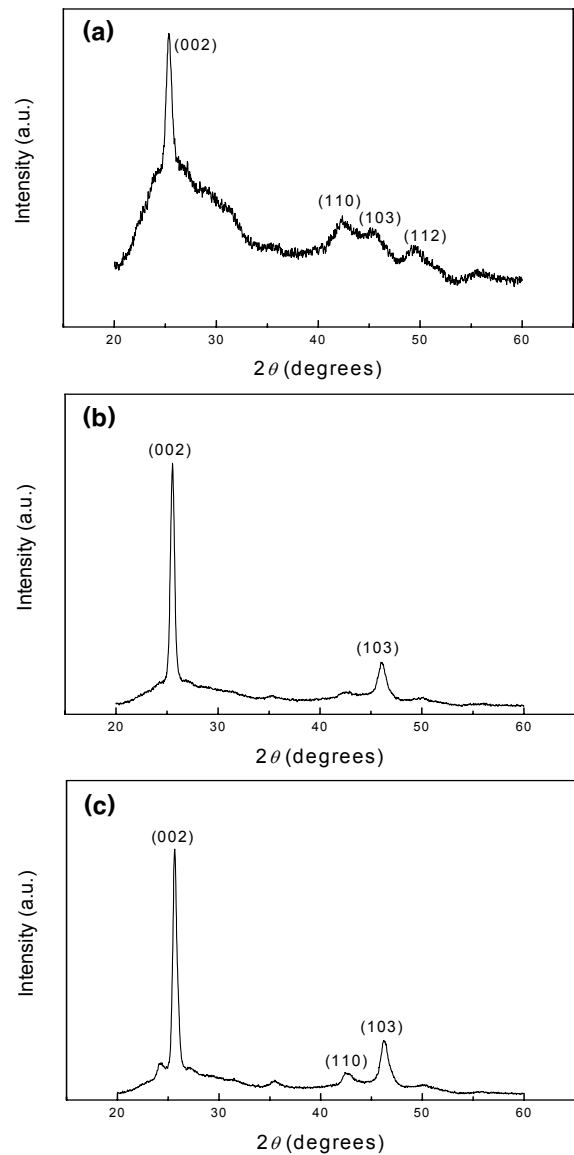


Fig. 4. XRD patterns of CdSe film deposited at: (a) 200°C, (b) 0°C and (c) -40°C.

타났다. 기판온도가 낮을 경우 격자결함이 증가할 것이라는 것을 예측할 수 있다. 그림 5에 EDS로 측정된 Cd와 Se 원자의 결합비를 나타내었다. 기판온도 200°C에서 증착한 CdSe막에서는 미미하나마 Se이 과잉인 것으로 관측되었으나, 0°C 및 -40°C에서 증착한 막은 Cd과잉으로 나타났다. Chan 등 [13]은 증착율과 기판온도가 증가할수록 Se의 함량이 증가하는 것으로 보고한 바 있다. 증착율을 높이려면 소스의 온도를 높여야 한다. 소스의 온도가 올라가면 Se의 증기압이 Cd에 비해 상대적으로 더 커져 증착되는 막 속에 함

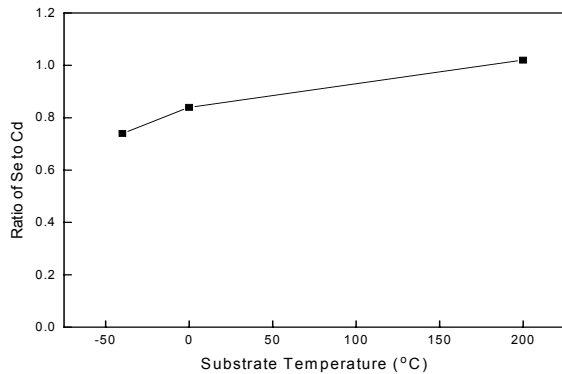


Fig. 5. Composition ratio of Se to Cd in CdSe films.

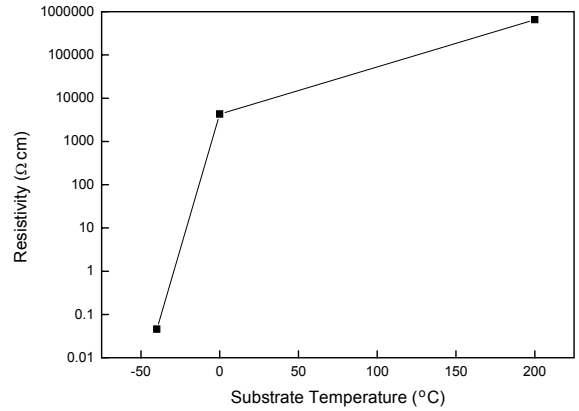


Fig. 7. Resistivity variation of CdSe films with substrate temperature.

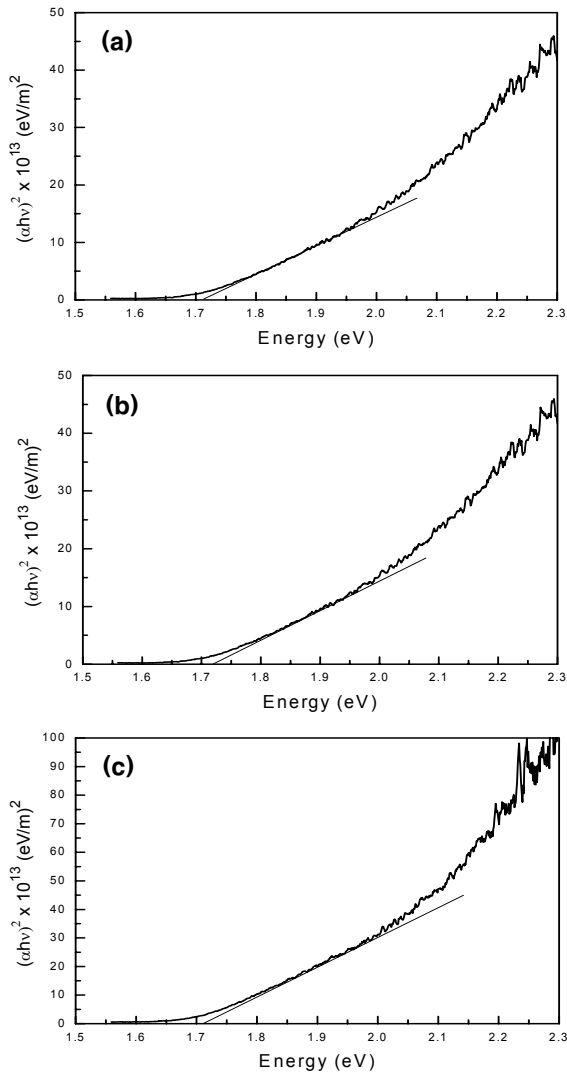


Fig. 6. $(ah\nu)^2$ versus $(h\nu)$ plot of CdSe film deposited at: (a) 200°C, (b) 0°C and (c) -40°C.

유되는 Se의 함량을 증가시키게 된다 [8]. CdSe막의 Cd 및 Se 원자비에 미치는 기판온도의 영향을 명확하게 설명할 수는 없으나, 저온의 기판이 증발되는 Se의 증기압을 낮추는 것으로 추측된다. CdSe막을 저온에서 증착할 경우, Se결핍에 의해 막의 결함이 증가하는 것으로 판단된다.

3.2 CdSe막의 광학적 및 전기적 특성

CdSe는 직접천이를 하는 반도체로서 빛의 파장 (ν)과 광흡수율 (α) 사이에 아래의 관계를 갖는다.

$$(\alpha h\nu)^2 = A(h\nu - E_g) \quad (1)$$

여기서 A 는 비례상수, h 는 Planck 상수 그리고 E_g 는 에너지갭이다. 따라서 $(ah\nu)^2$ 과 $h\nu$ 사이의 관계 그래프를 통하여 CdSe막의 에너지갭을 구할 수 있다. 그림 6에 기판온도 별로 광에너지 ($h\nu$)에 따른 CdSe막의 광흡수율 ($ah\nu^2$)변화를 나타내었다. 그림 6에서 직선과 x축이 만나는 점을 에너지갭으로 결정하였다. 기판온도에 관계없이 1.72 ± 0.01 eV의 에너지갭을 갖는 것으로 구해졌다. 에너지갭에 대한 본 실험의 결과로 볼 때, 과잉상태로 존재하는 Cd 또는 Se가 CdSe막의 광흡수특성에 영향을 미치지 않는 것으로 판단된다.

그림 7은 기판온도에 따른 CdSe막의 저항률 변화이다. 기판온도 200°C 및 0°C에서 증착된 CdSe막은 저항값이 커서 저항계를 이용하여 저항을 측정할 수가 없었다. 저항을 측정하기 위하여 5.6 MΩ의 저항을

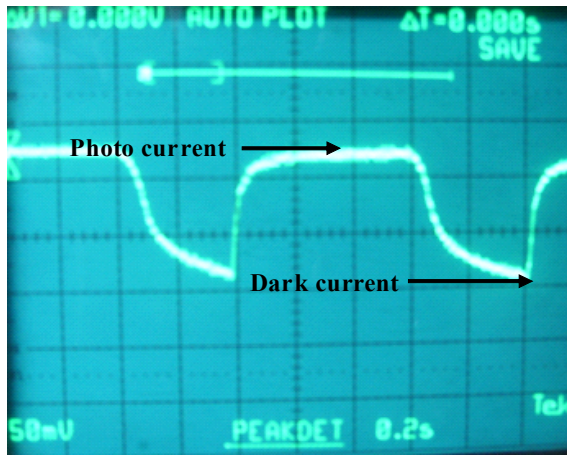


Fig. 8. A plot of photodecay of CdSe film deposited at 0°C.

CdSe막과 직렬연결한 후 30 V를 인가하였다. CdSe막에 분배되는 전압과 전류를 구한 후 저항을 계산하였다. 이렇게 얻은 저항값으로부터 저항률을 계산하였다. 200°C에서 증착한 막은 $6.4 \times 10^5 \Omega\text{cm}$ 의 높은 저항률을 보였으나, -40°C에서 증착한 막의 저항률은 0.5 Ωcm 로 급격히 감소하였다. 기판온도가 감소하면 CdSe막에 Cd 과잉현상이 발생하며 이것이 저항률 감소의 주된 원인인 것으로 생각된다.

CdSe는 가시광영역의 광전도막으로 사용된다. 제조한 CdSe막에 100 lux의 백색광을 비추면서 상온에서의 저항률 변화를 조사하였다. 암전류가 2.5 nA인 상태에서 백색광을 조사하였다. 이때 기판온도 200°C에서 증착한 막은 2.6배의 저항률 감소를 보였으며 0°C에서 증착한 막은 6배의 저항률 감소를 나타내었다. 그러나 -40°C에서 증착한 막은 낮은 저항률에 의해 미미한 광전도특성을 보였다. -40°C에서 증착한 막의 경우 저온에서는 저항률 증가와 함께 광전도특성이 향상될 것으로 예상된다. 0°C에서 증착한 막의 경우에는 광감도가 높을 뿐만 아니라 광전류 감쇄시간도 200°C에서 증착한 막에 비해 감소하였다. 그림 8에 0°C에서 증착한 막의 광반응특성을 나타내었다. 일반적으로 CdSe막의 광감쇄는 초기의 급격한 감쇄 영역과 후기의 느린 감쇄영역으로 나뉜다. 초기의 빠른 감쇄는 빛에 의해 생성된 전자를 트랩이 재포획함으로써 일어나는 현상이며, 나중의 느린 감쇄현상은 CdSe막에 존재하는 깊은준위 (deep level)에 의한 것이다. 트랩에 비해 깊은준위는 수명 (life time)이 길다. 0°C에서 증착한 CdSe막은 400 msec 정도의 빠른

감쇄특성을 보였다. 저온성장에서 나타나는 나노크기의 그래인이 CdSe막의 광전도특성을 향상시키는 것으로 사료된다.

4. 결론

고분자기판을 대비한 선행연구로서 CdSe를 저온에서 진공증착하고 기판온도에 따른 막의 특성변화를 조사하였다. 기판온도를 낮춤에 따라 CdSe의 비화학적 결합이 증가하였으며 그래인의 크기가 감소하였다. 그러나 기판온도 0°C 부근에서 증착된 CdSe막은 나노크기의 그래인과 함께 우수한 광도전특성을 나타내었다. 기판온도가 200°C일 때 8 nm/min였던 증착율이 기판온도를 -40°C로 낮춤에 따라 30 nm/min로 증가하였다. 이것은 증착입자의 수평운동이 줄어들어 따라 막의 수직방향 성장속도가 증가하기 때문이다. 증착된 CdSe막은 hexagonal구조의 (002) 및 (103) 피크가 주로 관측되었다. 기판온도 200°C에서 증착한 막은 Se이 과잉이나 0°C 및 -40°C에서 증착한 막은 Cd과잉으로 나타났다. Cd 과잉에서 CdSe막의 저항률이 급격히 감소하였다. 암전류가 2.5 nA인 상태에서 백색광을 조사한 결과 기판온도 0°C에서 증착한 막은 6배의 저항률 감소와 함께 400 msec 정도의 빠른 광감쇄특성을 보였다.

REFERENCE

- [1] F. C. Luo, D. D. Hoesly, and I. Chen, *Solid State Electron.* **24**, 461 (1981).
- [2] N. G. Patel, C. J. Panchal, K. K. Makhija, P. G. Patel, and S. S. Patel, *Cryst. Res. Technol.* **39**, 247 (2006).
- [3] S. M. Pawar, A. V. Moholkar, K. Y. Rajpure, and C. H. Bhosale, *Sol. Energy Mater. Sol. Cells* **92**, 45 (2008).
- [4] R. H. Bube, *Photoconductivity in Solid* (Wiley, New York, 1977) p. 273.
- [5] C. Baban, G. I. Rusu, and P. Prepelita, *J. Optoelectron. Advanced Mater.* **7**, 817 (2005).
- [6] G. Moersch, P. Rava, F. Schwarz, and A. Paccagnella, *IEEE Trans. Electron. Devices* **ED-36**, 449 (1989).
- [7] D. Y. Chae, K. W. Seo, S. S. Lee, S. H. Yoon, and I.-W. Shim, *Bull. Korean Chem. Soc.* **27**, 762 (2006).
- [8] K. G. Gunther, *The use of thin films in physical investigations* (Ed. J. C. Anderson) (Academic Press,

- London, 1966).
- [9] J. B. Park, J. Y. Hwang, D. S. Seo, S. K. Park, D. G. Moon, and J. I. Han, *J. KIEEME* **16**, 1115 (2003).
- [10] H. C. Moon, J. Y. Hwang, W. W. Lee, and D. S. Seo, *Trans. Electr. Electron. Mater.* **6**, 106 (2005).
- [11] D. Pathinettam Padiyan, A. Marikani, and K. R. Murali, *Mater. Chem. Phys.* **78**, 51 (2002).
- [12] S. Velumani, Xavier Mathew, P. J. Sebastian, S. K. Narayandass, and D. Mangalaraj, *Sol. Energy Mater. Sol. Cells* **76**, 347 (2003).
- [13] D. S. H. Chan and A. E. Hill, *Thin Solid Films* **38**, 163 (1976).