

고집적 소자용 구리기둥범프 패키징에서 산화문제를 해결하기 위한 방법에 대한 연구

정원철¹, 홍상진¹, 소대화², 황재룡², 조일환^{1,a}

¹ 명지대학교 전자공학과

² KISTI RESEAT 사업팀 전문연구위원

Method of Solving Oxidation Problem in Copper Pillar Bump Packaging Technology of High Density IC

One Chul Jung¹, Sang Jeon Hong¹, Dae Wha Soh², Jae Ryong Hwang²,
and Il Hwan Cho^{1,a}

¹ Department of Electronic Engineering, Myong-Ji University, Yongin 449-728, Korea

² KISTI RESEAT HoiGiro 66, Seoul 130-741, Korea

(Received July 20, 2010; Revised October 27, 2010; Accepted November 3, 2010)

Abstract: Copper pillar tin bump (CPTB) was developed for high density chip interconnect technology. Copper pillar tin bumps that have 100 μ m pitch were introduced with fabrication process using a KM-1250 dry film photoresist (DFR), copper electroplating method and Sn electro-less plating method. Mechanical shear strength measurements were introduced to characterize the bonding process as a function of thermo-compression. Shear strength has maximum value with 330 $^{\circ}$ C and 500 N thermo-compression process. Through the simulation work, it was proved that when the copper pillar tin bump decreased in its size, it was largely affected by the copper oxidation.

Keywords: Tin layer, Oxidation barrier, Copper pillar bump, Interconnection

1. 서 론

반도체 시장에서 소자의 집적도는 계속적으로 증가되고, input-output (I/O) 또한 증가하고 있다. 이에 칩과 PCB기판과의 접합에서 점차 작은 크기의 bump가 사용되어 진다 [1]. 기존의 solder ball을 이용한 방식에서 지름 70~80 μ m이하의 접합기술은 구조상의 문제와 접합 후 bridging문제를 쉽게 일으킨다. 이에 금속 기둥을 형상화 하여 범프를 제작할 경우 지름을 획기적으로 줄일 수 있으며, 물질자체의 낮은

저항으로 인하여 소자의 전기적 특성이 향상되고 또한 물리적 강도가 증가하여 소자의 신뢰성이 증대된다는 장점 때문에 전통적인 볼 범프에서 기둥형 범프의 사용이 고려되었다. 상기 금속에서 구리의 선택은 Ag을 제외한 가장 낮은 저항성과, 금속특유의 강도, electro-migration (EM)에 대한 저항성 등, 여러 부분에서 여타 금속에 비해 많은 장점을 가진다. 또한 기둥 범프는 최근에 칩과 기판의 접합기술단계(1st level)의 플립칩 접합에 솔더볼의 대안으로 중요시 되고 있다 [2]. 최근 Intel에서도 구리기둥범프를 그들의 새로운 최소 패키징에서 사용되어지고 있다 [3]. 하지만 구리기둥의 단점으로 산소환경에 노출되었을 경우 산

a. Corresponding Author: ihcho77@mju.ac.kr

화가 진행된다는 점에 있다. 더욱이 산화에 관하여 구리물질의 self-protect가 되지 않아 문제는 더욱 심각해진다 [4]. 산화가 진행될수록 전류가 흐를 수 있는 면적이 감소됨에 따라 소자의 신뢰성 문제를 야기시킨다. 이에 본 논문에서는 구리기둥의 산화를 막기 위하여 주석을 사용하여 측벽을 보호하는 구조를 소개한다. 제안된 구조의 제작방법을 소개하고, 기존의 구리기둥을 사용한 범프와 주석으로 측벽을 보호한 구조의 범프를 전기적 특성에 대하여 수치계산을 통해 확인해 본다.

2. 실험 방법

주석을 입힌 구리기둥 범프의 각각의 공정 순서는 그림 1에 나타내었다. 4인치 실리콘 웨이퍼위에 DC sputter장비를 이용하여 seed layer로서 구리를 100 nm 증착 하였으며, 실리콘 웨이퍼와 구리간의 접착력을 증대하기 위해 adhesion layer로 티타늄을 10 nm 증착하였다. 이후 dry film resister (DFR)을 사용하여 Pitch 100 μm 크기의 패턴을 제작하였다. 상기 감광막은 산성 용액에 강한 내구성을 가지는 KM1150 (Kolon, Korea)을 사용하였다. 감광막을 입히기 위하여 사용한 Laminating 공정은 115도 0.1 Mpa의 압력을 사용하여 진행하였다. 500 mW/min의 UV-generator를 이용하여 노광을 진행하였으며, 현상은 1% Na_2CO_3 용액을 사용하였다. 최종적으로 높이 30 μm , 지름 50 μm 를 가지는 범프의 틀을 제작하였다. 이후 황산구리 용액을 이용한 전해도금 공정을 통해 구리기둥을 28 μm 형성하고 무전해 도금을 이용하여 구리기둥 상부에 주석 기둥을 2 μm 를 형성하였다.

DFR 제거에는 N-methyl-pyrrolidinone과 benzimidazole을 혼합용액을 이용하여 제거하였다. Seed layer는 90도의 5% H_2SO_4 를 이용하여 5분간 에칭 공정으로 제거하였다. 마지막으로 1 μm 의 주석층은 구리표면에서만 반응하는 무전해 도금방식내의 치환도금 용액을 사용하여 형성하였다.

3. 결과 및 고찰

CPTB의 구조는 그림 2(a)를 통해 볼 수 있다. 실험에서 최소 top부분에서 30 μm 와 bottom부분에서 40 μm 를 가지는 샘플을 만들 수 있었다. 그림 2(b)에

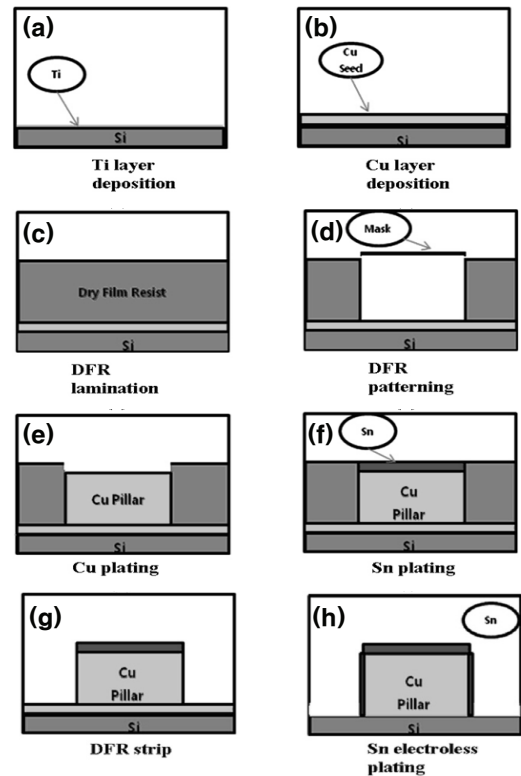


Fig. 1. Fabrication process of CPTB with anti-oxidation Sn side wall layer.

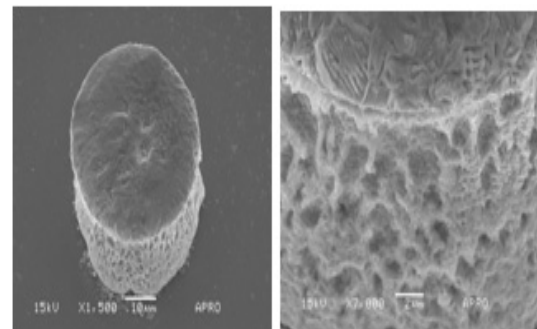


Fig. 2. SEM image of copper pillar bump with sidewall anti-oxidation layer.

서 측벽에 도금된 주석을 확인 할 수 있으며, 산소환경에 노출되었을 경우 산화에 대한 self-protect를 할 수 없는 구리의 문제점을 해결할 수 있다.

최근 많은 나라에서 납 제품을 제한하는 법을 제정하였다. 이에 이 실험에서는 납이 포함되지 않은 순수한 주석만을 가지고 실험하였다. 열압착을 통한 접

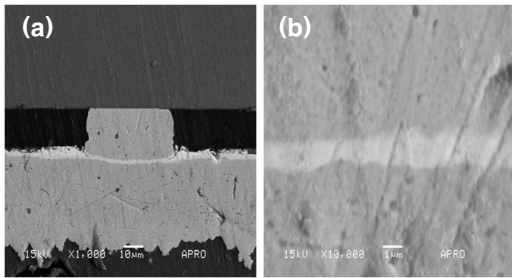


Fig. 3. (a) Image of joint area between PCB and copper pillar (b) SEM image of IMC (Inter Metallic Compound).

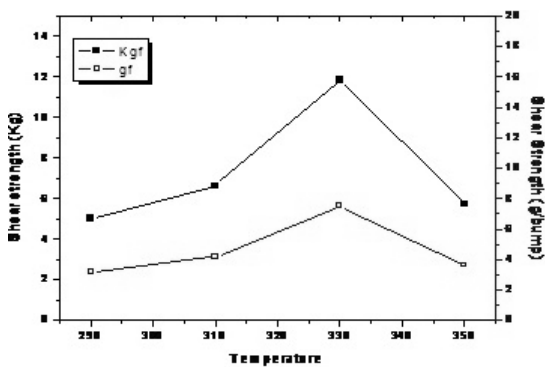


Fig. 4. Shear strength with joining temperature variation.

합의 결과는 그림 3(a)에서 찾을 수 있다. 또한 구리와 주석간의 접합면에서 형성되는 합금인 Cu_3Sn 과 Cu_6Sn_5 의 형태는 그림 3(b)에서 볼 수 있다. 이때 PCB로 선택된 보드는 실험을 위해 패터닝과 구리 식각, 그리고 무전해 도금을 이용하여 제작하였다.

이후 공정으로는 O_2 플라즈마를 위한 표면 세정공정을 거친 FR-4기판을 이용하여, 구리기둥을 형성하고 있는 칩 부분과 PCB기판을 이용하여 Sn-Sn접합이 형성되도록 진행하였다. 접합 실험에서는 구리기둥을 포함하고 있는 칩 부분에는 각 290 °C, 310 °C, 330 °C, 350 °C를 가하였으며, FR-4 PCB기판에는 70 °C를 가지도록 설정하였다. 또한 접합 압력으로는 500 N의 일정한 힘을 가해 주었다. 이에 대한 shear strength결과는 그림 4를 통해 관찰할 수 있다. 그림 4를 통해 330 °C의 샘플이 가장 높은 피크를 가지는 것을 확인할 수 있었다. 이후 연구에서는 측면의 주석층 사용한 구리기둥의 전기저항성에 관련된 주석의 효과를 살펴볼 것이다.

Table 1. Standard Gibbs free energies, equilibrium reduction potentials of Copper oxides at $-20 \mu A/cm^2$ [7].

Oxide	Free Energy of Formation, ΔG° (298K, kJ/mole)	Equilibrium Potential
Cu_2O	-292.9	-0.625
CuO	-254.6	-0.406

Table 2. Standard electrical resistivity of materials.

Material	Electrical Resistivity ($\mu\Omega cm$)
Sn	11.5 (ref.5)
Cu	1.7 (ref.5)
CuO	95.24×10^6 (ref.8)
Cu_2O	364.9×10^6 (ref.8)
Cu_3Sn	8.8 (ref.5)
Cu_6Sn_5	17.5 (ref.5)

지름 50 μm 와 높이 60 μm 를 기준으로 O_2 에 의한 산화를 주석을 이용한 측벽이 보호된 구리기둥과, 주석을 이용하지 않고 산화가 진행될 경우를 계산해 보았다. 이때 조건으로는 지름(d)은 항상 일정하다고 가정하였다. 그림 5에 계산에 사용된 범프 구조를 나타내었다. 수치 계산에 사용된 물질의 정의는 다음과 같이 설명할 수 있다. 증착된 주석층과 구리는 $Cu_6Sn_5(\eta\text{-phase})$ 와 $Cu_3Sn(\epsilon\text{-phase})$ 의 합금을 형성한다. 초기 Cu_6Sn_5 물질의 형성이 Cu_3Sn 의 형성보다 빠르게 진척된다. 이후 시간이 지남에 따라 형성되었던 Cu_6Sn_5 는 Cu_3Sn 으로 전환된다 [5]. 이는 Cu_6Sn_5 보다 low energy state를 가지며 주석의 경우 Cu에 비례하여 유한요소 성분을 가지기 때문이다. 다른 방면으로 Sn-Cu phase diagram 경우를 살펴볼 때, 공정을 진행한 300°C 부근에서 Cu_3Sn 과 Cu의 조성으로만 형성된다는 점을 들 수 있다. 이는 Cu에 비례하여 주석의 양이 극히 적을 경우이다. 따라서 Ellingham diagram을 참고하여 300 °C에서 $\Delta G^\circ = -260 \text{ kJ/mole}$ 를 가진다. 이는 $\Delta G < 0$ 이 되어 반응이 자발적으로 진행되게 된다. $2Cu(s) + 1/2O_2(g) = Cu_2O(s)$, $2Cu(s) + H_2O = Cu_2O(s) + H_2$ 로 나타낼 수 있다 [6].

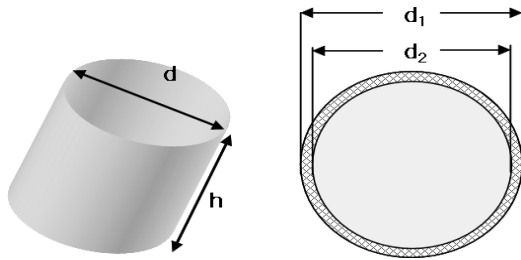


Fig. 5. Copper pillar model for calculation of copper pillar resistance.

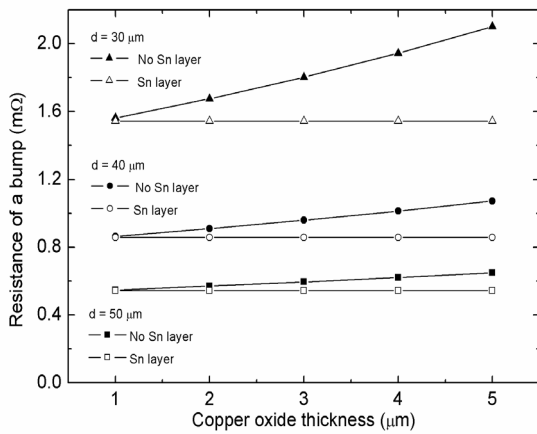


Fig. 6. Resistance characteristics of copper pillar bump with Sn anti-oxidation layer effect.

$$R = \rho \times \frac{l}{d} \tag{1}$$

$$R_{Total} = \left[\frac{1}{\frac{\rho_1 \times t_{fix}}{Cu_{area}}} + \frac{1}{\frac{\rho_2 \times t_{fix}}{M_{area}}} \right]^{-1} \tag{2}$$

R_{total} = Total resistance of pillar. Cu_{area} = area of copper in pillar, ρ_1 = Cu resistivity, ρ_2 = Cu_2O or Cu_3Sn electro resistivity, t_{fix} = 60 μ m thickness and M_{area} = Totalarea - Cu_{area}

계산의 결과는 그림 6을 통해 나타내었다. 저항의 변화를 볼 때 직경이 클 경우 산화에 의한 영향이 크지 않음을 볼 수 있다. 하지만 초기 직경이 30 μ m일 경우 산화에 의한 산화막의 두께증가는 구리기둥 자체의 저항이 급격히 증가되는 것을 볼 수 있다. 이로

인해 소자의 집적화에 바탕을 둔 기둥의 축소화에 대하여, 산화에 대한 문제는 더욱더 부각 받을 것이다.

더욱이 구리 범프의 저항이 증가됨에 따라 Black's equation에 의거하여 전류 밀도가 증가되고 이는 electro-migration(EM)효과를 크게 증가시키게 된다 [9,10]. 증가된 EM효과는 접합부위에 크랙의 형성을 더욱 쉽게 발생시키고, 이는 신뢰성을 낮추는 결과를 가져온다. 따라서 고밀집의 패키징에 커다란 영향을 미치게 될 것이다.

4. 결론

고집적 패키징 기술에 사용되는 구리기둥 범프의 신뢰성 개선을 위하여 산화 방지를 위한 주석 층을 형성하는 기술을 소개하였다. 측벽에 산화방지를 위한 주석을 입힌 CPTB 구조 및 공정을 제안하였으며, 실제 공정을 통하여 100 마이크로 미터의 피치를 갖는 범프의 제작 및 접합 특성을 확인하였다. 주석 측벽 공정 기술을 최적화 할 경우 100 마이크로미터 이하의 피치가 요구되는 공정에도 본 기술을 적용할 수 있을 것으로 예상된다.

감사의 글

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2010-0006381).

이 연구는 2010년도 명지대학교 교직원중점연구소 지원으로 연구되었음.

REFERENCES

- [1] Robert Doering, and Yoshio Nishi, Semiconductor Manufacturing Technology, 2nd ed. (CRC Press, New York, 2008) p. 32-2.
- [2] T. Wang, F. Tung, L. Foo, and V. Dutta, Proceedings of the 51th IEEE Electronic Components and Technology (IEEE, Orlando, USA, 2001) p. 945.
- [3] A. Yeoh, M. Chang, C. Pelto, Tzuen-Luh Huang, S. Balakrishnan, G. Leatherman, S. Agraharam, Guotao Wang, Zhiyong Wang, D. Chiang, P. Stover, and P. Brandenburger, Proceedings of the 56th IEEE

- Electronic Components and Technology (IEEE, San Diego, USA, 2006) p. 1611.
- [4] E. T. Ogawa, Ki-Don Lee, V. A. Blaschke, and P. S. Ho, IEEE TRANSACTIONS ON RELIABILITY **51**, 403 (2002).
- [5] Ph. Gasser, P. Jacob, D. Leroy, L. Overli, C. Scheuerlein, and M. Taborelli, *J. Appl. Phys.* **97**, 033909 (2005).
- [6] Richard D. Holmes, Annie B. Kersting, and Richard J. Arculus. *Geochimica et Cosmochimica Acta.* **50**, 2439 (1986).
- [7] Sungil Cho, Jin Yu Sung, K. Kang, and Da-Yuan Shih, IMAPS, (Brugge, Belgium, 2005) p. 35 (2005).
- [8] Ahalapitiya H. Jayatissa, K. Guo, and Amblangodage C. Jayasuriya, *Appl. Surf. Sci.* **255**, 9474 (2009).
- [9] Yi-Shao Lai, Kuo-Ming Chen, Chiu-Wen Lee, Chin-Li Kao, and Yu-Hsiu Shao, 2005 7th Electronic Packaging Technology Conference (IEEE, Grand Cophome Waterfront, Singapore, 2005) p. 786.
- [10] S. Lee, Y. X. Guo, and C. K. Ong, 2005 7th Electronic Packaging Technology Conference (IEEE, Grand Cophome Waterfront, Singapore, 2005) p. 135.