

Cl₂/HBr/CF₄ 반응성 이온 실리콘 식각 후 감광막 마스크 제거

하태경¹, 우종창¹, 김관하¹, 김창일^{1,a}

¹ 중앙대학교 전자전기공학부

Removal of Photoresist Mask after the Cl₂/HBr/CF₄ Reactive Ion Silicon Etching

Tae-Kyung Ha¹, Jong-Chang Woo¹, Gwan-Ha Kim¹, and Chang-Il Kim^{1,a}

¹ School of Electrical and Electronics Engineering, Chung-Ang University, Seoul 156-756, Korea

(Received March 8, 2010; Revised April 9, 2010; Accepted April 20, 2010)

Abstract: Recently, silicon etching have received much attention for display industry, nano imprint technology, silicon photonics, and MEMS application. After the etching process, removing of etch mask and residue of sidewall is very important. The investigation of the etched mask removing was carried out by using the ashing, HF dipping and acid cleaning process. Experiment shows that oxygen component of reactive gas and photoresist react with silicon and converting them into the mask fence. It is very difficult to remove by using ashing or acid cleaning process because mask fence consisted of Si and O compounds. However, dilute HF dipping is very effective process for SiOx layer removing. Finally, we found optimized condition for etched mask removing.

Keywords: Silicon etching, Photoresist mask removing, Reactive ion etching, Plasma etching, HF cleaning

1. 서론

현재 정보통신의 변화 양상은 초고속화, 대용량화, 원격화, 개인화로 요약할 수 있고, 초고속 통신망의 필요성은 각종 정보 유통의 수요 증가와 단위정보량의 급격한 증대에 기인한다. 이러한 급격한 데이터의 처리를 위하여 반도체 중앙처리장치 및 메모리의 성능 향상 및 가격 경쟁력 확보를 위한 미세 공정이 필요하며, LCD (liquid crystal display) 공정의 위한 대면적 나노임프린트 기술, 실리콘 기반의 포토닉스 기술 등의 공정 개발을 위하여 실리콘 식각의 중요성이 날로 더해지고 있다 [1-3].

실리콘 재료의 식각은 KOH 등을 이용한 습식 식

각과 플라즈마를 이용한 건식 식각 방법 등 여러 가지가 있으나 현재 가장 많이 사용되는 것은 반도체 공정 미세화에 따라 반응성 이온 식각 (RIE: reactive ion etching) 방법이다. 이 방법은 비교적 사용이 간단하고 적절한 조건에서 사용하였을 때 광소자에 적당한 우수한 식각 특성을 얻을 수 있다. 그러나, 이러한 건식식각 방법은 식각 공정 시 시료 표면에 심하게 생성되는 고분자 침적물, 높은 직류 바이어스 전압으로 인한 시료표면의 손상 등 몇 가지 본질적인 약점을 가지고 있어 그 개선 방안이 계속 연구되고 있다 [3]. D. L. Flamm [4] 등에 의하면 식각 공정은 네 개의 카테고리로 분류되며 이에 따라 식각률 및 식각 프로파일이 결정됨을 E. Kay [5] 등은 기판 바이어스에 의존성을 가지는 식각 속도 및 프로파일을,

G. C. Swatz [6], E. A. Ogyzlo [7] 등은 진성 실리콘과 n형, p형으로 도핑된 실리콘과의 식각 특성이 차이 등을 보고하였다. 이러한 반응성 이온 식각을 미세 공정에서 적용하기 위하여 Bosch 공정과 cryogenic 식각 공정 등이 연구되었다. Bosch 공정은 SF₆ 가스를 이용하여 실리콘 기판을 식각하면서 fluorocarbon이 측면을 보호해 준다. 이렇게 식각 작용과 보호막 작용이 교대로 진행된다면 측면은 식각에서 보호되고, 수직 방향으로만 깊게 식각 할 수 있다 [8,9]. 이를 빨리 진행하려면 고밀도 플라즈마가 필요한데, 일반적으로 유도결합플라즈마 장비를 사용한다. Bosch 공정이 교대 공정이라면 cryogenic 식각 공정은 윈스텝 공정이 가능하다. 영하 110도 정도의 저온에서 식각용 가스와 보호용 가스를 동시에 사용하여 식각 패턴 옆면을 보호하고 수직 방향으로 식각되어 진다 [10]. Bosch 공정은 상온에서 가능하고 온도 민감성이 적지만 식각 공정 중에 측면의 거칠기 특성이 나빠진다. 이에 비해 cryogenic 식각 공정은 적은 파워로 공정이 가능해 마스크 손상이 적고, 식각단면이 매끄럽다. 그러나 온도 의존성이 높고 산소의 양을 정밀히 조절해 주어야 하는 단점이 따른다.

유도결합 플라즈마를 이용한 공정은 고밀도의 플라즈마를 RF 유도결합 방식으로 생성하고 기판에 바이어스 전력을 가하여 이온에 운동에너지를 주는 방식을 사용하므로 이온의 밀도와 운동에너지 및 운동 방향의 독립적 조절이 가능하고, 저압 공정이 가능하며, 대형화가 가능할 뿐만 아니라 공정 자체의 조절이 매우 간단하고 재현성 있어서 실리콘, 실리콘 산화물, 금속 식각 공정 및 감광막 제거 공정 등을 중심으로 실용화되어 미세소자의 제작을 위한 핵심 공정으로 자리 잡고 있다 [11]. 이와 같은 실리콘 식각에 대한 연구는 다양한 플라즈마 발생 방법의 챔버와 반응 가스, 공정 조건 등에 대해서 연구 되었으나 불소를 함유한 가스를 이용한 반응성 이온 건식 식각의 부산물로 실리콘 표면에 수 nm의 잔류막이 형성된다고 보고되고 있다 [12]. 이 잔류막은 주로 탄소와 불소로 이루어진 유기물질로, 실리콘의 식각 속도를 크게 감소시키며, 식각 후 잔류막의 제거가 용이하지 않아 소자의 특성에 나쁜 영향을 미치는 것으로 알려져 있다.

본 연구에서는 Cl₂/HBr/CF₄ 유도결합 플라즈마를 이용하여 실리콘 식각을 진행하고 감광막 마스크 제거를 위하여 플라즈마를 이용한 감광막 제거 공정, acid 및 HF를 이용한 습식 세정 공정을 이용하여 식각

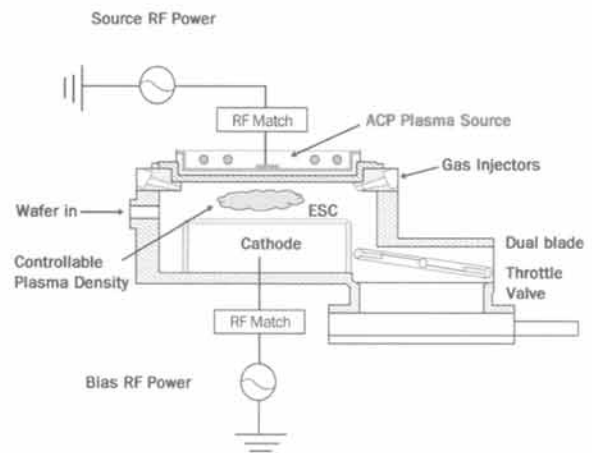


Fig. 1. Schematic diagram of high density plasma system for silicon etching.

후 잔류막의 완벽한 제거 조건을 도출하였다.

2. 실험 및 방법

그림 1의 플라즈마를 이용하는 식각 챔버(chamber)는 알루미늄(Al) 재질의 벽면과 유지 보수를 위하여 anodized 된 liner로 되어 있으며 별개의 RF 전력을 유도 코일 전력과 직류 바이어스 전력으로 사용하였으며 RF 전력은 별개의 매칭 박스를 통하여 정합을 형성하였다. 이와 같은 구조는 별도의 외부자장을 사용하지 않아 구조가 간단하고 공간적으로 균일한 플라즈마를 얻을 수 있다. 상부 플라즈마 유도 코일은 다발 나선형의 구조로 유도결합 플라즈마(inductively coupled plasma) 특성을, 중심부의 부싱(bushing)은 용량성 결합 플라즈마(capacitively coupled plasma) 특성을 보여 낮은 전자 온도와 고밀도 플라즈마 특성을 보여 차세대 나노 패터닝 장비로 응용 가능하다 [12]. 반응로는 아래 방향으로 배기되게 구성되어 있으며, 챔버의 플라즈마와 RF 코일과는 세라믹 등의 절연체로 분리되어 있다. 하부 전극에는 웨이퍼를 지지할 수 있는 하부 전극 및 정전적으로 구성되어 있으며 정전척에는 중심부와 가장자리에는 독립된 He 냉각 순환 구조가 있어 식각 공정 중 일정한 온도로 유지 가능하다. 챔버 상부에 가스 주입부가 위치하였고 측면에는 종말점 검출(end point detection) 포트가 구성되었다.

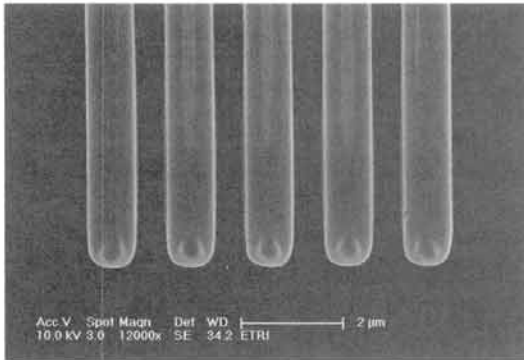


Fig. 2. SEM image of silicon line pattern after the silicon reactive ion etching and aching process.

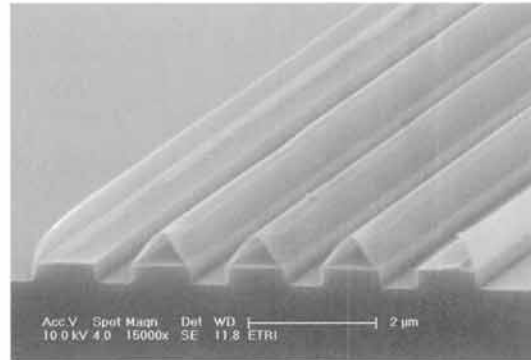


Fig. 3. SEM image of silicon line pattern and residual mask after the silicon reactive ion etching, aching, and piranha cleaning process.

실리콘 패턴은 p-type Si 기판위에 표준 세정 공정을 진행한 이후 1.2 μm 두께의 SS03A9 감광막(PR, photoresist)을 도포한 후 노광작업을 통해 라인 패턴을 준비하였다. 한편 실리콘 식각 공정은 8 mTorr의 공정 압력, 400 W의 소스 파워, 150 W의 바이어스 파워, 45 sccm의 CF_4 가스 유량의 조건으로 10초간 breakthrough 공정을 진행한 후 10 mTorr의 공정 압력, 600 W의 소스 파워, 100 W의 바이어스 파워, 140 sccm의 HBr, 60 sccm의 Cl_2 , 15 sccm의 CF_4 , 5 sccm의 O_2 의 유량으로 30초간 주 식각이 진행되었다. 이후 플라즈마를 이용한 에싱(ashing)과 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=4:1$, $\text{HF}:\text{De-ionized water}=1:100$ 조건에서 세정을 진행한 후 FE-SEM을 이용하여 식각 단면(cross section)의 프로파일과 잔류된 감광막 마스크를 관찰하였다. 식각 후 시료 표면을 구성하고 있는 원소의 종류 및 양의 분석에 FE-AES (field emission Auger electron spectroscopy)를 사용하였다.

3. 결과 및 고찰

광범위 한 실리콘 패턴의 응용을 위하여 실리콘 식각 공정 후 식각 프로파일 및 패턴 측벽의 거칠기 특성 등도 중요하지만 식각 후 측벽에 잔류물이 남거나 마스크로 이용한 감광막의 일부가 잔류한다면 이는 이후 소자 특성에 영향을 줄 수 있음은 재론의 여지가 없다. 이와 같은 잔류물의 구성 성분 분석 및 형성 원인을 분석하고 이를 제거하는 방법을 도출함으로써 그 응용 범위에 제한을 없게 하기 위하여 본 연구가 진행되었다. 그림 2는 실리콘 웨이퍼 위에 SS03A9

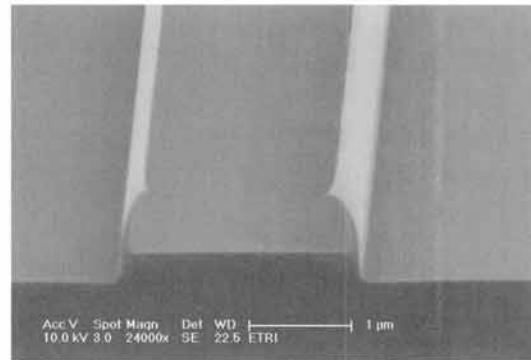


Fig. 4. SEM image of silicon pattern after the etching at 10°C and PR removing process.

감광막을 이용하여 패턴을 형성하고 앞서 언급한 바와 같이 플라즈마 식각 공정 및 플라즈마 에싱 공정을 진행한 후의 SEM 이미지이다. 그림에서 보는 것과 같이 식각 및 에싱 공정 진행 후 패턴 상단부에 잔류물이 남아 있음을 확인 할 수 있으며, 이의 제거를 위하여 에싱 공정 후 $\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=4:1$ 비율의 Piranha 용액을 이용하여 습식 세정을 진행하였다. 그림 3에서 보는 것과 같이 그림 2의 패턴 윗면에 형성된 것이 잔류물이 아니라 마스크 패턴 가장자리에 형성된 식각 반응 부산물이 생성되어 펜스(fence)를 형성한 것임을 추측할 수 있다. 실리콘의 반응성이 온 식각 공정 중 반응 가스와 실리콘 또는 감광막의 성분이 반응하여 마스크 측벽에 형성된 것이 에싱 공정이나 Piranha 습식 세정 시 제거되지 않고 잔류된 것으로 사료된다. 이의 제거를 위하여 그림 4에서 보는

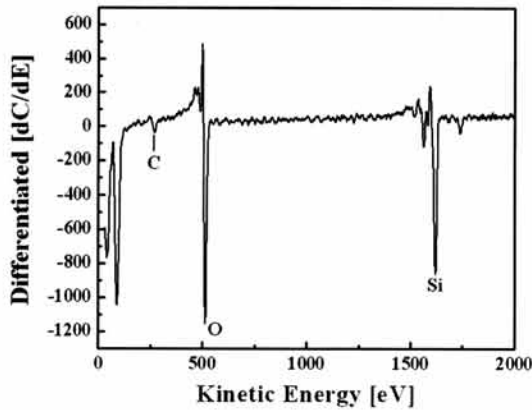


Fig. 5. AES surface analysis of line pattern sidewall residue after the etching process.

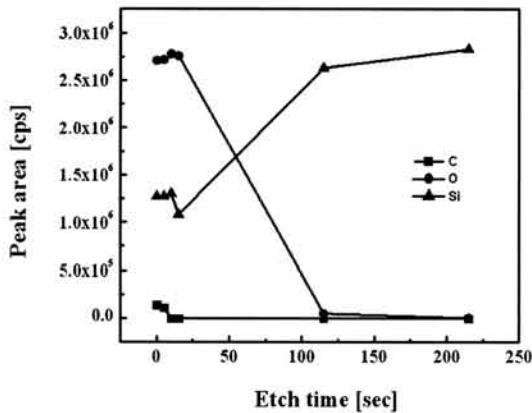


Fig. 6. AES depth profile of line pattern sidewall residue after the etching process.

이미지와 같이 실리콘 식각 공정 중 식각 반응 부산물의 측벽 fence 형성을 억제하기 위하여 기판 온도를 45도에서 10도로 낮추어 실험을 진행하였다. 실험은 10도의 온도에서 실리콘의 플라즈마 식각 후 에칭, Piranha 습식 세정을 진행하였다. 공정 온도를 낮춤으로써 식각 반응 부산물의 측벽 fence 형성을 억제하고자 하였으나, 이는 주요 공정 변수가 되지 못하였다.

그림 5는 마스크 패턴의 측벽에 형성된 fence의 구성 성분 분석을 위하여 EDS 분석을 진행한 결과이다. 그림과 같이 측벽 fence는 Si 과 O, C 성분이 검출되었으며, C 성분은 아주 미미한 양을 보이는 것으로 보아 EDS 분석을 위하여 시료가 대기 중에 노출된 결과라고 생각되어 진다. 이와 같은 결과로부터

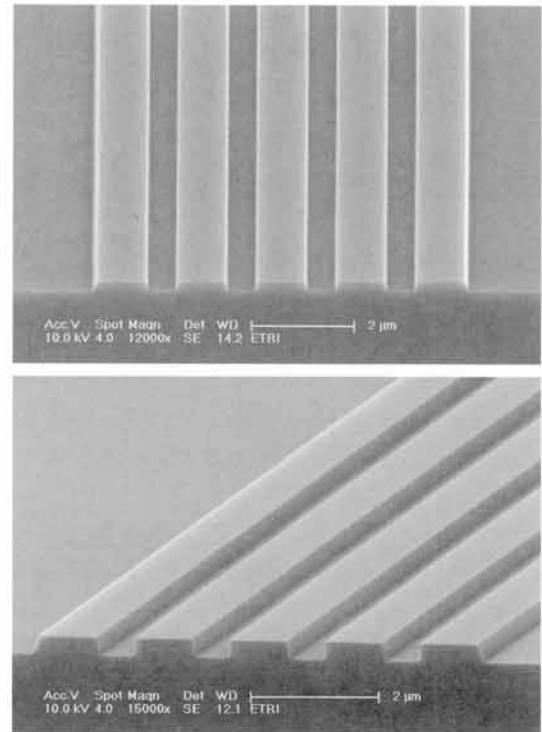


Fig. 7. SEM image of advanced photoresist removal process applied line pattern after the etching process.

측벽 fence는 플라즈마 식각 공정 중 감광막 마스크가 경화되어 형성된 감광막의 일종이라기 보다는 측벽 fence는 SiO_x의 구성 성분을 가지는 것으로 사료된다. 식각 공정 중 반응 가스로 공급된 산소와, 감광막의 구성 성분의 산소, 웨이퍼의 실리콘이 결합되어 SiO_x의 반응물을 생성하게 되고 이 부산물이 마스크 측벽에 증착되어 에칭 공정이나 Piranha 습식 세정에서 제거되지 않고 잔류된 것으로 해석할 수 있다. 실리콘 패턴 측벽의 fence의 구성 성분을 자세히 분석하고자 AES depth profile을 진행하였다. 그림 6에서 보는 바와 같이 측벽 표면에서는 Si, O, C 이 모두 검출되나 depth profile을 계속 진행하면 실리콘 고유의 성분 만이 남는 것을 확인하였으며, 이는 측벽 fence라기 보다는 하부 실리콘 패턴에서 기인된 것이다.

그림 7은 플라즈마를 이용한 실리콘의 반응성 이온 식각을 진행하고, 에칭, 100:1 HF에서 40 sec 동안 dipping하여 측벽 fence를 제거하고, Piranha 습식 세정을 진행한 결과이다. 이때 플라즈마 식각 공정과 습식 세정 공정은 전과 동일한 조건이다. 그림에서 보는 바와 같이 공정 후 측벽 fence 및 식각 후 잔류

물이 전혀 남지 않은 완벽한 식각 프로파일을 얻을 수 있었다. 이는 앞서 언급한 바와 같이 식각 공정 중 반응 가스의 O 성분, 감광막의 O 성분, 웨이퍼의 Si 성분이 결합하여 측벽에 fence를 형성하나, DHF (Dilute HF) 공정으로 식각 반응 부산물을 제거하고 Piranha 습식 세정 공정으로 다른 모든 오염물을 제거하여 성공적으로 실리콘 패턴이 형성된 결과이다. 본 결과 및 고찰은 앞서 언급한 AES 결과를 뒷받침 해주며, 실리콘 식각 후 식각 반응 부산물 및 잔류물 제거에 효과적임이 입증되었다.

4. 결론

실리콘의 식각 공정 및 마스크 제거 공정은 반도체 소자 및 공정의 역사와 함께 할 만큼 오래되고 잘 알려진 기술이지만, 실리콘 포토닉스, 나노 임프린트 등의 몰드, LCD 공정의 몰드, 배터리 전극 물질, MEMS 기술로의 응용 등으로 그 활용 범위가 무궁무진한 기술이다. 이와 같은 응용을 위하여 식각 공정 후 식각 반응 부산물의 제거를 위하여 연구를 진행하였다. 식각 공정 중 선택비, 측벽 거칠기 제어, 식각 프로파일 제어 등의 목적으로 산소 가스가 사용되지만 이는 예상 할수 없게 측벽 fence 등을 형성하는 문제점등이 있었다. 이의 제거를 위하여 AES 성분 분석을 하였으며, 이는 SiO_x 형태의 형성물이라고 생각되어 지며, DHF 용액을 이용하여 간단히 제거할 수 있었다. 기존 마스크 제거 공저에서는 플라즈마를 이용한 에칭 또는 Piranha 또는 아세톤 등을 이용한 습식 세정 공정이 사용되었지만, 일부 공정 조건에서 측벽 fence가 제거되지 않음이 확인되었고 본 연구에서 DHF 처리를 통하여 해결할 수 있었다.

REFERENCES

- [1] S. M. Lee, S. H. Lee, and M. G. Lee, *Proc. Kor. S. Pre. Eng. Conf.* (Korean Society of Precision Engineering, Jeju, Korea, 2007) p. 769.
- [2] J. H. Park, L. H. Young, C. N. Jin, Y. J. Hyun, and B. K. Sook, Korea patent NO. 10-0670835 (2006).
- [3] K. H. Kwon, S. M. Lee, J. S. Lee, S. J. Kang, and B. W. Kim, *J. Ins. Elec. Eng. Kor.* **14**, 317 (1991)
- [4] Dennis M. Manos and Daniel L. Flamm (eds) *Plasma Etching An Introduction* (Academic Press, New York, 1989) p. 91.
- [5] E. Kay, J. Coburn, and A. Diks, *In Topics in Current Chemistry, Plasma Chemistry III* (eds. S. Veprek, and M. Venugopalan) (Springer-Verlag, Berlin, 1980) p. 1.
- [6] G. C. Swatz and P. M. Schaible, *J. Vac. Sci. Technol.* **16**, 410 (1979).
- [7] E. A. Ogyzle, D. E. Ibbotson, D. L. Flamm, and J. A. Mucha, *J. Appl. Phys.* **67**, 3115 (1990).
- [8] C. Hibert, *State of the art DRIE processing*, CMI annual review, (2004).
- [9] E. Quévy, B. Parvais, J. P. Raskin, L. Buchaillot, D. Flandre, and D. Collard, *J. Micromech. and Microeng.* **12**, 328 (2002).
- [10] R. Dussart, M. Boufnichel, G. Marcos, P. Lefauchaux, A. Basillais, R. Benoit, T. Tillocher, X. Mellhaoui, H. Estrade-Szwarcckopf, and P. Ranson, *J. Micromech. Microeng.* **14**, 190 (2004).
- [11] J. H. Uh, Master Thesis, p. 1-62, University of Han Yang, Seoul (2004).
- [12] D. H. Lee, Y. K. Oh, and N. H. Kim, *Proc. 5th Int. Conf. on Microelectro. Inter.* (AVS, Santa Clara, USA, 2004) p. 177.