

4H-SiC DMOSFETs의 계면 전하 밀도에 따른 스위칭 특성 분석

강민석¹, 문경숙², 구상모^{1,a}

¹ 광운대학교 전자재료공학과

² 경원대학교 수학적정보학과

Effect of Interface Charges on the Transient Characteristics of 4H-SiC DMOSFETs

Min Seok Kang¹, Kyoung-Sook Moon², and Sang-Mo Koo^{1,a}

¹ Department of Electronic Materials Engineering, Kwangwoon University, Seoul 139-701, Korea

² Department of Mathematics and Information, Kyungwon University, Seongnam 461-701, Korea

(Received April 16, 2010; Revised April 30, 2010; Accepted May 12, 2010)

Abstract: SiC power device possesses attractive features, such as high breakdown voltage, high-speed switching capability, and high temperature operation. In general, device design has a significant effect on the switching characteristics. In this work, we report the effect of the interface states (Q_f) on the transient characteristics of SiC DMOSFETs. The key design parameters for SiC DMOSFETs have been optimized by using a physics-based two-dimensional (2-D) mixed device and circuit simulator by Silvaco Inc. When the SiO_2/SiC interface charge decreases, power losses and switching time also decrease, primarily due to the lowered channel mobilities. High density interface states can result in increased carrier trapping, or more recombination centers or scattering sites. Therefore, the quality of SiO_2/SiC interfaces has a important effect on both the static and transient properties of SiC MOSFET devices.

Keywords: Silicon carbide, Transient, Interface charge, DMOSFET

1. 서 론

최근에 고온, 고출력 및 고주파를 위한 반도체 전력 소자의 요구가 급증함에 따라 전자회로의 중요 소자로 탄화규소(4H-SiC)에 관해 많은 연구가 진행되고 있다. 4H-SiC는 ~ 3.2 eV 정도의 높은 에너지 밴드 갭을 갖고 있으며 실리콘보다 절연파괴 강도가 약 10배 이상, 열전도도는 약 3배 정도 높아서 고전압 전력 소자로서 높은 열적 안정성과 열전도성을 가지

는 차세대 재료이다. 이러한 전기적 특성을 전력 소자로서 사용할 경우 높은 항복전압, 빠른 스위칭 속도, 고온에서 동작할 수 있는 특징을 가진다. 이에 따라 여러 그룹에서 4H-SiC DMOSFETs 소자의 구조에 따른 전기적 특성의 최적화 연구를 진행 하고 있다. 하지만 이전 연구에서는 소자 구조 변화에 따라서 transient 특성에 미치는 영향은 상세히 연구된 바가 없다.

본 연구에서는 4H-SiC DMOSFET 소자를 포함하는 스위칭 회로를 시뮬레이션하여 소자의 채널 영역

a. Corresponding author: smkoo@kw.ac.kr

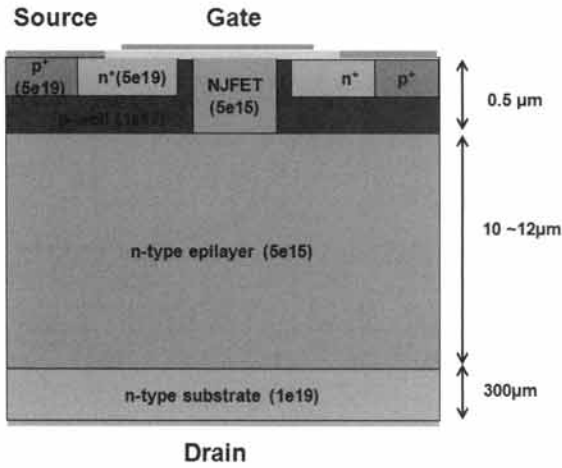


Fig. 1. Cross section of the 4H-SiC DMOSFET.

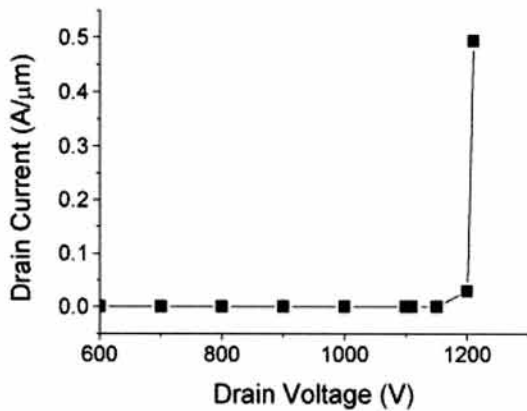


Fig. 2. Breakdown voltage of the 4H-SiC DMOSFET.

에서 SiO₂와 SiC 계면 사이의 계면 전하 밀도(Q_f)에 따른 transient 특성을 분석해보았다.

2. 실험 방법

2.1 1200 V 4H-SiC DMOSFET 구조

그림 1은 본 연구에서 사용된 1200 V 4H-SiC DMOSFET의 단면 구조를 나타냈다. Drift layer는 conductivity modulation을 증가시킨다. 그리고 JFET 영역은 전력용 소자의 전체 온-저항을 감소시키는 역

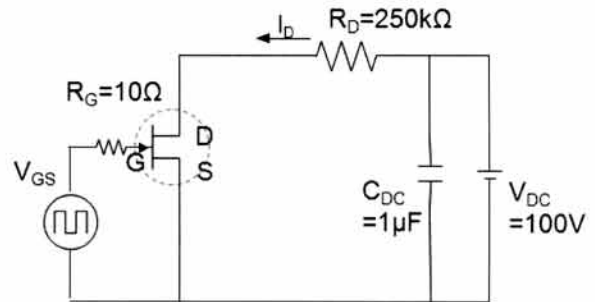
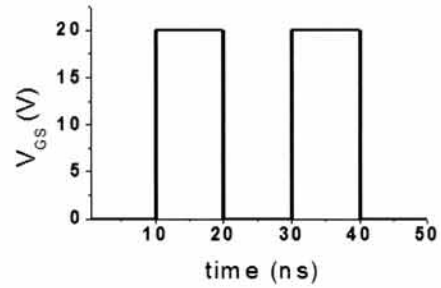


Fig. 3. Simulated resistive load switching circuit.

할을 한다. 소자의 최적화를 위하여 2차원 수치해석 기반 소자 시뮬레이터를 이용하여 n-drift layer, JFET, P-well 영역의 두께와 도핑농도를 조절하여 시뮬레이션 하였다. 완성된 SiC DMOSFET의 정적인 특성을 분석하였다. 그림 2와 같이 소자의 항복 전압은 1200 V이며, 문턱 전압은 5.8 V, 그리고 온-저항은 4.6 mΩ·cm²이다.

2.2 Mixed-mode 시뮬레이션

그림 3과 같이 resistive load 회로를 구성하고, 스위칭 특성 시뮬레이션을 수행하기 위해서 소자를 포함하는 회로 시뮬레이터인 Silvaco사의 Mixed-mode 모듈을 사용하였다. Mixed-mode는 SPICE 넷리스트에 맞는 회로 서술에 따라 소자를 배치하고, Atlas 2D 모듈을 조합하여 물리적으로 설계된 소자의 회로 특성을 분석할 수 있는 시뮬레이터이다. 소자가 off에서 on으로 동작할 때의 turn-on 특성을 분석하기 위하여, gate-source voltage (V_{GS})에 펄스를 인가하였다. 소자의 채널 영역에서 gate oxide와 SiC의 계면 상태에서 포획된 전하에 따라 turn-on 시간을 기준으로 스위칭 특성의 변화를 분석하였다.

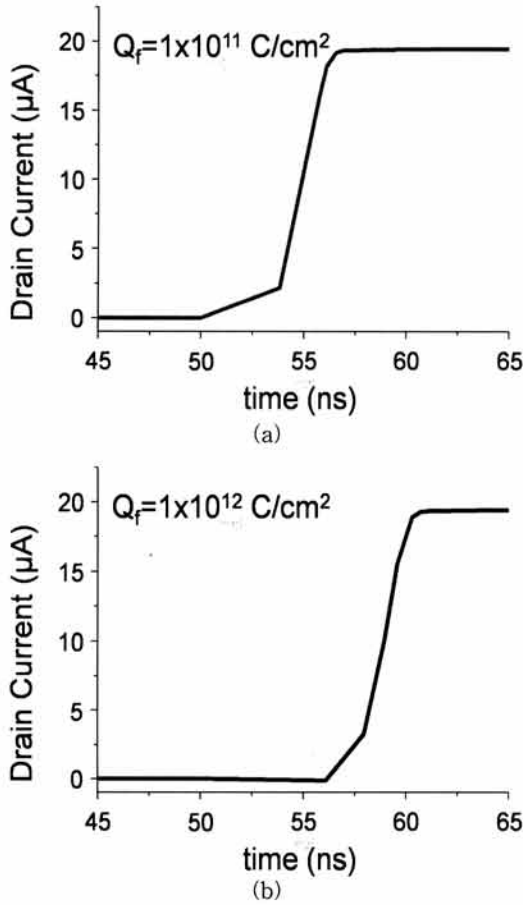


Fig. 4. Turn-on characteristics for different Interface charges. (a) rise time = 7 ns and (b) rise time = 11 ns

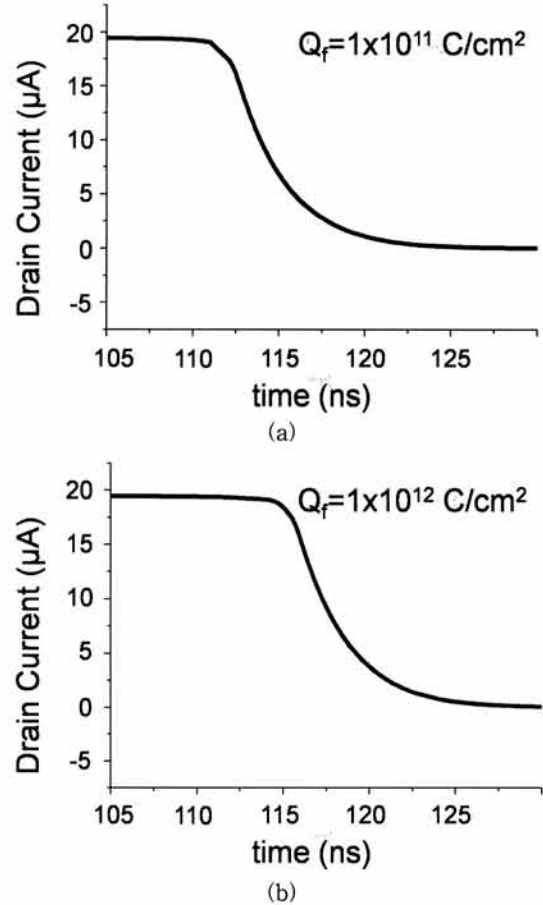


Fig. 5. Turn-off characteristics for different interface charges. (a) rise time = 15 ns and (b) rise time = 10 ns

3. 결과 및 고찰

3.1 계면 전하 밀도에 따른 turn-on 특성

그림 4는 계면 전하 밀도가 각각 $1 \times 10^{11} \text{ C/cm}^2$, $2 \times 10^{11} \text{ C/cm}^2$ 일 때 DMOSFETs의 turn-on rise time 을 나타내고 있다. 그림 4를 통해 계면 전하 밀도가 작아짐에 따라 turn-on 시간은 11 ns에서 7 ns로 향상되었다. 소자의 turn-on 동작 속도는 계면 전하 밀도가 작아짐에 따라 빨라지고 있다.

3.2 계면 전하 밀도에 따른 turn-off 특성

그림 5는 계면 전하 밀도가 감소함에 따른 DMOSFETs의 turn-off fall time을 나타내고 있다.

그림 5를 통해 계면 전하 밀도가 작아짐에 따라 소자의 turn-off 동작 속도는 15 ns에서 10 ns로 빨라지고 있다. Gate oxide와 SiC의 계면상태에서 포획된 전하와 turn-on time과의 관계는 source와 gate 전극 사이의 캐패시턴스와 소자의 온-저항을 통하여 알 수 있다. 즉, 다음과 같이

$$\tau = RC \quad (1)$$

에 의하여 delay time (τ)을 구할 수 있다.

계면 전하의 밀도가 $1 \times 10^{11} \text{ C/cm}^2$ 에서 $1 \times 10^{12} \text{ C/cm}^2$ 로 증가할 때 소자의 캐패시턴스는 산화막의 포획에 의해서 증가한다. 또한 온-저항은 계면 전하의 밀가 증가함에 따라서 채널 표면에서 전자의 scattering에 의하여 증가한다. 계면 전하의 밀도와 delay time

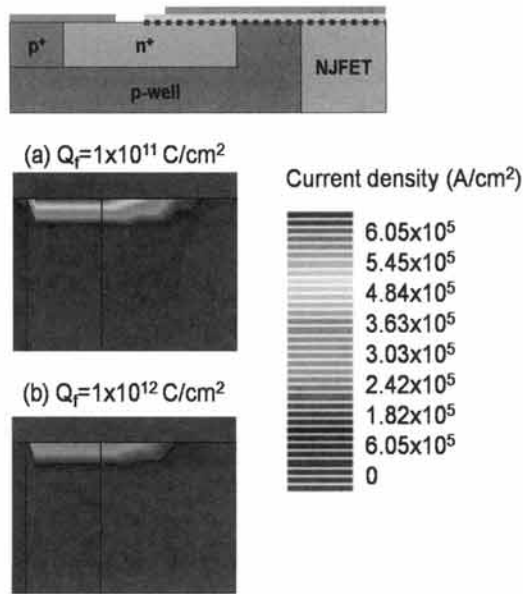


Fig. 6. Comparison of current density distribution profiles in the channel region (a) $Q_f = 1 \times 10^{11} \text{ (C/cm}^2\text{)}$ and (b) $Q_f = 1 \times 10^{12} \text{ (C/cm}^2\text{)}$

과의 관계는 계면 전하의 밀도가 감소함에 따라 τ 가 감소하는 것을 볼 수 있다. 따라서 SiC DMOSFET 소자에서의 gate oxide와 SiC 계면의 전하 밀도는 소자의 정적인 특성과 스위칭 특성에 영향을 미치는 것으로 판단된다.

또한 그림 6과 같이 계면 전하의 밀도가 작아짐에 따라서 전류 밀도가 증가함을 확인 할 수 있다. 이는 gate oxide와 SiC의 계면상태에서 포획된 전하가 전자의 scattering과 포획에 관계함을 알 수 있다.

4. 결론

4H-SiC DMOSFET 소자를 포함하는 회로를 Mixed-mode를 사용하여 시뮬레이션을 통해 스위칭 특성을 확인하였다. 시뮬레이션을 수행하여 스위칭 특성을 채널 영역에서의 포획된 계면 전하 밀도를 변

수로서 turn-on시 transient 특성을 조사하였다. 계면 전하 밀도가 $1 \times 10^{11} \text{ C/cm}^2$ 에서 $1 \times 10^{12} \text{ C/cm}^2$ 로 증가하였을 때 스위칭 속도는 turn-on시 4 ns 향상하고, turn-off 동작 속도는 5 ns 향상하였다. 이는 소자의 정적인 특성이 계면 전하 밀도가 작아짐에 따라 gate oxide와 채널 영역에서의 SiC사이의 캐패시턴스와 온-저항이 감소함으로 인하여 τ 가 감소한다고 판단된다. 따라서 계면 전하밀도의 변화는 채널 영역에서의 전류 밀도에 영향을 미치며, 소자의 스위칭 속도를 변화시킨다. 소자의 Gate 산화막의 계면 전하 밀도를 줄이는 방법은 스위칭 동작 속도를 향상시키는 것을 Mixed-mode를 사용한 시뮬레이션을 통하여 확인 할 수 있었다.

본 연구를 통하여 4H-SiC DMOSFET의 gate oxide와 SiC의 계면 상태를 변화시켜 스위칭 지연 시간으로 인한 손실을 최소화 할 수 있다고 판단된다.

감사의 글

본 연구는 2010년도 경원대학교 지원에 의한 결과이며, 산업자원부가 지원하는 국가 반도체연구사업인 “시스템집적반도체기반기술개발사업 (시스템IC2010)” 과 본 연구는 2009 년도 지식경제부의 재원으로 한국 에너지 기술평가원(KETEP)의 지원을 받아 수행한 “계통연계형 인버터 시스템을 위한 고효율 전력소자 기반기술개발”을 통해 개발된 결과임을 밝힙니다.

REFERENCES

- [1] T. Tamaki, G. G. Walden, Y. Sui, and J. A. Cooper, *IEEE Trans. Electron. Devices* **55**, 1920 (2008).
- [2] S.-H. Ryu, A. Agarwal, J. Richmond, J. Palmour, N. Saks, and J. Williams, *IEEE Electron. Device Lett.* **23**, 321 (2002).
- [3] A. Saha and J. A. Cooper, *IEEE Trans. Electron. Devices* **54**, 2786 (2007).
- [4] K. Matocha, *Solid-State Electron.* **52**, 1631 (2008).
- [5] S. Inaba, *IEEE Trans. Electron. Devices* **41**, 2399 (1994).