

Selective Emitter 구조를 적용한 Ni/Cu Plating 전극 결정질 실리콘 태양전지

김민정¹, 이재두¹, 이수홍^{1,a}

¹ 세종대학교 그린전략에너지기술연구소

Application of a Selective Emitter Structure for Ni/Cu Plating Metallization Crystalline Silicon Solar Cells

Min Jeong Kim¹, Jae Doo Lee¹, and Soo Hong Lee^{1,a}

¹ Green Strategic Energy Research Institute, Sejong University, Seoul 143-747, Korea

(Received May 17, 2010; Revised June 15, 2010; Accepted June 21, 2010)

Abstract: The technologies of Ni/Cu plating contact is attributed to the reduced series resistance caused by a better contact conductivity of Ni with Si and the subsequent electroplating of Cu on Ni. The ability to pattern narrower grid lines for reduced light shading was combined with the lower resistance of a metal silicide contact and an improved conductivity of the plated deposit. This improves the FF (fill factor) as the series resistance is reduced. This is very much required in the case of low concentrator solar cells in which the series resistance is one of the important and dominant parameter that affect the cell performance. A Selective emitter structure with highly doped regions underneath the metal contacts, is widely known to be one of the most promising high-efficiency solution in solar cell processing. In this paper the formation of a selective emitter, and the nickel silicide seed layer at the front side metallization of silicon cells is considered. After generating the nickel seed layer the contacts were thickened by Cu LIP (light induced plating) and by the formation of a plated Ni/Cu two step metallization on front contacts. In fabricating a Ni/Cu plating metallization cell with a selective emitter structure it has been shown that the cell efficiency can be increased by at least 0.2%.

Keywords: Nickel, Copper, Plating, Ni silicide, Selective emitter, Solar cell

1. 서론

태양전지의 효율을 최대화하기 위해서는 전기적·광학적 손실을 최소화 시켜야 한다. 이를 위해서는 태양전지의 발전 원리인 빛 흡수, carrier 생성, carrier 분리, carrier 수집이 원활히 이루어 져야 한다. 이 중 carrier를 효과적으로 수집하는 방법으로는 직렬저항에 의한 에너지 손실과 누설전류를 줄이는 방법이 있

다. 태양전지에서 직렬저항은 FF와 단락전류를 감소시켜 결과적으로 output power를 감소시킨다. 직렬저항에는 기판과 전극 물질 사이의 저항, emitter의 면저항, 기판의 저항, 상부 전극의 저항, grid의 저항 등 여러 가지 성분으로 구성되어 있다. 현재 상업용 태양전지의 대부분은 전극 형성 방법이 용이하고 대량생산에 적합한 이유로 screen printing 태양전지를 사용하고 있다. 단점은 전극물질이 순수한 은이 아닌 glass frit 성분을 포함하고 있어 열처리 후 전기전도

a. Corresponding author; shl@sejong.ac.kr

도가 순수 금속에 비해 3배 이상 낮아진다. 또한 낮은 aspect ratio (height/width), 높은 contact 저항, 낮은 cell 효율에 비해 높은 metal paste 가격이 단점으로 나타나고 있다. 일반적으로 고효율 실리콘 태양전지의 전극은 Ti/Pd/Ag를 evaporation으로 형성하여 사용한다. 이와 같이 형성한 전극은 낮은 직렬 저항에 의해 변환효율을 높여주기는 하지만 진공장비의 사용과, 전극 재료 자체가 매우 고가인 이유로 양산에 적용되지 못하고 있다. 태양전지의 전극을 형성하는 방법으로 screen printing, evaporation 외에도 sputtering, 도금법 등이 있다 [5]. 이와 같은 방법들 중 도금법은 제작이 용이하고 저렴하며, 대량 생산이 가능할 뿐만 아니라 형성되는 금속의 순도가 높아 다양한 전자 제품 제작에 적용되고 있다 [6]. 특히 nickel, copper, silver 모두 도금법으로 쉽게 형성이 가능한 재료로서 각종 전자 제품 제작에 널리 적용될 뿐만 아니라 태양전지에서도 무전해 도금법을 이용한 BCSC (buried contact solar cell)의 함몰 전극에 적용되어 현재 BP Solar, Uniserch Ltd에서 양산 중에 있다.

2. 실험 방법

실험은 boron이 doping된 p-type, 비저항이 1~5 Ωcm 인 wafer를 사용하였다. Selective emitter 구조를 phosphorus solid source PH-950을 이용하여 conventional furnace로 고체 확산으로 실험하여 형성하였다. Emitter 형성 후 전극 형성을 위하여 Ni/Cu를 plating 하여 cell을 제작 하였다.

2.1 Solid source를 이용한 selective emitter 형성

Selective emitter 구조는 금속 전극이 형성될 부분의 emitter 부분을 국부적으로 고농도 doping 하는 구조로 접촉 저항이 낮고 grid line이 형성되지 않은 부분에서는 저농도 doping을 하기 때문에 blue response가 높아지고 전자의 수집률이 높아지게 된다. 또 표면에서의 재결합 손실이 줄어드는 효과의 장점이 있다 [1,2]. Selective emitter구조 공정 기술은 여러 가지가 있는데 대부분의 공정이 복잡하여 비용과 시간이 많이 든다. 고효율 실리콘 태양전지 종류 중 하나인 BCSC (buried contact solar cell)에 적용된 구조로 확산을 2단계로 하여 전극 부분은 고농도로 도핑을 하고 그 외의 영역은 저농도로 도핑을

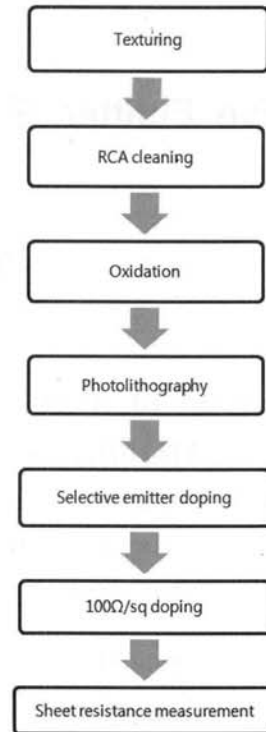


Fig. 1. Diffusion process flow chart (using solid source).

Table 1. Process condition and average sheet resistance.

공정시간	공정온도	가스	면저항	균일도
60 min	915℃	N ₂ 6 L/min	20.07 Ω/sq	0.96%

하여 접촉저항을 줄이고 양자효율을 증가 시킬 수 있다. 실험을 위해 boron이 doping된 p-type, <1 0 0> 비저항이 1~5 Ωcm 인 wafer를 사용하였다. Selective emitter 구조를 phosphorus solid source PH-950을 이용하여 conventional furnace로 고체소스 확산으로 실험하여 형성 하였다.

Diffusion mask opening을 위한 막으로 SiO₂ 층을 형성 한다. Thermal oxidation 으로 950℃에서 5시간 공정하여 1100 Å 정도 증착 한다. 전극 부분에만 고농도 emitter를 형성하기 위해 mask aligner를 이용하여 photolithography 공정으로 전극이 설계된 mask로 전극부분만 노광시킨다. 노광된 부분만 oxide 막을 제거하고 기판의 PR을 제거시킨다. PH-950 phosphorus solid source를 conventional diffusion furnace에 loading시킨 후 950℃에서 1시간 동안 pre-activation 한 후 공정을 진행한다.

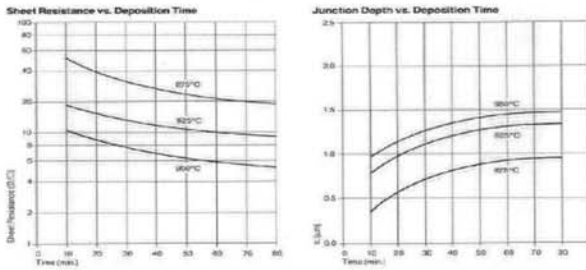


Fig. 2. Junction depth and sheet resistance formation of PH-950 solid source PDS product technical data.

915°C에서 6분 동안 N₂ 가스를 6 L/min 흘려주어 phosphorus solid source를 확산 시켜 면저항 약 20/sq를 형성 하였다.

20/sq로 doping 된 전극 부분의 emitter는 위의 그림 2의 조건으로 약 0.4 μm의 junction depth를 형성 하는 것을 알 수 있다. 이는 후 공정인 Ni/Cu 전극 형성에 있어 seed layer 인 Ni silicide 형성에 적합한 depth다.

2.2 Ni/Cu plating 전극 형성

Ni은 Cu가 실리콘과의 접촉을 막아주는 diffusion barrier로 사용되는 것뿐만 아니라 silicide(NiSi)로 형성하여 실리콘 기판과의 기계적 및 전기적 특성을 향상 시킨다. 또한 Ni은 400°C이하의 낮은 열처리 온도와 실리콘 소모가 낮고, 고효율 실리콘 태양전지에 적용되는 TiSi₂(13~16 μΩ·cm)와 NiSi(14 μΩ·cm)으로 유사 하여 낮은 비저항을 갖는 것이 특징이다 [4]. 또한 Cu의 경우 전기전도도가 0.596 × 10⁶ /Ω·cm으로 Ag 0.63 × 10⁶ /Ω·cm 와 유사 하다.또한 Cu의 경우 Ag 보다 120배 이상 저렴하기 때문에 원재료 가격 절감으로 인해 저가화, 고효율 태양전지의 적합한 금속전극으로 대체 될 수 있다. 하지만 Cu는 대기 중에 오래 노출 될 경우 산화가 일어나는 단점을 가지고 있는데, 이런 단점을 보완하기 위해 Ag를 아주 얇게 증착하여 전극 passivation을 시켜 주는 것이 좋다.

본 실험을 위하여 selective emitter가 형성된 wafer에 passivation을 위한 막으로 SiO₂ 층을 성장 시키고 전면 전극 형성을 위해 photolithography 공정으로 pattern을 형성 하였다. 후면 전계 형성을 위해 Al paste를 screen printing 하고 열처리 하여 BSF를 형성 하였다.

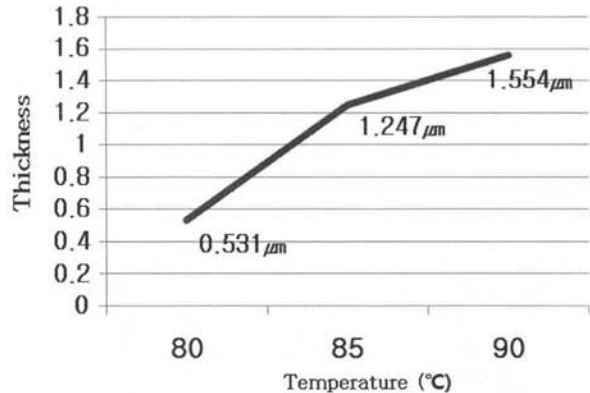
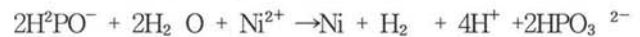
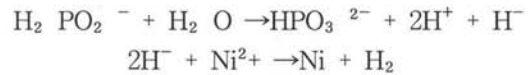


Fig. 3. Nickel plating layer transformation according to temperature change.

2.2.1 Electriless Ni plating & sintering

Electroless Ni plating은 Ni²⁺와 H₂PO₂⁻ ion의 산화-환원 반응을 이용 한 것이다. 그의 따른 화학 반응은 다음과 2단계로 이루어진다.



electroless Ni plating 형성과정은 5 가지 단계를 거친다.

- ① 실리콘 표면에 Ni²⁺와 H₂PO₂⁻ ion 등의 반응물질 확산
- ② 실리콘 표면에 반응 물질 흡착
- ③ 표면에서 화학적 반응
- ④ 표면으로부터 반응물질 탈착
- ⑤ 반응물질들이 표면으로부터 떨어져 확산

이와 같은 반응성 갖는 수용액에서 electroless Ni plating으로 Ni을 약 1~2 μm 두께로 형성하기 위하여 수용액 85°C에서 10분간 공정을 진행 하였다. 수용액의 pH 8.5~8.7 이하로 ammonia solution 이용하여 조절 하였다.

Ni silicide 형성을 위하여 RTP를 이용하여 Ni sintering을 진행 하였다. Ni은 sintering중 산화막이

Table 2. Ni silicide formation process condition with RTP.

온도	380°C	385°C	390°C
시간	10 min	10 min	10 min

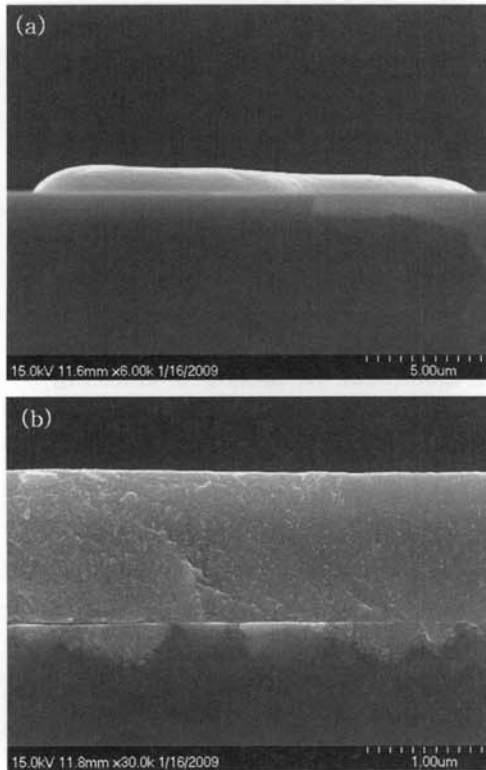


Fig. 4. (a) SEM image of Ni layer, (b) SEM image of Ni layer sintering at 390°C 10 min.

형성되기 쉬운데 산화막이 형성 되지 않도록 온도에 민감하여야 한다. 또한 산화막은 Cu plating시 Cu의 증착을 방해하는 요소 중 하나이다.

2.2.2 Cu,Ag light-induced plating

Cu금속전극은 Ni/Cu/Ag전극의 main전극으로 light-induced plating을 이용하여 증착한다. 도금용액으로 $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ 와 H_2SO_4 를 혼합하여 사용하여 전류밀도를 200 mA에서 10 min동안 증착하였다. Ag는 Cu금속전극의 산화를 방지하기 위한 passivation전극으로 활용한다. Ag금속전극 역시 light-induced plating를 이용하여 약 1 μm 증착하였다.

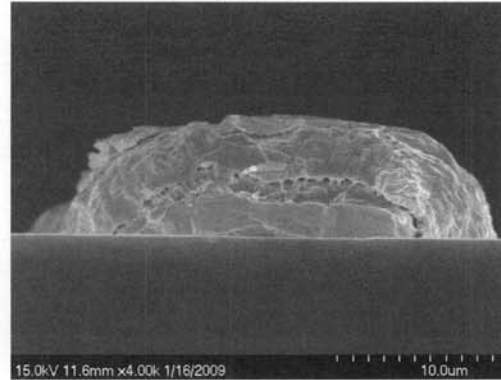


Fig. 5. SEM image of Ni/Cu contact.

3. 결과 및 고찰

그림 4의 (a) SEM image에서는 약 1~2 μm 두께의 nickel 막이 형성되어 있는 것을 확인할 수 있었고, (b)에서는 약 0.3~0.4 μm 의 두께를 갖는 nickel monosilicide가 형성되어 있는 것을 확인할 수 있다. 이는 20 Ω/sq 의 면저항을 갖는 emitter가 약 0.4 μm 의 junction depth를 가지므로 shuntig path를 형성하지 않으면서 접촉저항을 줄이는 NiSi가 형성되었음을 의미한다. 이로써 형성된 Ni 막은 Cu가 형성되기 위한 seed layer로서의 역할을 함은 물론 Cu가 Si으로 확산되어 소자의 성능을 저하시키는 것을 막는 barrier역할을 할 수 있음을 확인할 수 있었다. 형성된 nickel seed layer위에 copper를 electro & light-induced plating 후 Ag를 light-induced plating하였다. Cu를 도금시 전류밀도가 너무 높으면 전극의 조밀도가 낮아져 쉽게 떨어지는 현상을 관찰 할 수 있었다. 또한 장시간 혹은 높은 전류 밀도로 도금 할 경우 Ni와 Si의 접착력이 약하여 nickel 막이 Cu의 mass를 건디지 못하고 silicon으로부터 쉽게 peeling이 일어나는 현상을 관찰 할 수 있었다.

Selective emitter 구조를 적용 하고 Ni/Cu 전극으로 형성 된 태양전지의 변환 효율을 측정 하였다. $2 \times 2 \text{ cm}^2$ 면적에서 $J_{sc} : 37.31 \text{ mA/cm}^2$, $V_{oc} : 608.4 \text{ mV}$, $FF : 76.73\%$, $Eff : 17.39\%$ 의 태양전지를 제작 하였다.

Selective emitter 구조를 적용함으로써 40~50 Ω/sq 면저항의 emitter를 형성하여 cell을 만들었을 때 보다 변환효율이 약 0.9% 증가했음을 확인할 수 있었다. 이는 전극 부분이 고농도로 doping 되면서 접촉 저항이 낮아져 J_{sc} 가 상승 하고 재결합 손실이 줄어들어 전체 효율의 증가 된 것으로 확인 되었다.

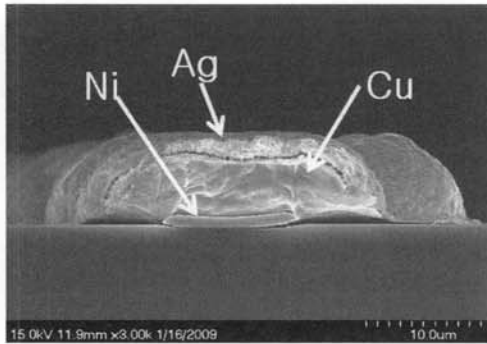


Fig. 6. SEM image of Ni/Cu/Ag plating contact.

Table 3. Ni/Cu contact solar cell efficiency applying for selective emitter.

Area [cm ²]	Jsc [mA/cm ²]	Voc [mV]	FF [%]	Eff [%]
4 cm ²	37.31	608.4	76.73	17.39%

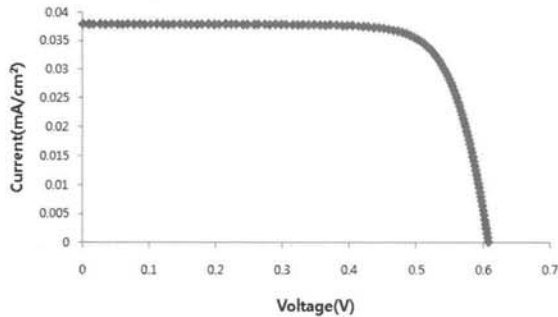


Fig. 7. Ni/Cu contact solar cell I-V curve.

Table 4. Ni/Cu contact solar cell efficiency formation of 50 Ω/sq emitter.

Area [cm ²]	Jsc [mA/cm ²]	Voc [mV]	FF [%]	Eff [%]
4 cm ²	34.31	605	76.2	16.44%

4. 결 론

고효율 태양전지를 제조하기 위해서는 금속전극의

선택이 중요한 요소이다. 금속전극은 금속물질의 자체적인 저항 낮아 전기 전도도가 높아야 생성된 전류가 손실 없이 흐를 수 있어야 하고, 실리콘 기판과의 접촉저항이 적어야 직렬저항의 감소로 인한 곡선인자의 상승으로 변환효율을 증가를 높여야 한다. 또한 금속전극의 가격의 저렴해야 양산화에도 적합하다고 볼 수 있다. Ni 금속물질은 가격이 저렴하고, 고효율 태양전지 금속전극인 Ti와 비저항이 비슷하며, main 전극인 Cu의 경우 Ag와 유사한 전기전도를 갖으며, 가격 역시 Ag 매우 저렴하기 때문에 금속전극의 저가화에도 적합하다고 할 수 있다 [8]. 이번 연구에서는 고효율 화를 위해 selective emitter 구조를 적용하고 plating으로 Ni/Cu금속을 형성하여 적용하였다. 이러한 구조로 접촉저항 및 재결합이 줄어들어 전체 효율이 증가할 수 있었다. Selective emitter 공정은 시간이 오래 걸리지만 이에 상응하는 효율 상승이 있기 때문에 차후 공정을 개발한다면 고효율, 저가화 태양전지에 적용하기 적합할 것이다.

REFERENCES

- [1] M. Edwards, J. Bocking, J. E. Cotter, and N. Bennett, *Prog. Photovoltaics: Res. Appl.* **16**, 31 (2007).
- [2] J. H. Bultmas, A. R. Burgers, J. Hoornstra, R. Kinderman, M. Koppes, W. J. Soppe, and A. W. Weeber, *Proc. 17th EPVSEC (ECN Solar Energy, Munich, 2001)* Paper: PD1.4.
- [3] *Fraunhofer ISE Annual Report 2007*, ISE Fraunhofer - Achievements and results, 2008.
- [4] E. G. Colgan, M. Maenpaa, M. Finetti, and M. A. Nicolet, *J. Electron. Mater.* **12**, 413 (1983).
- [5] S. W. Glunz, A. Mette, M. Alem'an, P. L. Richter, A. Filipovic, and G. Willeke, *Proc. 21st European Photovoltaic Solar Energy Conference (EU PVSEC '06)* (Dresden, Germany, 2006) p. 746.
- [6] S. H. Lee, *Polym. Sci. Technol.* **17**, (2006).
- [7] J.-S. Yi and K.-H. Kim, *Solar Cell Engineering* (Green press, Seoul, 2007).
- [8] *LME current market price*, <http://www.lmekorea.com>