

N형 Ge-on-Si 기판에 형성된 Pd Germanide의 열안정성 및 Schottky 장벽 분석

오세경¹, 신흥식¹, 강민호^{1,2}, 복정득¹, 정의정¹, 권혁민¹, 이가원¹, 이희덕^{1,a}

¹ 충남대학교 전자공학과

² 대전나노융합팩센터

Analysis of Thermal Stability and Schottky Barrier Height of Pd Germanide on N-type Ge-on-Si Substrate

Se-Kyung Oh¹, Hong-Sik Shin¹, Min-Ho Kang^{1,2}, Jeong-Deuk Bok¹, Yi-Jung Jung¹,
Hyuk-Min Kwon¹, Ga-Won Lee¹, and Hi-Deok Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon, 305-764, Korea

² National Nanofab Center, Daejeon, 350-806, Korea

(Received December 15, 2010; Revised January 24, 2011; Accepted February 7, 2011)

Abstract: In this paper, thermal stability of palladium germanide (Pd germanide) is analyzed for high performance Schottky barrier germanium metal oxide semiconductor field effect transistors (SB Ge-MOSFETs). Pd germanide Schottky barrier diodes were fabricated on n-type Ge-on-Si substrates and the formed Pd germanide shows thermal immunity up to 450°C. The barrier height of Pd germanide is also characterized using two methods. It is shown that Pd germanide contact has electron Schottky barrier height of 0.569~0.631 eV and work function of 4.699~4.761 eV, respectively. Pd germanide is promising for the nanoscale Schottky barrier Ge channel MOSFETs.

Keywords: Pd germanide, Pd germanide Schottky diodes, SB Ge-MOSFETs

1. 서 론

게르마늄은 실리콘에 비해 전자와 정공의 이동도가 각각 2배, 4배 이상 크기 때문에 Ge MOSFETs은 scale down에 어려움을 겪는 Si MOSFETs을 대체할 수 있는 소자로써 많은 관심을 받고 있다 [1-3]. 하지만 Ge MOSFETs에는 몇 가지 해결해야 할 문제점이 있는데 그 중 하나가 게르마늄의 산화막은 이산화실리콘 (SiO₂)과는 달리 물에 잘 용해된다는 점이다. 이러한 부분은 최근에 게이트 절연막에 germanium oxynitride, ZrO₂, Al₂O₃, HfO₂, HfAlO, LaAlO₃와 같

은 high-k dielectric을 적용한 MOS구조가 활발히 연구되면서 개선점을 찾아가고 있다 [4-8].

고성능 Ge MOSFETs에서 또 다른 해결해야 할 점으로는 안정성 있는 Germanide를 형성하는 것이다. 즉, Ge MOSFETs의 성능을 개선시키기 위해서는 Si MOSFETs에서의 self-aligned silicide (salicide) 공정 처럼 Ge MOSFETs에서도 self-aligned germanide (salmanide) 공정이 매우 필요하다. 특히 최근에 Si MOSFET에서 소스/드레인 영역을 실리콘사이드로 대체하여 단채널 효과를 억제시킨 Schottky barrier (SB) MOSFET에 대한 연구가 활발하게 진행되고 있으며 [9,10], Ge MOSFETs에서도 마찬가지로 Ge SB MOSFETs에 대한 관심이 나타나

a. Corresponding author; hdllee@cnu.ac.kr

고 있다. 하지만 Ge SB MOSFETs에 적용할 수 있는 germanide/Ge Schottky contact에 관한 보고는 많지 않은 상태이며 최근에 Pd germanide에 대한 연구가 보고되었다 [11]. 그러나 Germanide에서 중요한 열안정성에 대한 분석이 미비한 상태이다.

본 논문에서는 n형 Ge-on-Si substrate에 형성될 수 있는 palladium germanide (Pd germanide)의 전기적, 물리적 특성을 알기 위해 열안정성에 관해 연구하였고 제작된 Schottky diode의 일함수 (work function)를 정전용량 (junction capacitance)분석을 통해 추출하였다.

2. 실험 방법

실험을 위한 과정을 그림 1에 간략하게 요약하였다. N형 실리콘 기판 위에 약 100 nm 두께의 Ge layer를 ultra high vacuum chemical vapor deposition (UHV-CVD) 시스템을 사용하여 성장시킨다. 그 후 60 keV의 에너지로 $4 \times 10^{12} \text{ #/cm}^2$ 의 As를 주입하고 N_2 분위기에서 60초 동안 열처리하여 n형 Ge-on-Si 구조를 형성한다. 다음에 SiO_2 를 증착한 후 Photo-lithography 작업을 이용하여 wet etch 및 PR 제거를 통해 다양한 크기의 active 영역을 형성한다. Diluted HF ($\text{HF}:\text{H}_2\text{O} = 1:100$) 용액에 웨이퍼를 담가 native oxide를 제거한 후, radio frequency (RF) sputter를 이용하여 Pd와 TiN를 각각 15 nm 및 10 nm 씩 증착한다. Pd germanide는 400°C 에서 30초 동안 rapid thermal process (RTP)를 통해 형성하였으며 TiN 층은 RTP 동안에 germanide의 산화를 방지하기 위한 보호막으로 사용된다. 다음에 반응하지 않은 금속을 150°C 인산에서 30초 동안 식각하였다. 마지막으로 Pd germanide의 열안정성을 알아보기 위해 400°C , 450°C , 500°C , 550°C 의 온도에서 N_2 분위기의 고온로 (furnance)에서 30분 동안 어닐링 (간단하게 post-germanidation annealing이라고 함)을 진행하였다.

면저항은 four point probing 방법을 통해 측정하였고 Pd germanide의 두께와 단면 profile은 field emission scanning electron microscope (FE-SEM)와 high resolution field emission transmission electron microscope (HR-FETEM)를 이용해 분석하였다. Pd germanide Schottky diode의 정전용량 (junction capacitance)은 Agilent HP4284A precision LCR meter를 이용해 측정하였다.

n-type Ge-on-Si wafer (blanket and pattern)

Native oxide removal ($\text{HF}:\text{H}_2\text{O}=1:100$)

Pd/TiN 15/10nm deposition (RF sputter)

RTP (400°C , 30s)

Unreacted metal etch (H_3PO_4 , 150°C , 30s)

Annealing (400°C , 450°C , 500°C , 550°C)

Fig. 1. Key process flow for experiment.

3. 결과 및 고찰

그림 2는 400°C RTP를 통해 형성된 Pd germanide의 HR-FETEM 단면 image이다. 약 $280 \sim 300 \text{ \AA}$ 의 두께를 가진 Pd germanide가 게르마늄 층 위에 균일하게 형성되어 있음을 확인할 수 있다. 이는 이전에 RTP 온도에 따른 Pd germanide의 면저항 결과 [11]와 잘 일치한다. 또한 실리콘 기판 위에 게르마늄 층이 균일하게 형성이 되었음을 확인할 수 있다.

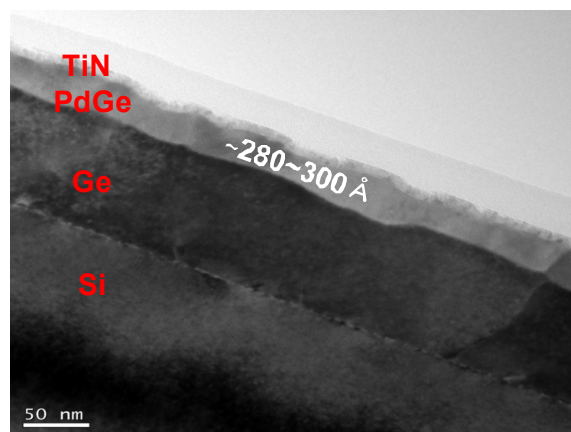


Fig. 2. Cross sectional HR FETEM image of Pd germanide formed by RTP at 400°C for 30 seconds.

그림 3은 post-germanidation annealing 온도에 따른 Pd germanide의 면저항 변화를 나타낸 것이다. Post-germanidation annealing을 한 germanide를

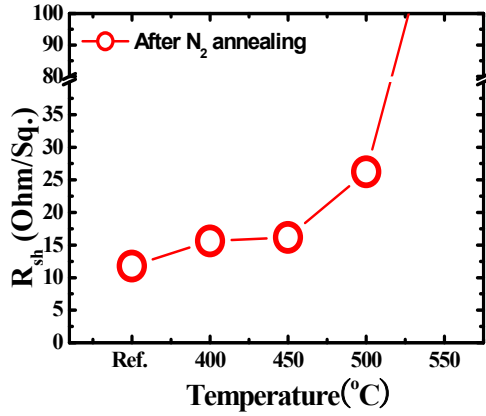


Fig. 3. Sheet resistance of Pd germanide as a function of annealing temperature.

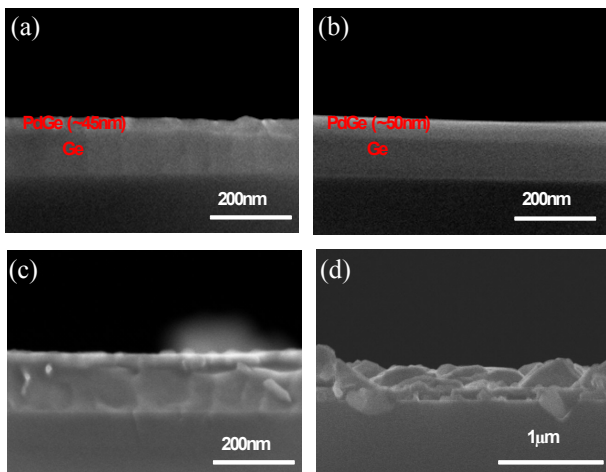


Fig. 4. Cross sectional FESEM images of Pd germanide with a post germanidation annealing. (a) 400°C for 30 min, (b) 450°C for 30 min, (c) 500°C for 30 min, and (d) 550°C for 30 min.

annealing 하기 이전의 germanide와 비교해 보았을 때 면저항이 약 4 $\Omega/\text{sq.}$ 정도 증가하며 450°C annealing까지 비교적 일정한 면저항을 가짐을 알 수 있다. 이후 500°C부터 면저항이 증가하기 시작하여 550°C annealing의 경우 면저항이 급격하게 커지는 것을 나타낸다. 따라서 Pd germanide는 실리콘 기판에서 사용되는 실리사이드 보다 열안정성 특성이 열화 된다는 것을 알 수 있다.

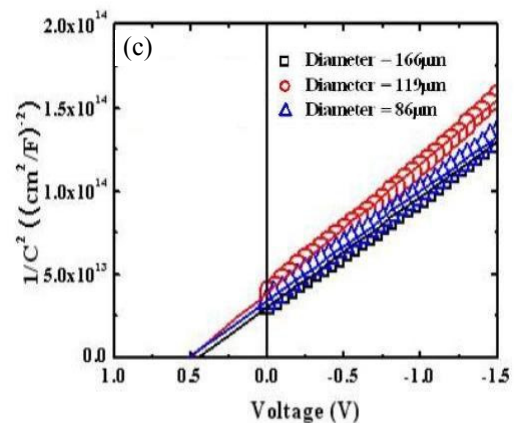
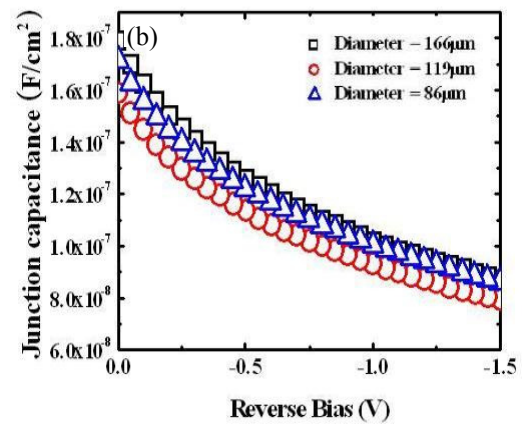
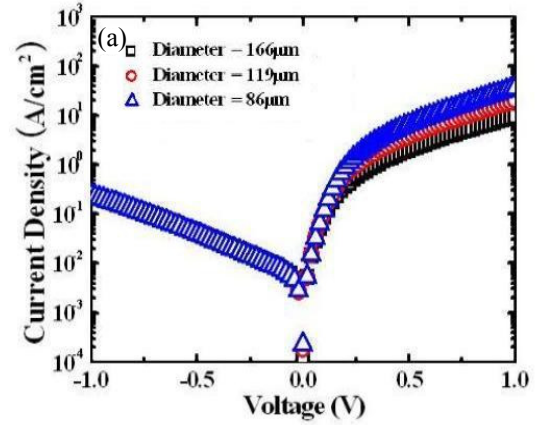


Fig. 5. (a) Junction current (I-V), (b) junction capacitance and (b) $1/C^2$ of Pd germanide Schottky diodes as a function of reverse bias with a RTP temperature of 400°C.

그러므로 Ge SBMOSFET에서는 소자가 형성된 후 후속공정의 온도가 높지 않게 조절되어야 한다는 것을 알 수 있다.

그림 4는 post-germanidation annealing 온도에 따른 Pd germanide의 단면 FE-SEM image를 나타낸 것이다. N₂ 분위기에서 400°C annealing을 30분 진행한 소자에서 그림 4(a)와 같이 비교적 균일한 Pd germanide 층이 약 45 nm 정도 나타났으며 450°C annealing을 한 소자는 그림 4(b)와 같이 약 50 nm의 균일한 Pd germanide가 형성되었다. Post-germanidation annealing 온도가 500°C를 넘어가기 시작하면서 그림 4(c)에서 보이는 바와 같이 Pd germanide 층이 조금씩 열화되는 현상이 나타남을 알 수 있다. 이로 인해 면저항이 크게 증가하기 시작한다. N₂ annealing의 온도가 550°C에 도달할 경우 Pd germanide 층의 열화가 더욱 심화되어[그림 4(d)], 그림 3과 같이 550°C 이상에서 면저항이 급격하게 증가하는 것을 알 수 있다. 이는 그림 3을 통해 얻은 Pd germanide가 실리사이드보다 쉽게 열화된다는 결론을 뒷받침한다고 할 수 있다.

그림 5(a)는 400°C RTP를 통해 형성된 Pd germanide Schottky diode의 전류-전압 (I-V) 특성 곡선을 나타낸 그래프로 전형적인 Schottky contact의 특성이 나타남을 확인할 수 있다. I-V 특성 곡선의 미분값을 통해 계산된 Schottky 장벽 높이 [12]는 지름이 각각 166, 119, 86 μm인 다이오드에서 각각 0.573, 0.569, 0.569 eV이며, 그에 따른 일함수는 4.702, 4.699, 4.699 eV이다. 그림 5(b)는 역방향 바이어스에 따른 단위면적 당 접합 캐패시턴스의 변화를 나타낸다. 접합 캐패시턴스의 정의와 Schottky diode에서의 공핍폭 등을 고려하여 단위면적 당 접합 캐패시턴스는 다음과 같이 표시할 수 있다.

$$C' = \frac{dQ'}{dV_R} = eN_d \frac{dx_n}{dV_R} = \left[\frac{e\epsilon_s N_d}{2(V_{bi} + V_R)} \right]^{\frac{1}{2}} \quad (1)$$

식 (1)을 다른 형태로 식 (2)와 같이 나타낼 수 있다.

$$\left(\frac{1}{C'} \right)^2 = \frac{2(V_{bi} + V_R)}{e\epsilon_s N_d} \quad (2)$$

따라서 그림 5(b)과 같이 역방향 바이어스에 대해 $\left(\frac{1}{C'} \right)^2$ 그래프를 그려 x절편을 추출하면 내부 전위 장벽

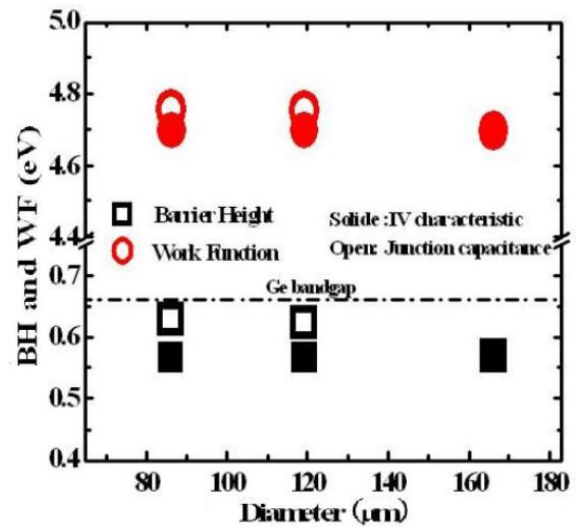


Fig. 6. Extracted electron barrier height and work function of Pd germanide Schottky diodes with a split of diode diameter.

V_{bi})를 얻을 수 있고 그로부터 Schottky 장벽(ϕ_{B0})을 구할 수 있다 [13].

그림 5(c)에서 추출된 내부 전위 장벽은 지름 166, 119, 86 μm에서 각각 0.458, 0.509, 0.518 eV이다.

그림 6은 추출된 내부 전위 장벽으로부터 구해진 Schottky 장벽 높이와 일함수를 다이오드의 지름에 따라 나타낸 것이다. 접합 캐패시턴스를 통해 계산된 Schottky 장벽은 지름 166, 119, 86 μm에서 각각 0.571, 0.625, 0.631 eV이고 일함수는 4.701, 4.755, 4.761 eV로써 앞에서 전류 전압 관계를 통하여 추출된 값과 유사함을 알 수 있다.

4. 결 론

본 논문에서는 n형 Ge-on-Si 기판 위에 형성된 Pd germanide의 열안정성에 관해 깊이 있게 분석하였으며 형성된 Schottky diode의 전류-전압 특성 및 접합 캐패시턴스를 측정하여 Pd germanide의 일함수를 추출하였다. 400°C RTP를 통해 형성된 Pd germanide는 450°C까지 비교적 안정정한 열 안정성을 보여주었다. 또한 측정된 전류 전압 특성 및 접합 캐패시턴스로부터 Pd germanide의 내부 전위 장벽을 추출하여 4.699~4.761 eV의 일함수를 구할 수 있었다. 따라서

본문에서 제안된 Pd germanide는 게르마늄 채널 SB MOSFETs의 소스/드레인에 적용할 수 있는 매우 유망한 물질이라고 할 수 있다.

감사의 글

본 논문은 한국과학기술재단(KOSEF)에서 지원하는 과제(No.2009-0069103)와 교육과학기술부와 한국연구재단의 지역혁신인력양성사업으로 수행된 연구결과임. 또한 나노종합팹센터(NNFC)의 FE-SEM(model : S-4800), HR FE-TEM을 이용하여 분석한 결과임.

REFERENCES

- [1] J. Oh, P. Majhi, H. D. Lee, K. T. Lee, W. H. Choi, J. W. Yang, C. Y. Kang, R. Harris, S. C. Song, P. Kalra, S. Lee, S. Banerjee, B. H. Lee, H. H. Tseng, and R. Jammy, *Ext. Abs. the 7th International Workshop on Junction Technology* (Kyoto, Japan, 2007) p. 55.
- [2] C. Martin, L. M. Hitt, and J. J. Rosenberg, *IEEE Electron Device Lett.*, **10**, 325 (1989).
- [3] K. Saraswat, C. O. Chui, T. Krishnamohan, D. Kim, A. 554 Nayfeh, and A. Pethe, *Mat. Sci. Eng. B*, **135**, 242 (2006).
- [4] H. L. Shang, O. S. Harald, K. K. Chan, M. Copel, J. A. Ott, P. M. Kozlowski, S. E. Steen, S. A. Cordes, H. P. Wong, E. C. Jones, and W. E. Haensch, *IEDM Tech. Dig.*, 441 (2002).
- [5] C. O. Chui, H. Kim, D. Chi, B. B. TRiplett, P. C. McIntyre, and K. C. Saraswat, *IEDM Tech. Dig.*, 437 (2002).
- [6] C. H. Huang, D. S. Yu, A. Chin, C. H. Wu, W. J. Chen, C. Zhu, M. F. Li, B. J. Cho, and D. L. Kwong, *IEDM Tech. Dig.*, 319 (2003).
- [7] E. P. Gusev, H. Shang, M. Copel, M. Gribelyuk, C. D. Emic, P. Kozlowski, and T. Zabel, *Appl. Phys. Lett.* **85**, 2334 (2004).
- [8] S.Y. Zhu, R. Li, S. J. Lee, M. F. Li, A. Du, J. Singh, C. X. Zhu, A. Chin and D. L. Kwong, *IEEE Electron Device Lett.*, **26**, 81 (2005).
- [9] L. E. Calvet, H. Luebben, M. A. Reed, C. Wang, J.P. Snyder, and J. R. Tucker, *J. Appl Phys.*, **91**, 757 (2002).
- [10] R. Li, H.B. Yao, S. J. Lee, D. Z. Chi, M. B. Yu, G. Q. Lo, and D. L. Kwong, *Thin Solid Films*, **504**, 28 (2006).
- [11] S. K. Oh, Y. Y. Zhang, H. S. Shin, I. S. Han, H. M. Kwon, B. S. Park, S. U. Park, J. D. Bok, G. W. Lee, J. S. Wang, and H. D. Lee, *Ext. Abs. the 10th International Workshop on Junction Technology* (Shanghai, China, 2010) p. 82.
- [12] Y. L. Jiang, G. P. Ru, X. P. Qu, and B. X. Li, *Ext. Abs. the 7th International Workshop on Junction Technology* (Kyoto, Japan, 2007) p. 93.
- [13] Donald A. Neamen, *Semiconductor physics and devices (basic principles 3rd ed., McGraw Hill, New York, 2002)* p.329.