

## 스텝 어닐링에 의한 저온 및 고온 n형 다결정 실리콘 박막 트랜지스터의 전기적 특성 분석

이진민<sup>1,a</sup>

<sup>1</sup> (주)엘엔티연구소

### Analysis of Electrical Characteristics of Low Temperature and High Temperature Poly Silicon TFTs(Thin Film Transistors) by Step Annealing

Jin-min Lee<sup>1,a</sup>

<sup>1</sup> Institute of Research and Development, ElnT.Co.,Ltd, Suwon 441-360, Korea

(Received April 11, 2011; Revised May 17, 2011; Accepted May 19, 2011)

**Abstract:** In this paper, experimental analyses have been performed to compare the electrical characteristics of n channel LT(low temperature) and HT(high temperature) poly-Si TFTs(polycrystalline silicon thin film transistors) on quartz substrate according to activated step annealing. The size of the particles step annealed at low temperature are bigger than high temperature poly-Si TFTs and measurements show that the electric characteristics those are transconductance, threshold voltage, electric effective mobility, on and off current of step annealed at LT poly-Si TFTs are high more than HT poly-Si TFT's. Especially we can estimated the defect in the activated grade poly crystalline silicon and the grain boundary of LT poly-Si TFT have more high than HT poly-Si TFT's due to high off electric current. Even though the size of particles of step annealed at low temperature, the electrical characteristics of LT poly-Si TFTs were investigated deterioration phenomena that is decrease on/off current ratio depend on high off current due to defects in active silicon layer.

**Keywords:** N channel polycrystalline silicon thin film transistor, High temperature TFT, Low temperature TFT, Step annealing, Excimer laser, Solid phase crystallization, USN (ubiquitous sensor network)

#### 1. 서 론

다결정 실리콘 박막 트랜지스터는 절연기판에 제조할 수 있는 장점으로 인해 디스플레이, 3D 소자, USN (ubiquitous sensor network) 등 많은 분야에서 관심의 대상이 되어왔다 [1]. 특히 센서 네트워크에 사용하기 위한 환경은 다양하기 때문에 다결정 실리콘 박막 트랜지스터를 센서에 접목시키기 위해 소자

의 전기적 특성에 영향을 미치는 활성층 형성온도를 저온과 고온으로 나누어 제조한 후 상호특성을 비교하는 것은 매우 중요하다고 할 수 있다. 다결정 실리콘 박막 트랜지스터는 활성층 실리콘이 가지는 결정 입자와 결정입계의 결함으로 인해 그 특성이 결정된다. 특히 다결정 실리콘 박막 트랜지스터는 단결정 실리콘 트랜지스터에 비해 낮은 on전류 특성과 매우 높은 off전류 특성을 나타내는데, 이는 다결정 실리콘 활성층이 가지는 결정입자와 결정입계의 결함으로 인

a. Corresponding author; bonafidej@naver.com

한 높은 저항과 드레인 영역에서 발생하는 핫 캐리어가 드레인과 게이트 역전압에 의존한 특성으로 알려져 있다 [2]. 저온에서 고상화 된 다결정 실리콘의 입자는 고온에서 결정화 된 다결정 실리콘의 입자보다 크지만 결정입자와 결정입계의 결합이 많아 그 전기적 특성이 저하된 것으로 알려져 있다 [3,4]. 그러나 저온소자는 저가의 구현비용에서 불구하고 고온소자에 비해 불안한 전기적 특성으로 인해 센서의 구동회로로 사용하기에 적합하지 않아 특성개선을 위한 대안으로 실리콘 이온주입, 레이저 어닐링 등의 공정 변화와 금속 게이트전극의 이용 등 물질변화 방안 등이 제시되었다 [5,6].

본 연구에서는 이러한 다결정 실리콘 박막 트랜지스터를 센서의 구동회로로 적용시키기 위한 특성 개선 연구의 일환으로 n형의 다결정 실리콘 박막 트랜지스터를 스텝 어닐링을 통해 저온소자와 고온소자로 나누어 제조한 후 두 소자의 전기적 특성의 변화를 비교 분석하였다.

## 2. 실험 방법

본 연구를 위한 저온소자의 제조공정은 다음과 같다. 석영기판에 활성층 실리콘을 LPCVD (low pressure chemical vapor deposition) 방법으로 550°C에서 50 nm를 증착하였다. 증착된 활성층 실리콘 박막에 확산로에서 600°C, 36 hrs 조건으로 저온에서 1차 열처리한 후 실리콘 이온을 35 KeV  $1.1 \times 10^{15}/\text{cm}^2$ 로 주입하고 엑시머 레이저를 500 mJ/cm<sup>2</sup> 에너지로 2차 어닐링을 실시하였다. 이 후 사진공정과 건식식각 공정을 통해 활성층 영역을 구분 형성하였다. 저온소자의 게이트 산화막은 PECVD (plasma enhanced chemical vapor deposition) 방법으로 450°C에서 100 nm를 증착한 후 게이트 전극으로 1% 실리콘이 포함된 알루미늄을 직류마그네트론 스퍼터링 방법으로 100 nm 두께로 증착하였다. 이 후 금속 게이트전극과 게이트 산화막층을 사진공정과 식각공정을 이용해 형성하였다.

고온소자의 제조공정은 다음과 같다. 석영기판에 활성층 실리콘을 LPCVD 방법으로 100 nm으로 증착하고 확산로에서 600°C, 36 hrs의 조건으로 저온에서 1차 열처리한 후 고에너지 이온주입기를 이용해 실리콘 이온을 35 KeV  $1.1 \times 10^{15}/\text{cm}^2$  주입하였다.

이 후 사진공정과 식각공정을 통해 활성층을 형성시켰다. 고온소자의 게이트 산화막은 확산로에서 O<sub>2</sub>

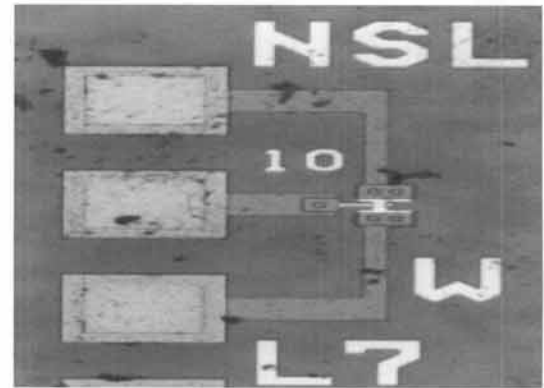


Fig. 1. Microscope image of the poly Si TFT.

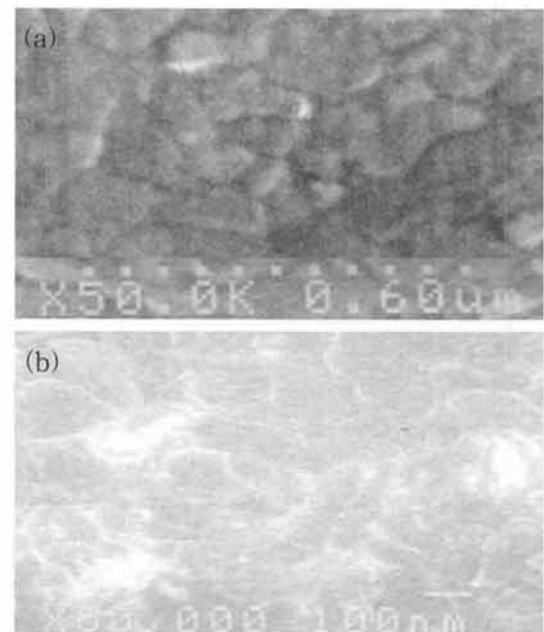


Fig. 2. SEM image of the active poly silicon's grain, (a) high temperature, (b) low temperature.

분위기 950°C에서 100 nm를 성장시켜 활성층 실리콘의 두께가 50 nm가 되도록 유도하여 저온소자와 동일한 활성층 두께가 되도록 제조하였으며, 이 때 2차로 고온 고상화가 진행되게 하였다. 게이트 전극은 LPCVD 방법으로 다결정 실리콘을 625°C, 100 nm으로 증착하였다.

이 후 사진공정과 식각장비를 이용해 게이트 공정을 형성시켰다.

저온과 고온소자의 드레인과 소오스 형성은 불순물 비소(As)를 이용하였으며 고에너지 이온주입기를 통해

95 keV,  $3 \times 10^{15}/\text{cm}^2$  조건으로 주입하였다.

게이트공정 이후의 저온과 고온소자를 모두 PECVD 방법으로 450°C에서 1  $\mu\text{m}$ 의 산화막을 증착시켜 보호막으로 사용하고 사진공정과 식각공정을 통해 비아 홀을 형성시켰다. 이 후 측정용 금속패드를 위해 1% 실리콘이 포함된 알루미늄을 직류마그네트론 스퍼터링 방법으로 1 kW, 1  $\mu\text{m}$ 로 증착하고 사진공정과 식각공정을 통해 금속 박막 영역을 구분하였다. 마지막으로 450°C, 1 hr의 열로이 공정을 통해 반도체와 금속의 접촉개선 공정을 진행하여 소자의 제조를 마쳤다.

소자의 측정에 사용된 장비는 HP4,156 반도체 파라미터 분석기였으며, 블랙박스 25°C 환경에서 탐침을 이용해 측정하였다. 측정 시 인가된 전압은 소자의 파괴전압 이내로 한정하여 드레인 전압 0.1-7 V의 범위 이었으며, 게이트 전압 -20~+30 V 이었다.

제조된 소자의 크기는 채널의 폭/길이가 각각 10/5  $\mu\text{m}$ 와 10/7  $\mu\text{m}$  이었으며, 그림 1에는 제조된 소자의 패턴사진을 X500 배율로 촬영해 나타내었고, 그림 2에는 고온소자와 저온소자의 스텝 어닐링 중간 상태에서의 활성층 그래인을 SEM장비로 촬영해 나타내었다. 저온 결정화된 활성층 그래인의 크기는 300-400 nm 정도이었으며, 고온 결정화된 활성층 그래인의 크기는 150 nm 정도로 저온 결정화된 다결정 실리콘의 크기가 더 크게 성장된 것으로 분석되어 저온소자의 2차 레이저 어닐링 공정에 의해 활성층의 결정입자가 더 크게 형성되었을 것으로 예측되었다.

### 3. 결과 및 고찰

스텝 어닐링 처리된 n형 다결정 실리콘 박막 트랜지스터의 기초  $V_g$ - $I_d$  특성을 그림 3에 나타내었다. 소자의 크기는  $W/L = 10/5 \mu\text{m}$ ,  $10/7 \mu\text{m}$  이었으며, 인가한 드레인 전압은  $V_d = 1 \text{ V}$ ,  $7 \text{ V}$ 이고 게이트 전압은  $-20 \text{ V} \sim +30 \text{ V}$ 로 인가하여 나타내었다. 그림 3(a)에는 저온스텝 어닐링 된 n형 다결정 실리콘 박막 트랜지스터와 (b)에는 고온 스텝 어닐링 된 다결정 실리콘 박막 트랜지스터의 특성을 채널의 길이를 변화시켜 나타내었다. 채널의 크기 10/5  $\mu\text{m}$  소자의 경우  $V_d = 1 \text{ V}$ 에서 저온소자의 최저 off전류는 13 pA 최대 on전류는 0.27 mA로 측정되었고,  $V_d = 7 \text{ V}$ 에서 저온소자의 최저 off전류는 0.12 nA, 최대 on전류는 4.48 mA로 나타났으며, 고온소자는  $V_d = 1 \text{ V}$ 에서 최저 off전류 0.35 pA, 최대 on전류는 0.14 mA로 측정되었고,

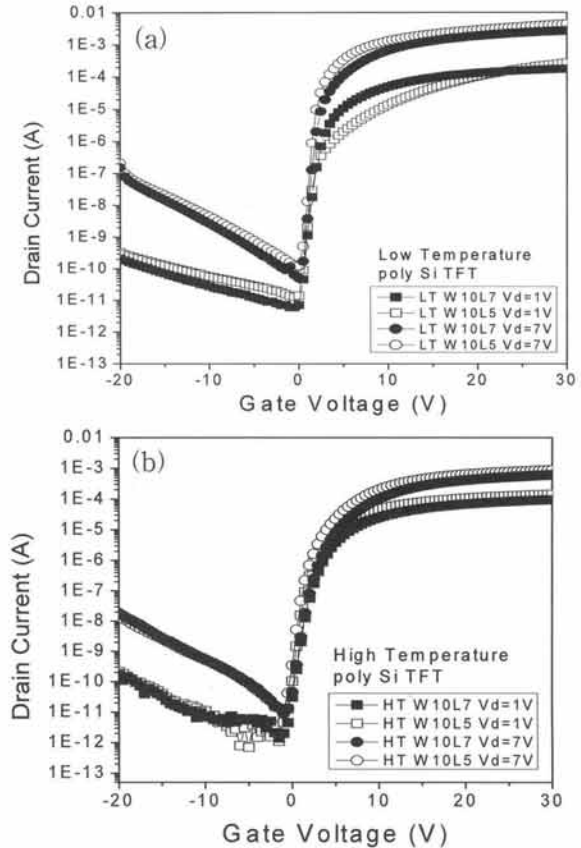


Fig. 3.  $V_g$ - $I_d$  characteristics of the poly Si TFTs, (a) low temperature poly Si TFT, (b) high temperature poly Si TFT.

$V_d = 7 \text{ V}$ 에서 최저 off전류는 12.1 pA, 최고 on전류는 0.87 mA로 나타났다. 또한 채널의 크기 10/7  $\mu\text{m}$ 인 소자의 경우에는  $V_d = 1 \text{ V}$ 에서 저온소자의 최저 off전류는 6.0 pA, 최대 on전류는 0.18 mA로 측정되었고,  $V_d = 7 \text{ V}$ 에서 저온소자의 최저 off전류는 51 pA, 최대 on전류는 2.76 mA로 나타났으며, 고온소자의 경우  $V_d = 1 \text{ V}$ 에서 최저 off전류는 2.05 pA, 최대 on전류는 94.9  $\mu\text{A}$ 로 측정되었고,  $V_d = 7 \text{ V}$ 인 경우 고온소자의 최저 off전류는 9.0 pA, 최대 on전류는 0.61 mA로 나타났다. 측정 분석결과 저온 및 고온소자 모두 드레인 전압의 증가에 따라 off전류와 on전류가 증가하는 전형적인 다결정실리콘 박막 트랜지스터의 특성을 나타내었다.

그러나 채널의 크기가 10/5  $\mu\text{m}$ 인 저온소자의 경우 드레인 전압이  $V_d = 1 \text{ V}$ 인 경우 포화영역에서 기울기가 낮게 나타났는데 이러한 현상은 다결정 실리콘

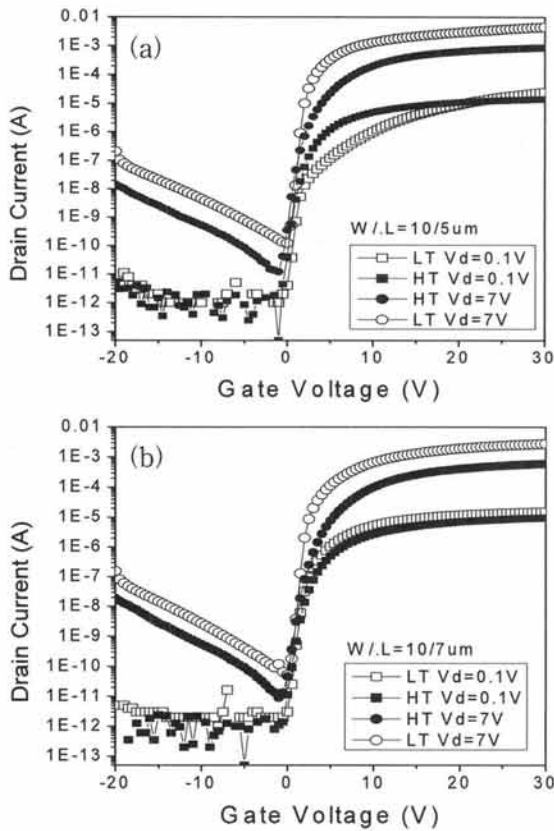


Fig. 4.  $V_g$ - $I_d$  characteristics of low and high temperature poly Si TFTs, (a)  $W/L = 10/5 \mu m$ , (b)  $W/L = 10/7 \mu m$ .

박막 트랜지스터에서 흔히 확인할 수 있는 현상으로, 최대 게이트 순방향 전압에 의해 최대 전류가 형성되어 활성층에 혼재하는 결정결함으로 인해 인가된 게이트 역전압에 의해 발생되고 순방향 전압에 의해 없어지는 전자의 트랩과 디트랩에 의한 현상으로 예측된다.

그림 4에는 스텝 어닐링 처리된 저온 및 고온소자의  $V_g$ - $I_d$  특성을 비교분석 하였다. 그림 4(a)에는 채널의 크기  $10/5 \mu m$ 에 대해 그림 4(b)에는 채널크기  $10/7 \mu m$ 의 특성을 나타내었다. 스텝 어닐링을 통해 제조된 소자의 특성은 드레인 전압이  $V_d = 0.1 V$ 로 낮은 경우 off전류 특성을 제외하면 모두 저온소자의 특성이 고온소자 보다 더 큰 값을 나타내었다. 이러한 고온 다결정 실리콘 박막 트랜지스터의 전기적 특성보다 높은 on전류를 가지는 저온소자의 개선된 특성은 그림 2에 분석된 저온 소자의 활성층 결정입자 크기가 고온에서 제조된 다결정 실리콘 박막 트랜지스터

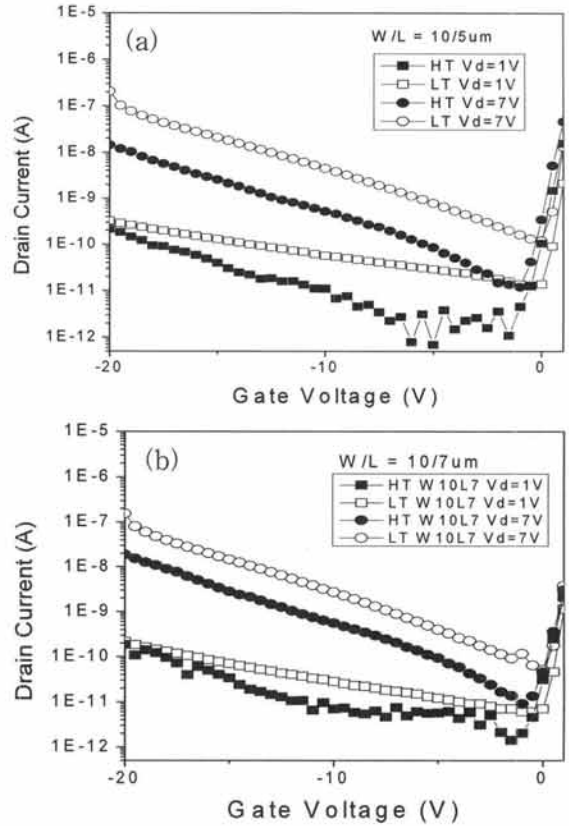


Fig. 5. Off current characteristics of the poly Si TFTs.

보다 크게 형성되어 발생된 결정입계 감소현상과 금속 게이트 전극에 의해 활성층 채널에 대전되는 전류의 영향을 받은 것으로 보인다. 따라서 스텝 어닐링을 통해 저온소자의 특성을 고온소자보다 더 개선시킬 수 있고 이러한 원인으로 활성층의 결정입자 크기와 금속게이트 전극을 지목할 수 있다. 그러나  $10/5 \mu m$  소자에서 저온 다결정 실리콘 박막 트랜지스터의 기울기에 영향을 미치는 국부적인 결정화 불안을 해결하기 위한 공정의 개선이 필요할 것으로 사료된다.

그림 5(a)와 (b)에는 off전류 특성을 인가된 드레인 전압의 변화와 채널 길이의 변화에 따라 나타내었다. 다결정 실리콘 박막 트랜지스터의 off전류는 활성층 다결정 실리콘이 가지는 결함에서 발생하는 핫 캐리어가 드레인 영역에 형성되는 드레인과 게이트 역전압에 의존해 크게 영향을 받는다. 측정결과 드레인 전압에 의존해 저온소자의 off전류가 높게 형성되어 있었다. 특히 게이트 전압의 감소에 의해 고온소자의 off전류가 감소되는 현상이 더 현저히 발생하였다. 이는 고온소자의 결정입자가 갖는 더욱 안정화된 것에

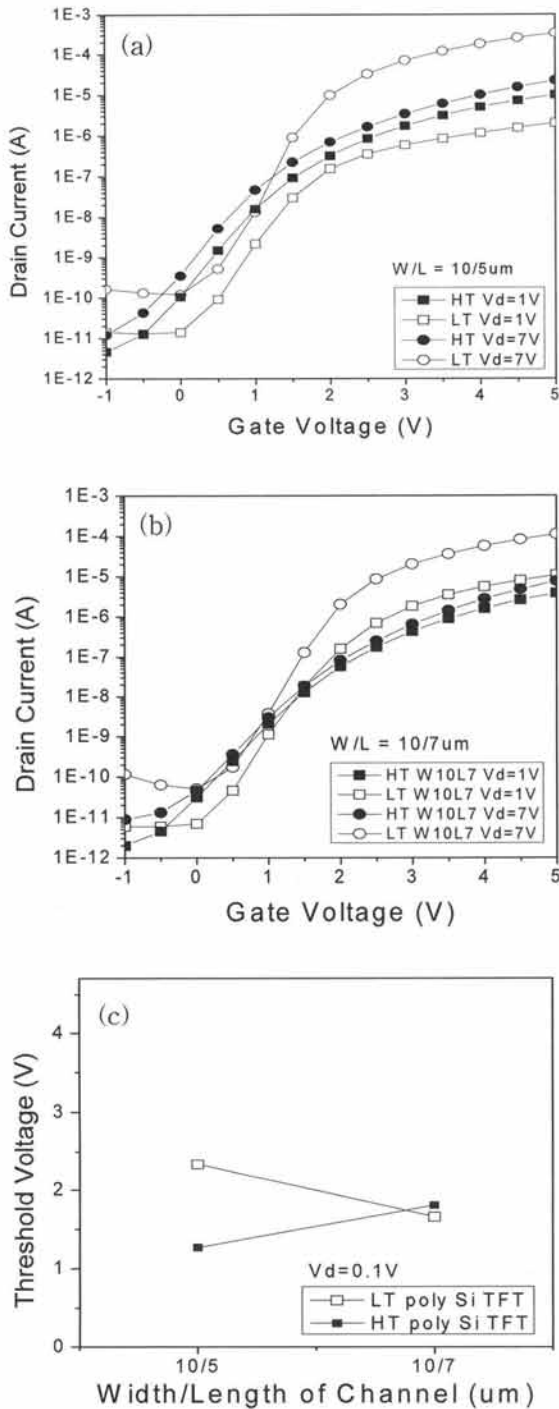


Fig. 6. Threshold voltage of the poly Si TFTs, (a) Vg-Id W/L= 10/5 μm, (b) Vg-Id W/L= 10/7 μm, (c) The variation of threshold voltage.

의존해 나타난 현상으로 보이며, 고온소자의 결정입자가 단결정에 가깝게 결정화되는 것을 감안하면 저

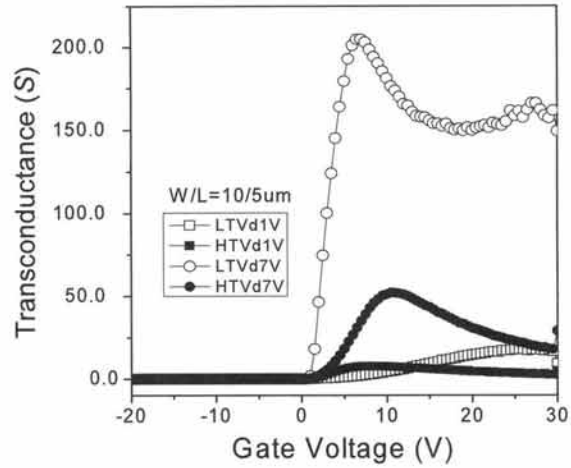


Fig. 7. Transconductance characteristics of the poly Si TFTs.

온소자의 경우 금속게이트 전극이 off전류에 미치는 영향과 다른 현상으로 저온소자의 결정입자는 고온소자에 비해 크지만 결정입자와 결정입계가 가지는 결합은 고온소자보다 불안정함을 예측할 수 있다.

그림 6에는 제조된 다결정 실리콘 박막 트랜지스터의 게이트 전압이 순방향으로 전환될 때 형성되는 전류와 문턱전압을 나타내었다. 문턱전압 근처에서 발생하는 Vg-Id 특성을 그림 6(a)와 (b)에 나타내었는데 고온소자가 좀 더 낮은 게이트 전압에서 높은 드레인 전류를 형성시킬 것으로 예측되었으며, Vg-Id 특성으로부터 0.1 μA가 될 때의 게이트 전압을 문턱전압으로 지정하여 그림 6(c)에 나타내었다. 문턱전압 분석결과 채널의 크기가 10/5 μm인 고온소자의 문턱전압이 1.27 V로 저온소자의 2.33 V에 비해 더 낮은 값을 나타내었으며 채널 길이가 10/7 μm로 길어질수록 문턱전압은 1.7-1.8 V로 비슷한 값을 나타내었다. 이러한 원인으로 10/5 μm의 경우 저온소자의 활성층 실리콘의 결정결함으로 인해 문턱전압을 고온소자에 비해 높게 형성시킨 것으로 보인다.

그림 7에는 게이트 순방향 전압특성에 의존하는 전달 특성곡선을 나타내었다. 분석결과 스텝 어닐링 된 저온소자의 전달특성곡선이 고온소자보다 높은 값을 나타내었다. 이는 앞선 off전류 특성분석에서 나타난 저온소자의 결정화가 고온소자에 비해 부족했던 점을 감안하면 저온소자의 높은 전달특성곡선은 그림 2에 분석된 저온소자의 결정입자크기가 고온소자에 비해 크고, 저온소자가 갖는 금속 게이트전극의 낮은 저항으로 인해 채널의 대전현상이 안정화되어 발생된 현상으로 보인다.

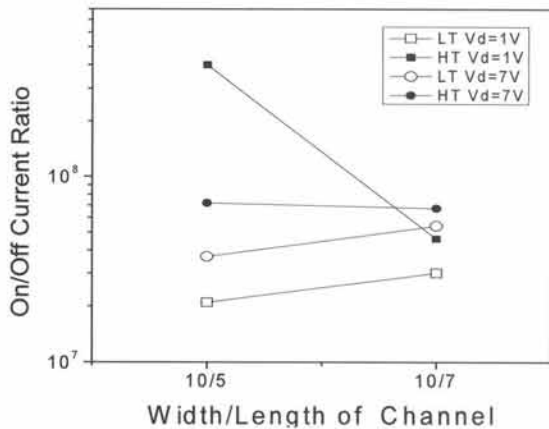


Fig. 8. On/off current ratio of the poly Si TFTs.

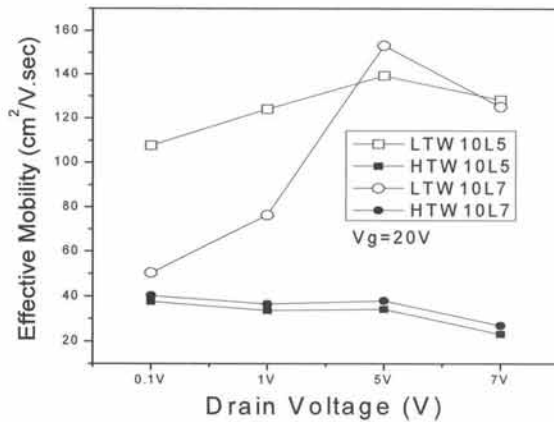


Fig. 9. Effective mobility of the poly Si TFTs.

그림 8에는  $V_g$ - $I_d$  그래프로부터 최대 on전류와 최저 off전류의 비율을 나타내었다. 분석결과 10/5  $\mu\text{m}$  소자의 경우  $V_d = 1\text{ V}$  로 낮은 드레인 전압에서 스텝 어닐링 된 저온소자의 on/off전류비는  $2.09 \times 10^7$  스텝 어닐링 된 고온소자는  $4.01 \times 10^8$  이었으며,  $V_d = 7\text{ V}$  일 때 저온소자의 on/off전류비는  $3.7 \times 10^7$  고온소자는  $7.19 \times 10^7$  이었다. 또한 10/7  $\mu\text{m}$  소자의 경우  $V_d = 1\text{ V}$  로 낮을 때 저온소자의 on/off전류비는  $3.01 \times 10^7$  고온소자는  $4.63 \times 10^7$  이었으며,  $V_d = 7\text{ V}$  일 때 저온소자는  $5.42 \times 10^7$  고온소자의  $6.74 \times 10^7$ 로 나타나 전체적으로 고온소자의 on/off전류비가 저온소자보다 높게 형성되어 있었다. 고온소자의 on/off전류비가 저온소자에 비해 높게 나타난 것은 앞서 분석된 저온소자의 높은 on전류 보다 고온소자의 off전류 감소가 저온소자의 on전류 증가에 비해 더욱 낮은 값을 가져 고온소자의 on/off전류비가 더 높게 나타난 현상으로 보인다. 따

라서 스텝 어닐링된 소자의 on전류는 활성층 결정입자 크기에 의존하며, 특히 결정입자와 결정입계의 안정화에 의존하는 off전류가 on/off 전류비에 지배적인 영향을 미치는 것으로 분석되었다.

그림 9에는 전자의 이동도를 앞서 분석된 전달특성 곡선으로부터 소자의 크기와 정전용량값으로부터 구해 나타내었다. 분석결과 저온소자의 전자이동도가 높은 값을 나타내었다. 이는 저온소자의 그레인 크기와 금속 게이트전극에 의존해 나타난 높은 전달특성값에 의존해 전자이동도 또한 높은 값을 나타낸 것으로 보인다.

#### 4. 결론

본 연구에서는 스텝 어닐링 처리된 n형의 다결정 실리콘 박막 트랜지스터를 각각 저온소자와 고온소자로 나누어 제조한 후 그 전기적 특성을 비교분석하였다.

분석결과 스텝 어닐링 처리된 저온소자의 결정입자 크기가 고온소자에 비해 더 큰 것으로 분석되었다. 또한 스텝 어닐링 처리된 소자의 채널길이가 10/5  $\mu\text{m}$  로 짧고 인가된 드레인 전압이  $V_d = 7\text{ V}$  로 증가함에 따라 저온소자의 on전류는 4.48 mA, 최저 off전류는 0.12 nA로  $V_d = 1\text{ V}$  일 때 최대 on전류 0.27 mA와 최저 off전류 13 pA보다 증가하는 전형적인 다결정 실리콘 박막 트랜지스터의 특성을 나타내었다. 그러나 저온 및 고온소자의 특성을 비교분석한 결과 10/7  $\mu\text{m}$  인 소자에서  $V_d = 7\text{ V}$  일 때 저온소자의 최대 on전류 2.76 mA, 최저 off전류 51 pA로 고온소자의 최대 on전류 0.61 mA, 최저 off전류 9.0 pA로 나타나 스텝 어닐링 처리된 저온소자가 고온소자에 비해 높은 on전류와 off전류 특성을 나타내었다. 이러한 높은 on전류의 원인으로 저온 활성층 다결정 실리콘의 결정입자 크기와 금속 게이트 전극을 지목할 수 있었으며, on전류에 의존하는 전달특성을 증가시키는 것으로 분석되었다. 또한 높은 off전류의 원인으로 스텝 어닐링된 저온 활성층 다결정 실리콘의 결정입자 크기는 스텝 어닐링된 고온소자에 비해 크지만 결정결합은 고온소자에 비해 많음을 확인할 수 있었으며, 스텝 어닐링 처리된 저온 소자의 문턱전압이 높게 형성되어 문턱전압은 활성층 결정입자의 결정안정화에 의존함을 알 수 있었다. 또한 활성층 결정안정화에 의존해 낮은 off 전류 특성을 나타낸 고온소자의 on/off전류비가

스텝 어닐링 처리된 저온소자 보다 높게 나타나 결정 입자의 크기보다 결정입자의 결정안정화가 on/off전류비 특성에 영향을 미치는 것으로 분석되었다. 그러나 저온 스텝 어닐링을 통해 제조된 n형의 저온소자가 고온소자에 비해 매우 향상된 특성을 나타내는 바 이를 이용한 소자의 응용과 off전류 개선을 위한 추가적인 연구가 더 필요할 것으로 사료된다.

## REFERENCES

- [1] S. Matsumoto, *Electronic Dispoly Devices* (John Wiley & Son, 1990) p. 64.
- [2] C. Reita, S. Fluxman, A. Butler, A. J. Lowe, M. J. Izzard, P. Migliorato, and H. G. Yang, *Proc. ESSCIRC'92, Simulation, Fabrication and Performances of Digital and Analogue Poly-Si TFT's Circuits on Glass* (Kandrup, Copenhagen, Denmark, 1992) p. 250.
- [3] H. Ohshima and S. Morozumi, *Extended Abs. of Solid State Devices and Materials*, 572 (1991).
- [4] A. Nakamura, F. Eoto, E. Fuji, A. Yamamoto, Y. Uemoto, H. Hayashi, Y. Kato, and K. Senda, *IEDM Tech. Dig.*, 847 (1990).
- [5] H. Kuriqama, S. Kiyama, S. Noguchi, T. Kuwahara, S. Ishida, T. Nohda, K. Sano, H. Iwata, H. Kawata, M. Osumi, S. Tsuda, S. Nakano, and Y. Kuwano, *Jpn. J. Appl. Phys.*, 30, 3700 (1991).
- [6] S. D. Brotherton, D. J. McCulloch, J. B. Clegg, and J. P. Gowers, *IEEE Trans. Elec. Dev.*, 40, 407 (1993).