

중수소 이온 주입에 의한 MOS 커패시터의 게이트 산화막 절연 특성 개선

서영호¹, 도승우¹, 이용현¹, 이재성^{2,a}

¹ 경북대학교 전자전기컴퓨터학부

² 위덕대학교 정보통신공학과

Improvement of Gate Dielectric Characteristics in MOS Capacitor by Deuterium-ion Implantation Process

Young-Ho Seo¹, Seung-Woo Do¹, Yong-Hyun Lee¹, and Jae-Sung Lee^{2,a}

¹ School of Electrical Engineering and Computer Science, Kyungpook National University, Daegu 702-701, Korea

² Department of Information and Communication Engineering, Uiduk University, Gyeongju 780-713, Korea

(Received February 24, 2010; Revised June 8, 2011; Accepted July 1, 2011)

Abstract: This paper is studied for the improvement of the characteristics of gate oxide with 3-nm-thick gate oxide by deuterium ion implantation method. Deuterium ions were implanted to account for the topography of the overlying layers and placing the D peak at the top of gate oxide. A short anneal at forming gas to nitrogen was performed to remove the damage of D-implantation. We simulated the deuterium ion implantation to find the optimum condition by SRIM (stopping and range of ions in matter) tool. We got the optimum condition by the results of simulation. We compare the electrical characteristics of the optimum condition with others terms. We also analyzed the electrical characteristics to change the annealing conditions after deuterium ion implantation. The results of the analysis, the breakdown time of the gate oxide was prolonged in the optimum condition. And a variety of annealing, we realized the dielectric property that annealing is good at longer time. However, the high temperature is bad because of thermal stress.

Keywords: Deuterium, Gate oxide, Ion implantation, Isotope effect, Interface

1. 서 론

현재 반도체의 기술이 크게 향상됨에 따라 MOSFET (metal oxide semiconductor field effect transistor)의 크기는 점차 줄어들고 있다. 하지만 MOSFET의 크기가 점차 작아지면서 생기는 문제점이 나타나고 있다. 그 문제점 중 대두되고 있는 것이 단채널효과 (short channel effect, SCE)이다. 단채널효과 중 열전자효과

(hot carrier effect)는 게이트 산화막 (gate oxide)에 산화막 트랩 (oxide trap)을 발생시킨다. 산화막 트랩을 최소화 하고 실리콘과 산화막 (Si-SiO₂)간의 계면에 생기는 dangling band를 억제하기 위해 현재 사용되고 있는 일반적인 CMOS (complimentary metal oxide semiconductor) 공정에서는 수소 열처리 공정을 이용하여 passivation 공정을 사용하고 있다 [1]. 수소 열처리 공정을 이용한 Si-SiO₂ 계면은 Si-H 결합을 형성하여 passivation 된다 [2]. 그러나 소자가 작아짐

a. Corresponding author; Jaesung@uu.ac.kr

에 따라 열전자효과가 강하게 발생되고, 그로인해 산화막내의 계면 전하가 소자의 열화가 되는 문제점을 야기시킬 수 있다. 이러한 문제점을 이유로 수소 열처리 공정을 대처할 수 있는 방법이 제안되고 있다. 그 중 중수소를 이용한 방법이 많은 관심을 받고 있다.

중수소는 수소와 화학적 특성은 동일하지만, 질량이 두 배인 원소, 즉, 동위 원소이다. 중수소 이온이 소자에 주입되면 게이트 산화막 (gate oxide)과 실리콘 (silicon) 계면 사이에 Si-D 결합을 형성하여 수소 열처리 공정으로 인해 생기는 NMOSFET (n-type metal oxide semiconductor field effect transistor)의 hot-carrier 열화를 억제 할 수 있다 [3,4]. Si-D 결합을 파괴하는 해리 에너지가 Si-H 결합을 파괴하는 해리 에너지 보다 크기 때문에 Si-D 결합은 열화를 억제하기에 충분하다. 즉, Si-D 결합이 Si-H 결합보다 더 강한 에너지로 결합되어 있다는 것이다. 또한 중수소 이온 주입은 게이트 산화막과 실리콘 사이의 계면 트랩 전하 (interface trap charge)를 억제할 수 있다 [5]. 이와 같은 이유로, 소자 제조의 최종 단계인 금속 배선 후 중수소 열처리 공정을 통해 MOSFET의 신뢰성을 향상 시키는 연구가 제시되었다 [6,7]. 하지만, 중수소 이온의 정확한 양과 정확한 깊이 등을 조절하기엔 다소 문제점이 있다고 판단되었다 [8]. 본 논문에서는 중수소 열처리 공정이 아닌 중수소 이온 주입 공정을 이용하여 게이트 산화막의 절연특성을 연구하기 위해 여러 가지 조건에서 중수소를 주입하여 게이트 산화막의 중수소 이온 분포를 조사하고, 최적의 중수소 이온 주입 조건을 찾아 MOS 구조에서 절연 및 전기적인 특성을 조사하였다. 또한, 이온 주입 후 손상 (defect)을 감소시키기 위해 어닐링 (annealing)을 시행하는데 이때의 최적의 온도와 시간을 찾기 위해 특성 분석을 하였다.

2. 실험 방법

본 연구에 사용된 소자는 일반적인 CMOS 공정을 이용하여 제조된 소자이다. MOS 소자는 SiO₂ [300 nm]/ poly-Si [250 nm]/ gate oxide thickness [3~7 nm]/ Si 기판의 구조를 갖는다.

MOS (metal oxide silicon)구조 소자에 중수소 이온 주입 조건을 찾기 위해 SRIM (stopping and range of ions in matter)을 이용하여 모의실험을 하

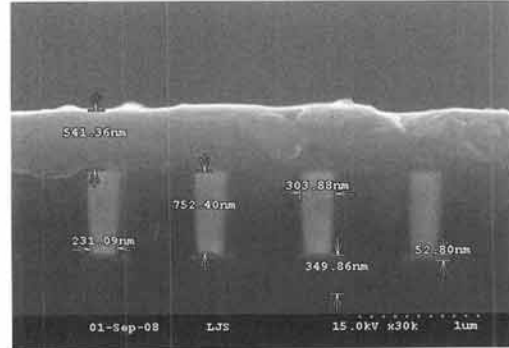


Fig. 1. Cross section of processed device.

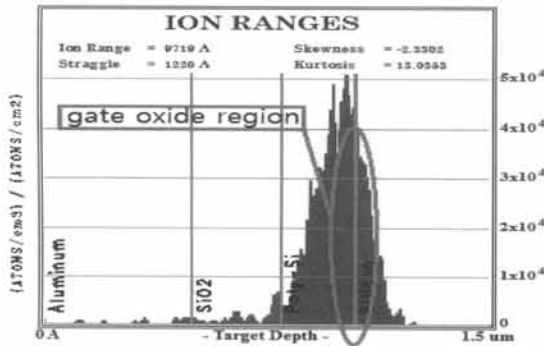
였다. 중수소 이온을 주입한 후 중수소의 안정적인 결합을 위해 질소 분위기에서 어닐링 (annealing)을 하였다. 이때 최적의 안정화되는 조건을 찾기 위해 어닐링의 온도와 시간을 변화시켜 특성 분석을 하였다.

중수소 이온의 분포는 SIMS (secondary ion mass spectroscopy) profile을 이용하여 분포도에 대해 분석을 하였다. 전기적인 특성은 HP 4,156을 이용하여 I-V를 측정하였고, HP 4,280을 이용하여 C-V를 측정하였다. 신뢰성 평가는 소자에 게이트 정전압 스트레스 (constant voltage stress, CVS)를 인가한 후 소자의 성능을 측정하였다 [9]. 그림 1은 제조된 소자의 단면이다.

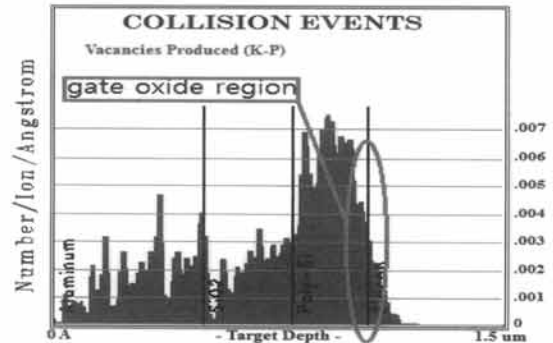
3. 결과 및 고찰

MOS 구조에서 중수소 이온의 주입 조건을 찾기 위해 SRIM tool을 이용하여 모의실험을 하였다. 실험에 사용된 소자의 박막 두께와 밀도를 설정하여 가장 안정적인 에너지를 찾고 dose 양을 고찰하였다. 그림 2는 중수소 이온 주입을 하기 전 SRIM을 이용하여 모의 실험한 결과이다.

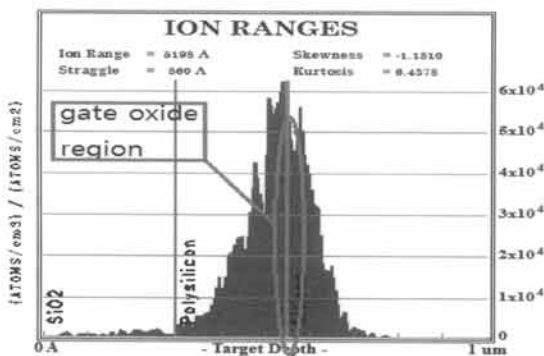
모의실험 결과 Al/SiO₂/poly-Si/SiO₂/Si 구조에서는 85 keV의 에너지를 이용한 중수소 이온 주입이 게이트 절연막에 효과적으로 주입되는 것을 알 수 있었다. 또한, SiO₂/poly-Si/SiO₂/Si 구조에서는 30 keV의 에너지를 이용한 중수소 이온 주입이 효과적인 것을 알 수 있다. 모의실험을 통해 물질의 종류와 두께에 따라 이온 주입의 최적 에너지 조건이 달라질 수 있다는 것을 알 수 있었다.



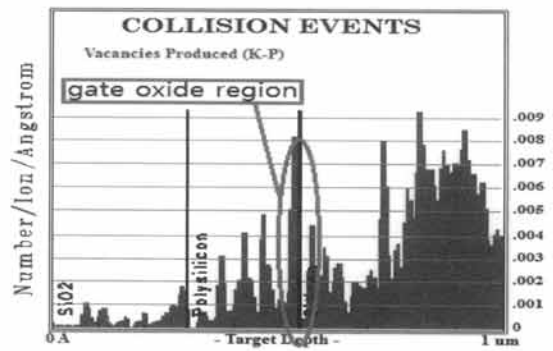
(a) Al/SiO₂/poly-Si/SiO₂/Si structure (85 keV)



(a) Al/SiO₂/poly-Si/SiO₂/Si structure (85 keV)



(b) SiO₂/poly-Si/SiO₂/Si structure (30 keV)



(b) SiO₂/poly-Si/SiO₂/Si structure (85 keV)

Fig. 2. SRIM of (a) Al/SiO₂/poly-Si/SiO₂/Si and (b) SiO₂/poly-Si/SiO₂/Si structure.

Fig. 3. Damage of 85 keV by implanted energy of (a) Al/SiO₂/poly-Si/SiO₂/Si and (b) SiO₂/poly-Si/SiO₂/Si structure.

그림 3은 SRIM을 이용한 중수소 이온 주입할 때 소자의 손상을 모의 실험한 것이다.

중수소 이온 주입을 할 때, 게이트 산화막에 손상 (damage)이 가해진다면, 오히려 절연 특성이 더 좋지 못하게 된다. 이러한 이유로 중수소 이온 주입할 때 발생하는 물질의 손상 분포에 대해 조사하였다. 다른 구조에서 같은 에너지로 에너지 주입을 했을 때 게이트 산화막에 생기는 손상은 다르게 나타났다. 결과적으로 중수소 이온 주입으로 생기는 게이트 산화막의 손상은 구조에 따라 다르다는 것을 알 수 있다. 모의 실험을 이용하여 중수소 이온 주입의 최적 조건을 찾았고, 최적의 조건을 이용하여 실제 소자에 이온 주입을 하였다.

SRIM 분포도에서도 알 수 있듯이 알루미늄 내에서는 중수소 이온 농도가 낮고, 각 계면에서는 비교적 높게 나타나는 것을 알 수 있다. 또한, 게이트 산화막 영역에서도 중수소가 분포되어 있는 것을 알 수 있다.

이러한 분석을 통해 중수소가 게이트 산화막 내에 효과적으로 도달했음을 알 수 있다.

일반적인 CMOS 공정으로 제조된 소자에 중수소 이온 주입 조건을 다르게 주입하여 각각의 조건에 따른 전기적 특성을 분석하였다.

그림 4는 capacitor-voltage (C-V) 특성 곡선이다. 면적이 크고, 게이트 산화막의 두께가 비교적 두꺼운 (7 nm) MOS capacitor에 1 MHz의 고주파수 (high frequency)를 이용하여 측정하였다.

NMOS C-V 곡선에서 최저 정전용량이 중수소 이온 주입에 따라 감소하는 것을 알 수 있다. 이것은 실리콘 기판 부분에서 중수소 이온이 일부 불순물을 불활성화시켜 나타나게 된 결과라고 판단된다. 또한 inversion 영역이 시작되는 부분이 문턱전압이라고 볼 수 있는데, 미세하지만 점차 문턱전압이 이동하고 있는 것을 확인할 수 있다. 이것은 게이트 산화막내에 존재하는 계면 트랩 밀도 (interface trap density)가 감소하였음을 나타내는 결과이다. 축적 (accumulation)과 반전 (inversion) 영

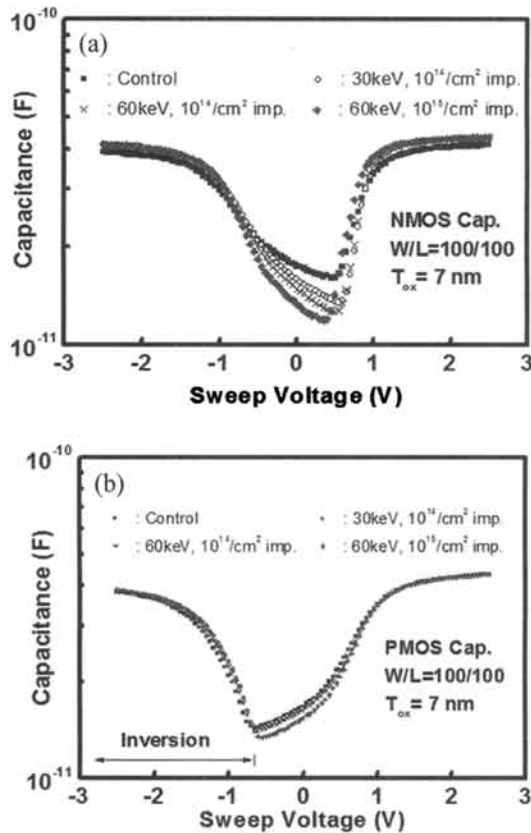


Fig. 4. capacitance voltage curve of (a) NMOS capacitor and (b) PMOS capacitor (thickness: 7 nm).

역에서 어떠한 왜곡이나 변화가 없다는 것으로 중수소 이온 주입 후 게이트 산화막에 중수소가 다른 손상을 입히지 않는다는 것을 알 수 있다.

그림 5는 중수소 이온을 다른 조건으로 주입한 NMOS 커패시터의 항복 시간 (breakdown time)이다. 소자의 구조는 $\text{SiO}_2/\text{poly-Si}/\text{SiO}_2/\text{Si}$ 로 되어 있다. 게이트 산화막의 두께는 3 nm인 비교적 얇은 소자로 측정을 하였다.

중수소 이온 주입을 하지 않은 소자 (control device)와 비교하였을 때, 60 keV의 에너지로 중수소 이온 주입한 소자는 오히려 항복 시간이 짧은 것을 알 수 있다. 하지만, 45 keV의 에너지로 중수소 이온 주입을 한 소자는 항복 시간이 길어진다. 특히 dose량은 $10^{14}/\text{cm}^2$ 이고, 45 keV의 에너지로 이온 주입한 소자의 경우 이온 주입을 하지 않은 소자에 비해 약 3배 이상 항복시간이 길어지는 것을 알 수 있다. 중수소 이온 주입을 하지 않은 소자에 비해 항복 시간이 긴 소

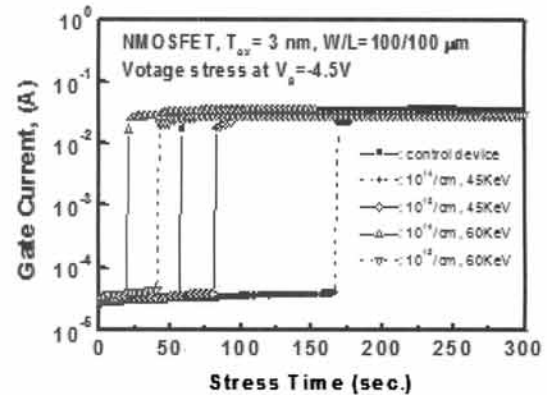


Fig. 5. Dielectric breakdown time of deuterium ion implanted NMOS capacitor.

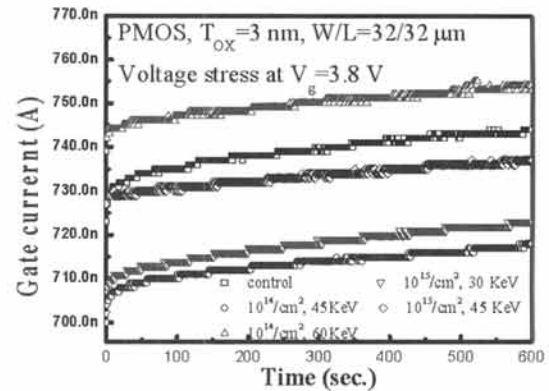


Fig. 6. Gate leakage current of PMOS capacitor for constant voltage stress.

자는 게이트 산화막과 실리콘 사이의 계면에 존재하는 계면 트랩 전하 (interface trap charge)의 생성이 억제되어 나타나는 결과이다. 하지만, 60 keV의 에너지로 이온 주입한 소자에서는 항복 시간이 짧게 나오는데 그 이유는 너무 높은 에너지로 이온 주입을 하게 되면, 오히려 게이트 산화막에 중수소 이온 주입에 의한 손상 (defect)이 가해져 절연막의 특성이 더 좋지 않게 나타나는 것을 알 수 있다. 이러한 결과로 45 keV의 에너지로 중수소 이온 주입하는 것이 최적의 조건이라고 짐작할 수 있다.

그림 6은 PMOS 커패시터에 정전압 스트레스 (constant voltage stress)를 인가하였을 때 나타나는 게이트 전류 (gate current)를 측정 한 것이다.

게이트에 3.8 V를 인가하여 accumulation 상태에서 게이트 전류를 측정하였다. 중수소 이온 주입하지 않

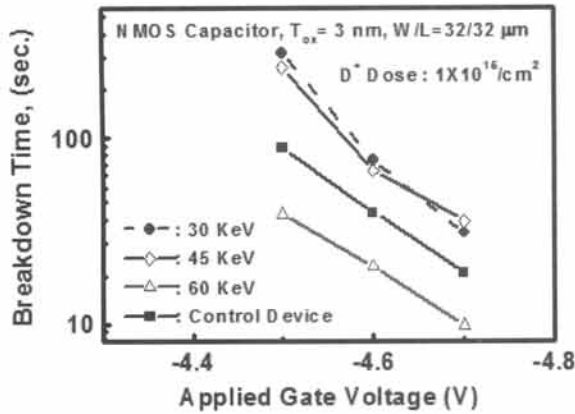


Fig. 7. Time dependent dielectric breakdown for variety of gate constant voltage.

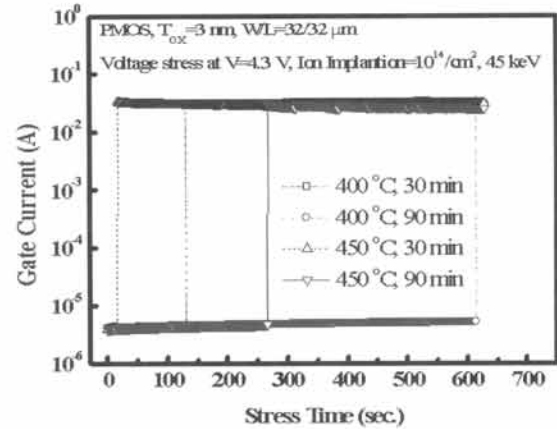


Fig. 8. Dielectric breakdown time of the optimum ion implanted PMOS by the varied annealing terms.

은 소자와 비교하였을 때 45 keV 이하의 에너지로 이온 주입한 소자의 경우 게이트 전류가 작게 나타나는 특성을 갖는다. 이러한 결과로 중수소 이온 주입의 최적 에너지를 알 수 있었다. 특히 60 keV 이상의 에너지로 이온 주입한 소자는 게이트 전류가 많은 것을 알 수 있다. 그 이유 역시 너무 높은 에너지로 이온 주입을 하게 되면, 게이트 산화막에 손상이 생겨 나타난다는 것을 알 수 있다. 또한, 이온 주입 에너지뿐만 아니라, dose의 양에도 관계가 있다는 것을 알 수 있다. 같은 45 keV의 에너지로 이온 주입을 실시한 두 소자를 비교하였을 때, $10^{14}/\text{cm}^2$ 한 소자가 $10^{15}/\text{cm}^2$ 로 이온 주입한 소자에 비해 더 낮은 게이트 전류 특성이 나타났다. 이러한 이유는 이온 주입을 할 때 단위 면적에 손상을 입는 양이 $10^{14}/\text{cm}^2$ 가 더 적기 때문에 게이트 산화막의 손상이 더 적기 때문이라고 판단된다. 반면, $10^{14}/\text{cm}^2$ 과 $10^{15}/\text{cm}^2$ 의 이온 주입 정도는 큰 차이가 없기 때문에 $10^{14}/\text{cm}^2$ 의 이온 주입이 더 최적 조건이라고 판단할 수 있다.

그림 7은 NMOS 커패시터의 중수소 이온 주입 조건에 따른 항복 시간을 정전압 인가 조건의 변화에 관한 그래프이다.

그림 7은 그림 5에서 보다 높은 게이트 전압을 인가하였을 때 항복 시간을 측정하는 것이다. 그림 7에서도 그림 5와 같은 결과로 중수소 이온 주입을 한 소자가 중수소 이온 주입을 하지 않은 소자에 비해 항복 시간이 더 길게 나타났다. 특히 $10^{15}/\text{cm}^2$ 로 동일한 dose량에서 30 keV의 에너지로 이온 주입한 소자는 이온 주입을 하지 않은 소자에 비해 항복시간이

길게 측정되었다. 이것은 중수소 이온 주입이 안정적인 조건으로 주입되어 계면 부분에 존재하는 트랩이 감소한 결과이다. 하지만, 60 keV의 에너지로 이온 주입한 경우, 이온 주입을 하지 않은 소자보다 전체적으로 항복시간이 짧게 측정되었다. 이온 주입의 에너지가 강하게 되면 게이트 산화막에 손상을 야기할 수 있다는 것을 나타낸다. 즉, 게이트 산화막의 손상을 최소화하면서 안정적인 이온 주입을 할 수 있는 에너지 조건을 찾는 것이 게이트 산화막의 절연특성을 향상시킬 수 있는 중요한 요인이라는 것을 알 수 있다.

지금까지 연구해 본 중수소 이온 주입의 최적 에너지는 $10^{14}/\text{cm}^2$ 의 도즈(dose)량과 45 keV가 N-PMOS 커패시터의 가장 안정적인 에너지라고 할 수 있다. 또한, 중수소 이온 주입 후 질소 분위기로 실리콘 결정의 손상 (defect)을 억제하였다. 이때의 온도는 400 °C에서 30분 동안 어닐링을 하였다. 하지만, 어닐링의 조건을 온도와 시간을 변화시켜 최적의 조건을 찾을 필요가 있다고 생각한다. 그림 9는 어닐링 온도와 시간 변화에 따른 PMOS 커패시터의 항복 시간을 측정하는 것이다.

그림 8은 앞서 연구가 중수소 이온 주입 조건 중 최적의 조건이라 판단되는 조건으로 중수소 이온 주입을 한 소자를 이용하였다. 어닐링 조건은 기존에 400 °C에서 30분 동안 한 소자와 90분 동안 한 소자, 450 °C로 어닐링을 실시한 소자 450 °C를 90분 동안 실시한 소자로 측정을 하였다. 측정 결과, 400 °C에서 90분 동안 어닐링을 실시한 소자는 400 °C에서 30분 동안

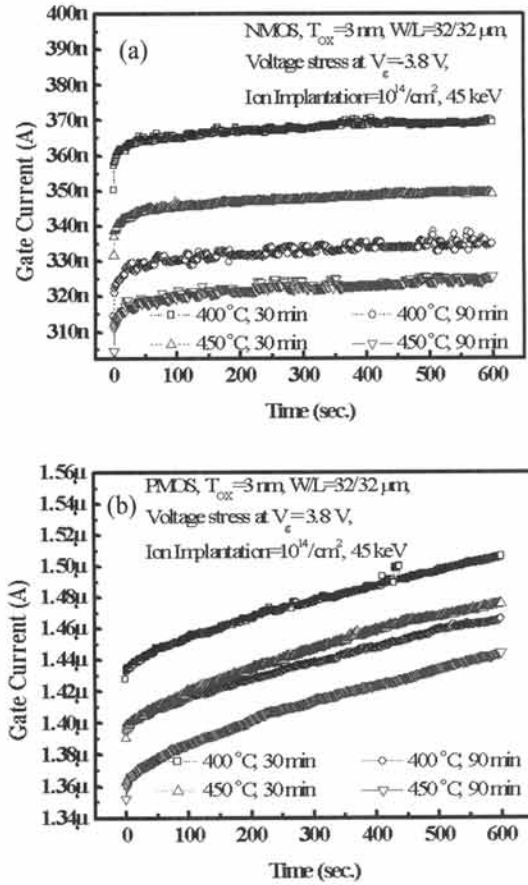


Fig. 9. Gate leakage current of (a) NMOS and (b) PMOS by varied annealing terms.

어닐링을 한 소자보다 약 6배 정도 긴 항복 시간을 갖았다. 반면, 450°C에서 30분 동안 어닐링을 실시한 소자는 약 30초 정도로 절연 파괴 시간이 짧게 나타났다. 이것은 전기적인 스트레스뿐만 아니라, 열적 스트레스가 게이트 산화막에 더 가해져 나타난 결과로 판단된다. 또한, 어닐링은 90분 이상 실시하는 것이 가장 최적의 조건이라고 판단된다.

그림 9은 NMOS와 PMOS에서의 어닐링에 따른 게이트 누설 전류 (gate leakage current)를 측정된 그림이다. 같은 조건으로 이온 주입을 한 소자에 어닐링의 온도와 시간을 변화시켜 게이트 누설 전류를 측정하였다. 이 때 게이트에 인가된 전압은 각 소자의 역바이어스 (reverse bias)를 인가하여 스트레스를 인가하였다.

그림 9에서 전류의 크기와 양은 미세한 차이만 보이지만, NMOS와 PMOS의 특성은 같게 나온 것을

알 수 있다. 이것은 앞서 제시한 그림 8의 특성에서도 알 수 있듯이 어닐링 시간을 길게 가질수록 게이트의 누설 전류는 작게 나타났다.

4. 결론

본 논문에서는 MOS 구조로 이루어진 소자에 중수소 이온 주입 방법을 사용하여 소자의 전기적 특성을 분석하였다. 중수소 이온 주입의 최적의 조건을 찾고, 최적의 조건으로 이온 주입한 소자의 전기적 특성을 분석하였다. 중수소 이온을 최적의 조건으로 주입하게 되면, 수소 열처리 공정을 이용한 일반적인 소자보다 전기적 특성이 우수하게 나타났다. 또한, 소자가 파괴되는 시간이 증가하는 것을 알 수 있었다. 하지만, 최적의 조건이 아닌 이온 주입을 하게 되면, 오히려 게이트 산화막에 손상이 가해져 게이트 전류가 증가하고, 항복 시간이 낮게 나타나는 결과가 생겼다. 최적의 조건으로 중수소 이온 주입을 하게 되면, 게이트 산화막과 실리콘과의 계면 특성이 향상되어 일반적인 소자보다 절연 특성이 좋아지게 된다. 또한, 중수소 이온 주입 후 게이트 산화막의 손상을 최소화하기 위해 질소 분위기에서 어닐링 공정을 실시한다. 이때, 어닐링 온도와 시간을 변화하여 전기적 특성을 측정하였다. 하지만, 어닐링의 온도가 높으면 오히려, 열적 스트레스가 크게 작용하여 게이트 산화막의 항복 시간을 단축시키는 결과를 초래하였다. 반면, 어닐링의 시간이 증가하게 되면, 항복시간의 증가와 게이트 누설 전류의 감소를 확인할 수 있었다. 이러한 결과로 중수소 이온 주입을 최적의 조건으로 실행하고 질소 분위기의 어닐링 시간을 길게 한다면 현재 사용되고 있는 수소 열처리 공정을 대체할 수 있는 공정으로 판단된다.

감사의 글

본 연구는 교육과학기술부의 원자력개발 사업 및 21세기 프론티어연구개발사업으로 시행한 양성자기반 공학기술개발사업의 지원을 받았다.

REFERENCES

- [1] S. T. Pantelides, S. N. Rashkeev, R. Buczko, D. M. Fleetwood, and R. D. Schrimpf, *IEEE Trans. Nucl. Sci.*, 47, 2262 (2000).
- [2] B. Tuttle, *Phys. Rev.*, B59, 12884 (1999).
- [3] K. Hess, I. C. Kizilyalli, and J. W. Lyding, *IEEE Trans. Elec. Dev.*, 45, 406 (1998).
- [4] T. Kundu and D. Misra, *IEEE Trans. Dev. Mater. Reliab.*, 6, 288 (2006).
- [5] J. W. Lyding, K. Hess, and I. C. Kizilyalli, *Appl. Phys. Lett.*, 68, 2526 (1996).
- [6] M. H. Lee, C. H. Lin, and C. W. Liu, *IEEE Trans. Elec. Dev.*, 22, 519 (2001).
- [7] J. Wu, E. Rosenbaum, B. MacDonald, E. Li, B. Tracy, and P. Fang, *IEEE Int. Reliab. Phys. Symp.*, 38, 27 (2000).
- [8] J. S. Lee, S. W. Do, and Y. H. Lee, *IEEK*, 45, 23 (2008).
- [9] J. H. Chen, C. T. Wei, S. C. Wong, and Y. H. Wang, *Phys. Scripta.*, T101, 10 (2001).