

고내압 IGBT의 전기적 특성 향상에 관한 연구

안병섭¹, 정현석¹, 정은식², 김성종¹, 강이구^{1,a}

¹ 극동대학교 에너지반도체학과

² 고려대학교 전기공학과

High Voltage IGBT Improvement of Electrical Characteristics

Byoung-Sup Ahn¹, Hun-Suk Chung¹, Eun-Sik Jung², Seong-Jong Kim¹, and Ey-Goo Kang^{1,a}

¹ Department of Energy Semiconductor Engineering, Far East University, Eumseong 369-700. Korea

² Department of Electrical Engineering, Korea University, Seoul 136-701, Korea

(Received February 20, 2012; Revised February 22, 2012; Accepted February 24, 2012)

Abstract: Development of new efficient, high voltage switching devices with wide safe operating area and low on-state losses has received considerable attention in recent years. One of those structures with a very effective geometrical design is the trench gate Insulated Gate Bipolar Transistor(IGBT).power IGBT devices are optimized for high-voltage low-power design, decided to aim. Class 1,200 V NPT Planer IGBT, 1,200 V NPT Trench IGBT for class has been studied.

Keywords: IGBT, Breakdown voltage, Planer, Trench, Threshold voltage, Latch-up

1. 서 론

최근 몇 년 사이 국내 태양광인버터 시장이 과열양상을 보이고 있다. 인버터에 들어가는 주된 부품들은 PWM IC (pulse width modulation), OPAMP, Relay 등이 있다. 본 논문에서는 이러한 부품들 중에서 PWM IC에 의해 구동되는 파워 스위치 소자인 IGBT (insulated gate bipolar transistor)에 대해 낮은 전력손실과 높은 전류 구동능력을 가질 수 있도록 하기 위한 최적화 설계에 대해 연구하였다. 설계 변수의 변화에 따른 소자의 전기적 특성을 검증하기 위해 1,200 V급 NPT planar 및 trench 구조를 가지는 IGBT를 설계하여 cell pitch, cell depth, 드리프트 영역의 농도와 같은 설계 변수의 변화에 따른 소자의 전기적 특성 분석을 수행하였다. 설계 변수에 따른

소자의 특성 변화는 소자 설계 및 특성 평가용 시뮬레이터인 TCAD를 사용하여 검증하였다.

2. 실험 방법

다음 그림은 NPT planer IGBT 구조와 NPT trench IGBT 구조를 나타내고 있다. 이번 연구를 위하여 기본적인 구조의 IGBT를 설계하였고, planer 구조를 완성한 후에 NPT planer gate IGBT의 같은 항복전압과 작은 cell size의 낮은 온-상태 전압 강하를 갖는 구조의 NPT trench gate IGBT를 설계하였다.

Planar 타입의 IGBT에 대해 설계변수에 따른 항복 전압을 분석하기 위해 항복전압에 가장 큰 영향을 주는 N-drift 영역의 두께와 농도 변화에 따른 시뮬레이션을 수행하여 항복전압과 온-상태 전압강하 특성간의 트레이드-오프 관계를 확인하였고, JFET 영역의 농도와 게이트의 크기에 따른 온-상태 전압 강하

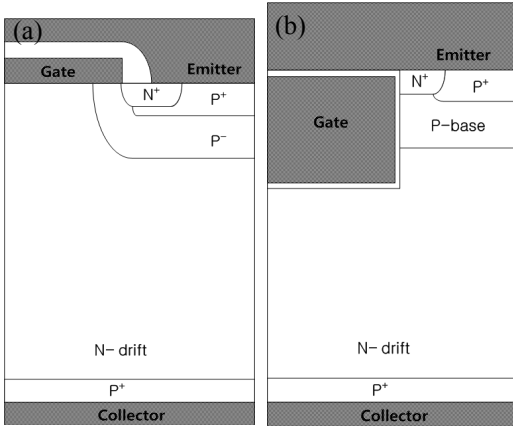


Fig. 1. IGBT structure in general. (a) NPT planer IGBT, (b) NPT trench IGBT.

특성을 분석, P-base의 크기와 농도의 따른 문턱전압 특성을 확인하였다.

2.1 1200V 급 NPT Planer IGBT 설계

2.1.1 BV와 온-상태 전압강하 향상을 위한 N-Drift 변화의 따른 시뮬레이션

소자의 전기적 특성에 가장 큰 영향을 미치는 요소인 N-drift 영역의 농도는 IGBT 소자의 항복전압을 결정하는데 가장 중요한 영향을 미치는 부분이기 때문에 N-drift의 크기와 농도 (비저항)에 따른 시뮬레이션을 실험해 보았다.

그림 2에 N-drift depth를 175 μm ~200 μm 까지 5 μm 씩 증가시켰을 때 항복전압과 온-상태 전압 강하 특성을 나타내었다.

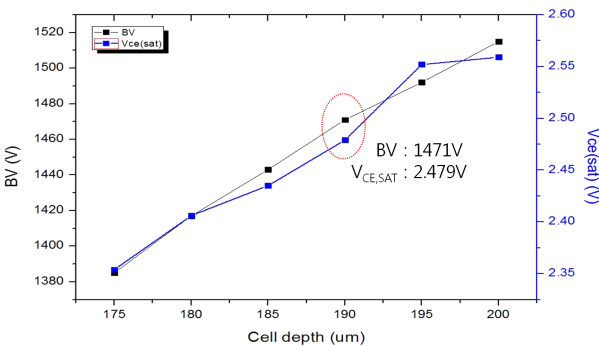


Fig. 2. N-Drift depth by breakdown voltage and Vce(sat).

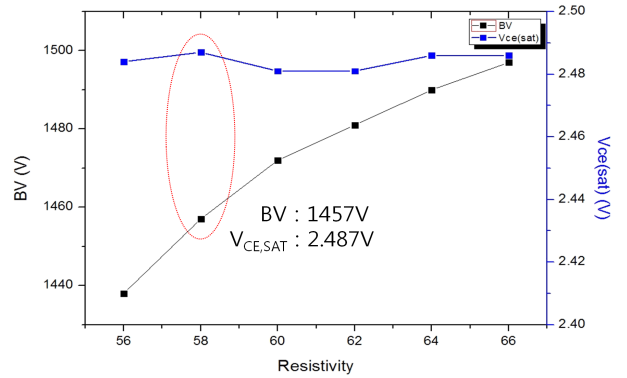


Fig. 3. N-Drift Resistivity by breakdown voltage and Vce(sat).

Table 1. N-Drift resistivity by breakdown voltage and Vce(sat).

Cell Pitch (μm)	Cell depth (μm)	Breakdown Voltage (V)	V _{ce,sat} (A)
12	175	1,385	2.354
	180	1,471	2.406
	185	1,443	2.435
	190	1,471	2.479
	195	1,492	2.552
	200	1515	2.559

Table 2. N-Drift resistivity by breakdown voltage and Vce(sat).

Cell depth (μm)	Resistivity (Ω)	Breakdown Voltage (V)	V _{CE,SAT} (A)
190	56	1,438	2.484
	58	1,457	2.487
	60	1,472	2.481
	62	1,481	2.481
	64	1,490	2.486
	66	1,497	2.491

본 연구에서는 항복전압 1,200 V급 NPT planer IGBT 소자의 항복전압과 순방향 전압을 고려하여, 표 1번과 같이 순차적으로 N-Drift의 크기를 175 μm ~200 μm 까지 진행을 하여 항복전압 1,471 V와 V_{CE,SAT}이 2.479 V가 나오는 190 μm 로 진행하였고, 표 2번과 같이 N-Drift의 비저항을 선정하기 위해서 56 Ω ~66 Ω 까지 진행을 하여 항복전압 1,457 V와 V_{CE,SAT}이 2.487 V인 비저항 58 Ω 으로 선정하여 진행하였다.

2.1.2 온-상태 전압강하 특성을 위한 시뮬레이션

IGBT의 전압강하는 채널영역의 전압강하와 JFET 영역, 축적층 전압강하의 합이다. 드리프트층 저항의 감소 때문에 JFET 저항과 채널 저항이 온-상태 콜렉터-에미터 사이의 전압강하에서 차지하는 부분이 증가한다. 그러므로 IGBT에서 좋은 특성을 나타내려면 JFET과 채널 저항을 낮추는 설계가 중요한 요소이다. 채널에서의 전압강하는 채널 길이, 게이트산화막 두께에 비례하고 채널 너비, 전자이동도 그리고 게이트 바이어스에 반비례한다. 채널 너비는 각각의 단위 셀의 크기를 줄여 회로 직접도를 높임으로써 크게 할 수 있으나 이렇게 되면 JFET 저항이 크게 증가하게 된다. 그래서 본 논문은 항복전압 시뮬레이션에서 나온 cell depth는 190 μm 와 비저항은 58을 결정한 스펙에 JFET의 농도는 $9\text{e}11\text{ cm}^{-3} \sim 3\text{e}12\text{ cm}^{-3}$ 까지와 gate의 크기는 6 $\mu\text{m} \sim 10\text{ }\mu\text{m}$ 까지 변화하여 항복전압과 온상태 전압강하에 따른 시뮬레이션을 진행하였다.

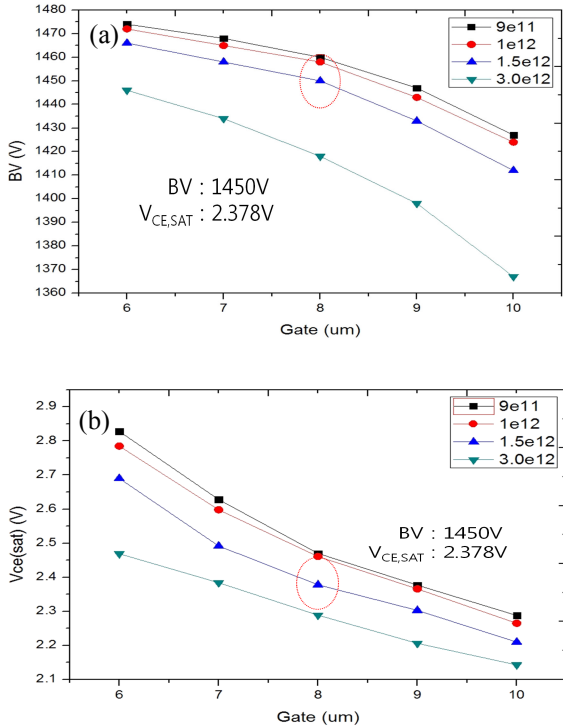


Fig. 4. Gate pitch, JFET dose by breakdown voltage and Vce(sat) (a) breakdown voltage, (b) Vce(sat).

Table 3. Gate pitch, JFET dose by breakdown voltage and Vce(sat) (a) breakdown voltage, (b) Vce(sat).

Gate pitch (μm)	JFET dose (cm^{-3})	Breakdown Voltage (V)	$V_{\text{CE,SAT}}$ (A)
6	9e11	1,474	2.828
	1e12	1,472	2.785
	1.5e12	1,466	2.690
7	3e12	1,446	2.469
	9e11	1,468	2.628
	1e12	1,465	2.598
8	1.5e12	1,458	2.492
	3e12	1,434	2.384
	9e11	1,460	2.470
9	1e12	1,458	2.461
	1.5e12	1,450	2.378
	3e12	1,418	2.289
10	9e11	1,447	2.377
	1e12	1,443	2.366
	1.5e12	1,433	2.303
10	3e12	1,398	2.206
	9e11	1,427	2.288
	1e12	1,424	2.265
10	1.5e12	1,412	2.210
	3e12	1,367	2.143

본 연구를 통해서 그림 4번에서 보시는 바와 같이 gate의 크기가 작아지면 항복전압은 낮아지고 온-상태 전압강하는 낮아지므로 서로 트레이드 오프 관계인 것을 확인할 수 있었다. 이렇게 하여 본 실험을 통하여 1,200 V급 공정 스펙 상 오차범위인 20%를 감안하여 항복전압이 1,450 V가 나오는 gate pitch는 8 μm , JFET 부분의 dose는 $1.5\text{e}12\text{ cm}^{-3}$ 로 표 3에서 보는 바와 같이 선정하여 진행하였다.

2.1.3 문턱전압을 위한 P-base 변화의 따른 시뮬레이션

본 연구를 통해서 그림 5에서 보시는 바와 같이 P-Base의 농도가 낮을수록 문턱전압은 낮아지지만 농도가 낮으면 래치-업 현상이 발생하는 것을 확인할 수 있었다. 그래서 본 실험을 통해서 래치-업 현상이 20 V까지 발생하지 않는 농도인 $6.5\text{e}10^{13}$ 으로 진행하였다.

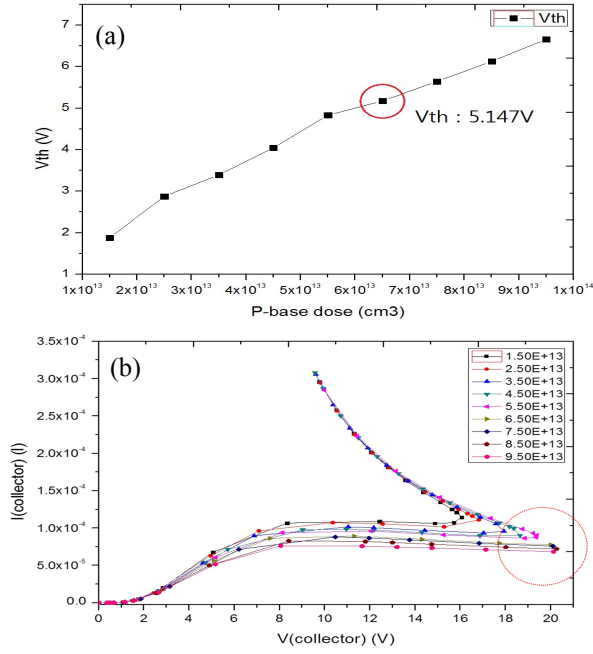


Fig. 5. P-base by threshold voltage and latch-up (a) threshold voltage, (b) latch-up.

2.2 1,200 V급 NPT trench IGBT 설계

1,200 V NPT planer IGBT의 설계에 이어서 1,200 V NPT trench IGBT 설계를 진행하였다. 1,200 V급 trench 타입은 planer 타입의 cell depth 190 μm , resistivity 58인 상태에서 cell size의 크기는 감소시키고, 문턱전압과 항복전압은 같은 상태에서 $V_{CE,SET}$ 의 감소를 목표로 진행을 하였다.

2.2.1 BV와 온-상태 전압강하 향상을 위한 N-Drift 변화의 따른 시뮬레이션

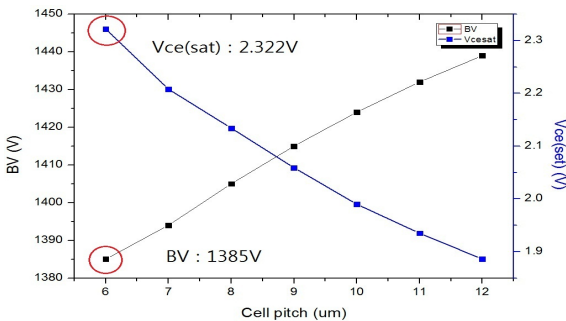


Fig. 6. Cell pitch, gate pitch by breakdown voltage and $V_{ce(sat)}$.

Table 4. Cell pitch, gate pitch by breakdown voltage and $V_{ce(sat)}$.

Cell pitch (μm)	Gate pitch (μm)	Breakdown Voltage (V)	$V_{CE,SAT}$ (A)
6	1.5	1,385	2.322
7	1.75	1,386	2.208
8	2	1,388	2.134
9	2.25	1,391	2.159
10	2.5	1,394	1.990
11	2.75	1,398	1.935
12	3	1,401	1.886

본 연구에서는 planer 타입과 비교하기 위해서 비저항 58 Ω 과 cell depth 190 μm 으로 동일하게 하였고, 표 4번과 같이 1,200 V급 NPT trench IGBT 소자의 항복전압과 순방향 전압을 고려하여, cell pitch의 크기를 6 μm ~12 μm 까지 선정하고 gate 크기는 cell pitch의 25%를 가지는 크기로 진행을 하여 항복전압 1,385 V와 $V_{CE,SAT}$ 이 2.322 V가 나오는 cell pitch 6 μm 로 진행하였다.

2.2.2 항복전압과 온-상태 전압강하를 위한 시뮬레이션

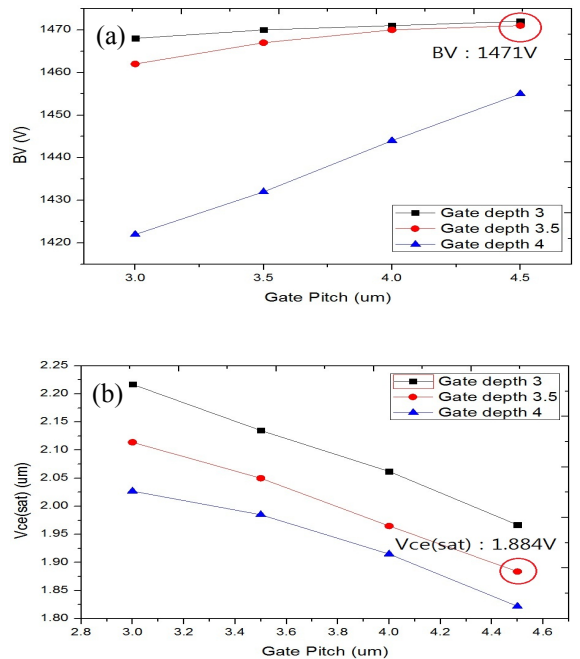


Fig. 7. Gate pitch by breakdown voltage and $V_{ce(sat)}$ (a) breakdown voltage (b) $V_{ce(sat)}$.

Table 5. Gate pitch by breakdown voltage and $V_{ce(sat)}$
(a) breakdown voltage, (b) $V_{ce(sat)}$.

Gate depth (μm)	Gate pitch (μm)	Breakdown Voltage (V)	$V_{CE,SAT}$ (A)
3	3	1,468	2.217
	3.5	1,470	2.135
	4	1,471	2.062
	4.5	1,472	1.967
3.5	3	1,462	2.114
	3.5	1,467	2.050
	4	1,470	1.965
	4.5	1,471	1.884
4	3	1,422	2.027
	3.5	1,432	1.985
	4	1,444	1.915
	4.5	1,455	1.822

본 연구에서는 cell pitch 6 μm 를 선정한 크기에 gate의 크기의 변화의 따른 항복전압과 온-상태 전압 강하 비교 실험을 위해서 gate pitch는 3.0 μm ~4.5 μm 까지, gate depth는 3.0 μm ~4.0 μm 까지 진행을 하여 항복전압과 온-상태 전압강하를 비교하여 보았다.

본 연구를 통해서 표 5와 같이 gate의 크기가 커질 수록 항복전압과 온-상태 전압강하 사이에 트레이드-오프 관계를 확인할 수 있었으며, 본 실험을 통하여 항복전압 1,471 V와 $V_{CE,SAT}$ 이 1.884 V가 나오는 gate pitch 4.5 μm , gate depth는 3.5 μm 로 진행하였다.

2.2.3 문턱전압을 위한 P-base 변화의 따른 시뮬레이션

본 연구를 통해서 그림 8에서 보시는 바와 같이 P-Base의 농도가 낮을수록 문턱전압은 낮아지지만 농도가 낮으면 래치-업 현상이 발생하는 것을 확인할 수 있었다. 그래서 본 실험을 통해서 래치-업 현상이 20 V까지 발생하지 않는 농도인 $3\text{e}13$ 으로 진행하였다.

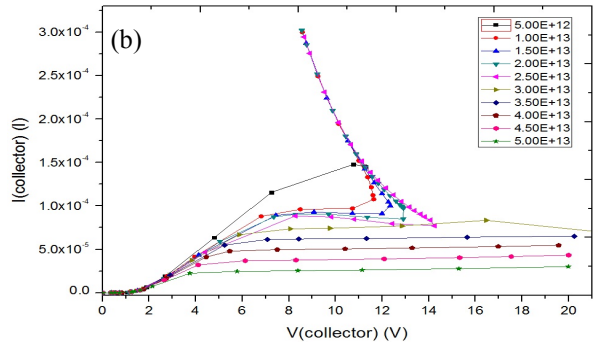
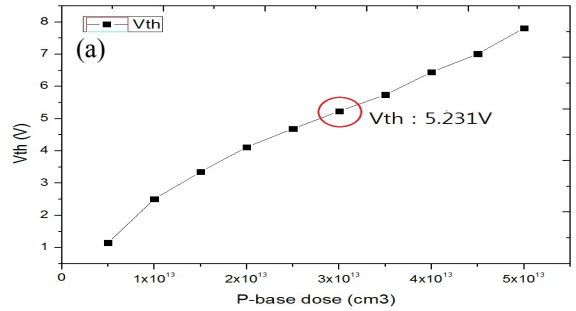


Fig. 8. P-base by threshold voltage and latch-up (a) threshold voltage, (b) latch-up.

3. 결과 및 고찰

3.1 설계한 planer IGBT와 trench IGBT 비교

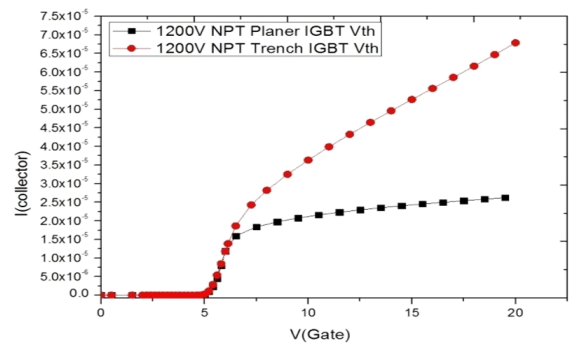


Fig. 9. Planer IGBT designed to compare the threshold voltage trench IGBT.

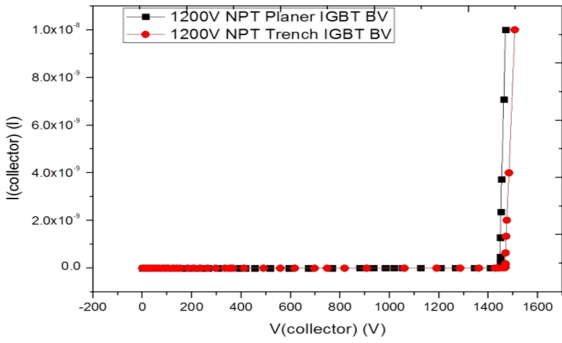


Fig. 10. Designed planer IGBT and trench IGBT breakdown voltage comparator.

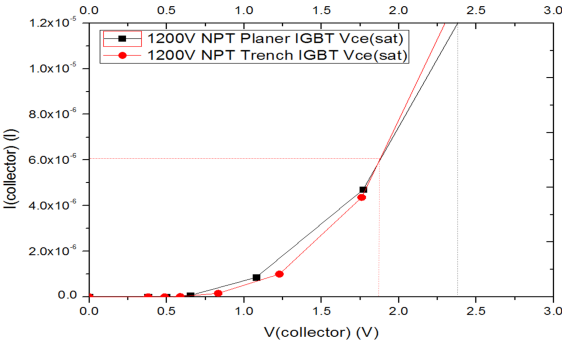


Fig. 11. Designed planer IGBT and trench IGBT on-state voltage drop comparison.

Table 6. Comparison with planner IGBT designed trench IGBT.

Type	V _{TH} (V)	BV (V)	V _{CE,SAT} (V)	Cell Size (μm)
Planer IGBT	5.174	1,452	2.421	12
Trench IGBT	5.231	1,469	1.889	6
Improved performance			22%	50%

그림 9, 10, 11번의 그림은 planer 타입과 trench 타입의 문턱전압과 항복전압, 온-상태 전압강하를 비교한 그림이다. 그림에서 보시는 바와 같이 문턱전압과 항복전압은 동일한 조건에서 온-상태 전압강하가 줄어든 것을 확인할 수 있었다.

4. 결론

시뮬레이션을 통해서 1,200 V급 NPT planer IGBT와 1,200 V급 NPT trench IGBT 비교 분석을 하였다. Cell size의 따라 항복전압과 온-상태 전압강하 분석을 하여 cell size가 커질수록 드리프트 영역이 커짐으로써 항복전압은 상승하지만 온-상태 전압강하는 상승하여 서로 간에 트레이드 오프관계를 확인하였으며, 드리프트 영역의 비저항에 따라서 드리프트 저항력으로 인하여 항복전압과 온-상태 전압강하 간에 관계를 확인하였다. 또한 planer 타입의 JFET 영역과 gate의 관계에 따라서 변화하는 항복전압과 온-상태 전압강하를 분석하였으며, P-base의 농도와 크기에 따라서 문턱전압과 래치-업 발생에 대하여 살펴보고, 비교 결과 planer 구조에서 항복전압과 문턱전압은 동일한 조건이고 cell size가 12 μm에서 6 μm로 50%가 감소했지만 온-상태 전압강하도 2.421 V에서 1.889 V로 약 22% 감소하는 것을 확인할 수 있었다.

감사의 글

이 논문은 한국연구재단의 지역대학 우수과학자 (2011_0013760) 및 지식경제부와 한국산업 기술진흥원의 지역 산업개발 사업으로 수행된 연구 결과입니다.

REFERENCES

- [1] B. J. Baliga (PWS Publishers, Boston, 1996)
- [2] E. G. Kang, B. S. Ahn, and T. J. Nam, *J. KIEEME*, **23**, 273 (2010).
- [3] J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KEEEME*, **19**, 912 (2006).
- [4] E. G. Kang and M. Y. Sung, *J. KIEEME*, **13**, 371 (2000).