

# 1,200 V급 Trench Gate Field Stop IGBT 소자의 전기적 특성 향상 방안에 관한 연구

김종민<sup>1</sup>, 정은식<sup>1</sup>, 강이구<sup>2</sup>, 성만영<sup>1,a</sup>

<sup>1</sup> 고려대학교 전기공학과

<sup>2</sup> 극동대학교 태양광공학과

## A Study on the Electrical Characteristics with Design Parameters in 1,200 V Trench Gate Field Stop IGBT

Jong-min Geum<sup>1</sup>, Eun-Sik Jung<sup>1</sup>, Ey-Goo Kang<sup>2</sup>, and Man-Young Sung<sup>1,a</sup>

<sup>1</sup> Department of Electrical Engineering, Korea University, Seoul 136-713, Korea

<sup>2</sup> Department of Photovoltaic Engineering, Far East University, Eumsung 369-700, Korea

(Received March 16, 2012; Revised March 21, 2012; Accepted March 23, 2012)

**Abstract:** IGBT (insulated gate bipolar transistor) have received wide attention because of their high current conduction and good switching characteristics. To reduce the power loss of IGBT, the on state voltage drop should be lowered and the switching time should be shorted. However, there is Trade-off between the breakdown voltage and the on state voltage drop. To achieving good electrical characteristics, field stop IGBT (FS IGBT) is proposed. In this paper, 1,200 V planar gate non punch-through IGBT (planar gate NPT IGBT), planar gate FS IGBT and trench gate FS IGBT is designed and optimized. The simulation results are compared with each three structures. In results, we obtain optimal design parameters and confirm excellence of trench gate FS IGBT. Experimental result by using medici, shows 40% improvement of on state voltage drop.

**Keywords:** Insulated gate bipolar transistor, Field stop IGBT, Trench gate, On state voltage drop

### 1. 서 론

파워 반도체 소자는 고전압, 대전류를 스위칭하는데 쓰이는 소자들을 통칭한다. 현재 사용되고 있는 소자들로는 BJT (bipolar junction transistor), 사이리스터 (thyristor), GTO (gate turn off thyristor), DIAC (diode for alternating current), 파워 MOSFET (metal oxide silicon field effect transistor), IGBT 등이 널리 사용되고 있다 [1].

많은 파워 반도체 소자 중에서도 IGBT는 현재 개발된 전력용 소자 중 고전압, 고전류에 적합한 파워 반도체 소자로써 각광받고 있다. 이는 IGBT가 스위칭 특성이 탁월한 MOSFET과 높은 전류 구동 능력, 낮은 순방향 전압강하와 우수한 순방향 전도 특성을 갖는 BJT를 결합한 형태의 특성을 가지고 있기 때문이다 [1-3].

IGBT는 시스템의 전력소모를 줄이기 위해서 높은 항복전압을 유지하고 스위칭 특성에서 턴 오프 특성은 저하되지 않으면서 온 상태 전력 소모를 줄이는 방향으로 기술발전이 진행되었다. 그러나 고전압 영

2. 실험 방법

2.1 Planar gate NPT IGBT 소자의 구조 및 동작 원리

그림 1은 planar gate NPT IGBT의 구조와 항복 상태 시 electric field의 분포를 나타내고 있다. NPT IGBT는 IGBT 소자 구조 중에서 오프 상태 시 N drift 영역 전체가 공핍화되기 전에 avalanche 현상에 의해서 항복상태가 되도록 N drift 영역의 두께를 충분히 크게 만든 소자이다. 항복 상태 시 전계는 삼각형 모양으로 분포된다 [5]. NPT IGBT의 전기적 특성에 영향을 미치는 파라미터들 중에서 항복전압과 온 상태 전압강하에 영향을 미치는 중요한 파라미터는 N drift 영역의 두께이다. N drift 층의 농도는 온 상태 전압강하에 큰 영향을 주지 않는다. 그 이유는

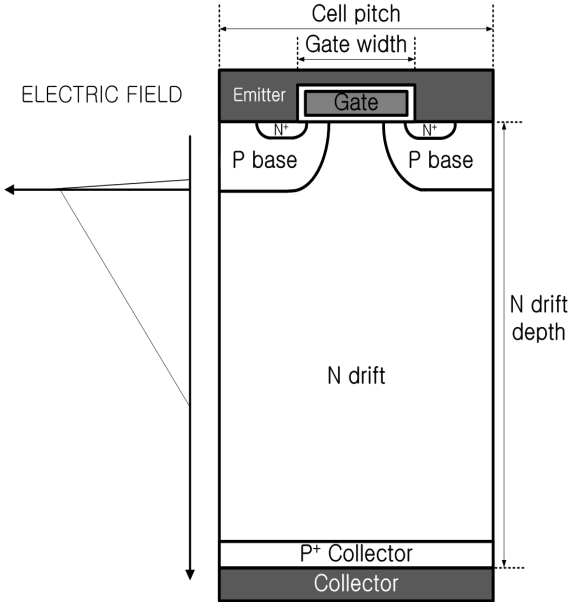


Fig. 1. Structure of planar gate NPT IGBT and electric field of forward-blocking state.

역에서 IGBT를 사용하게 되면서 높은 항복전압 특성을 만족하기 위해 N drift 영역의 농도를 낮추고 길이를 증가시키면서 온 상태 전압강하가 증가하는 trade-off 관계가 나타나게 되었다. 따라서 설계의 최적화와 새로운 구조 개발을 통해 온 상태 전압강하를 감소시키면서 항복전압을 증가시키는 것이 파워 반도체 소자에서 중요한 테마로 연구되고 있다.

IGBT 소자의 전기적 특성을 향상시키면서 공정단가를 낮추어 생산성을 더 좋게 만든 NPT IGBT가 제안되었다. NPT IGBT는 wafer thinning 기술을 사용하여 웨이퍼 두께를 약 150 μm 이하로 줄인 후 후면공정으로 P+ collector를 도핑하여 형성하므로 공정단가가 낮다. 이후 NPT IGBT에서 N buffer를 후면공정 doping으로 추가한 FS IGBT가 제안되었다 [4].

본 연구에서는 이미 생산되어 제품이 양산되고 있는 1,200 V급 NPT IGBT의 시뮬레이션 최적화 설계와 더불어 1,200 V급 FS IGBT의 gate 구조를 두 가지로 적용하여 planar gate FS IGBT와 trench gate FS IGBT의 최적 설계를 수행하였으며, 그에 따른 소자 및 공정 파라미터를 추출하여 소자의 최적화를 완성하였다.

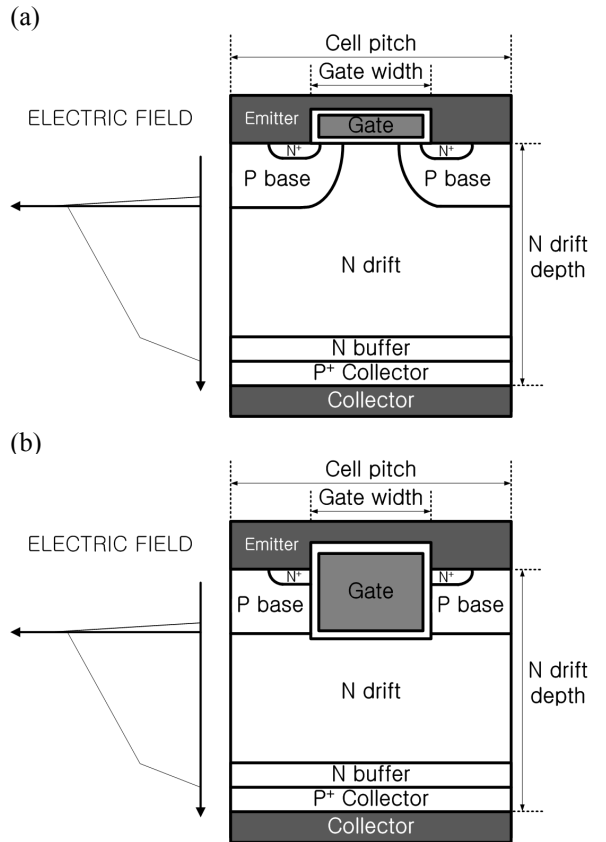


Fig. 2. Structure of FS IGBT and electric field of forward-blocking state (a) planar gate FS IGBT, (b) trench gate FS IGBT.

IGBT의 온 상태 특성인 전도도 변조 현상 (conductivity modulation) 때문이다. 전도도 변조 현상은 IGBT의 N drift 영역에 채널을 통해서 주입되는 전자와 P+ collector에서 주입되는 홀이 축적되어 전도도가 높아지는 현상을 말한다. N drift 영역의 두께는 온 상태 전압강하와 항복전압 모두에 영향을 주는 파라미터이다. N drift 영역의 두께가 두꺼워질수록 항복전압은 증가하지만 반대로 온 상태 전압강하는 감소하는 trade-off 관계를 확인할 수 있다. 결국 NPT IGBT 소자 설계를 위해서는 온 상태 전압강하와 항복전압의 최적 설계 지점을 찾아 설계하는 것이 중요하다.

NPT IGBT에서는 항복상태가 되기 전에 N drift 영역이 모두 공핍화 되면서 punch-through 상태가 되는 것을 막아야 한다. 따라서 설계를 위해서는 NPT IGBT에서 항복상태 시 최대 공핍층 확장 두께보다 큰 값으로 N drift 영역 두께를 설정해야 한다.

## 2.2 Planar gate FS IGBT와 trench gate FS IGBT 소자의 구조 및 동작원리

그림 2(a)는 planar gate FS IGBT의 구조와 항복 상태 시 electric field의 전계 분포도이다. Planar gate FS IGBT는 NPT IGBT의 구조에서 온 저항 특성을 더 좋게 하기 위해서 제안된 구조로, NPT IGBT 소자 구조에 N buffer층을 후면공정으로 doping하여 삽입하고, 이후 P+ collector를 약하게 doping하여 구조를 만든 소자이다 [6]. FS IGBT는 전계분포가 삼각형이 아닌 사각형으로 형성되기 때문에 N drift 영역이 얇아도 충분한 항복전압 특성을 가질 수 있다. 결국 N drift 영역의 두께가 줄어들지만 항복전압은 같은 수준으로 유지할 수 있으므로 온 상태 전압강하는 감소하게 된다.

FS IGBT에서 중요시되는 공정 파라미터는 바로 N buffer의 농도와 두께이다. 전계분포도가 사각형이 되기 위해서는 N buffer의 농도를 충분히 높여 N buffer와 N drift 사이에 높은 전계가 걸리도록 설계가 되어야 한다. 하지만 N buffer의 농도가 너무 높게 되면 P+ collector에서 들어오는 정공의 주입효율이 감소하게 되면서 온 상태 전압강하가 증가한다. N buffer의 두께도 마찬가지로 너무 두꺼우면 정공의 주입 효율을 감소시키므로 N buffer의 두께와 농도의 적절한 최적점을 찾아서 설계하는 것이 중요하다.

온 저항 특성을 더욱 향상시키기 위해서 그림 2(b)

의 trench gate FS IGBT가 제안되었다. Trench gate FS IGBT는 기존의 planar gate FS IGBT에 trench gate를 적용, 기존 구조에 존재하는 JFET 영역의 저항을 제거하여 온 상태 전압강하를 낮출 수 있는 구조이다. Trench gate FS IGBT는 planar gate FS IGBT와 비교해서 항복전압은 같지만 온 상태 전압강하 측면에서 향상된 특성을 나타낸다 [4].

Gate의 폭과 깊이에 따라서 온 상태 전압강하나 항복전압 특성이 변하므로 최적 설계지점의 공정 파라미터를 추출해야 한다.

## 2.3 1,200 V trench gate FS IGBT 설계 방법

1,200 V급 trench gate FS IGBT 소자를 설계하기 위하여 우선적으로 1,200 V planar gate NPT IGBT의 최적화를 먼저 진행하였다. 그 후 확보된 설계 파라미터를 바탕으로 buffer layer를 삽입한 FS IGBT의 전기적 특성을 medici simulator를 통해 분석하였다. 최종적으로, trench gate를 삽입한 FS IGBT와 앞서 확보한 planar gate FS IGBT를 비교함으로써 세 가지 구조의 최적화 설계를 완성하였다.

### 2.3.1 1,200 V planar gate NPT IGBT 최적화 설계

Table 1. Basic NPT IGBT parameters for simulation.

	Parameter
P Base	Dose 8.0e13 cm <sup>-2</sup>
	Energy 80 KeV
N JFET	Dose 7.0e11 cm <sup>-2</sup>
	Energy 100 KeV
P+ Collector	Dose 1.0e17 cm <sup>-2</sup>
	Energy 80 KeV

1,200 V planar gate NPT IGBT 설계 전에 기본적인 파라미터 값들을 표 1에 나타내었다. NPT IGBT 설계 시 우선적으로 고려해야할 사항은 설계할 소자의 drift 영역 두께이다. Wafer의 비저항을 60 Ωcm로 고정한 후 N drift 영역의 두께를 150 μm부터 300 μm 까지 조절하여 원하는 항복전압을 만족하는 N drift 길이를 확인하였다. 그 결과 drift 두께가 180 μm 일 때 1,200 V 이상의 항복전압을 가지는 것을 확인할 수 있었다. 항복 상태가 일어나기 전에 punch-through

**Table 2.** The electrical characteristics according to JFET dose.

P base dose(cm <sup>-2</sup> )	V <sub>th</sub>
5e13	4.9 V
6e13	5.5 V
7e13	5.8 V
8e13	6.3 V

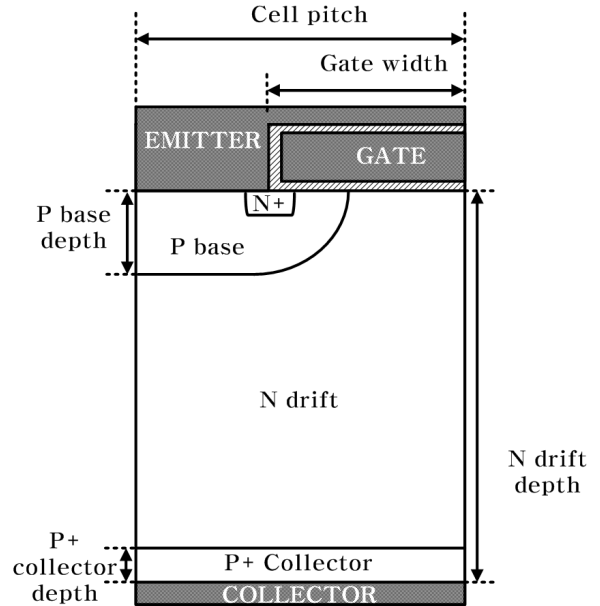
현상이 일어나지 않게 하기 위한 공핍층과 N drift의 길이 차이를 약 22 μm 정도로 설정하였다.

설계 목표치로 잡은 전기적 특성은 항복전압 1,400 V, 문턱전압 5.5 V의 값을 만족시키는 방향으로 설계를 진행하였다. 5.5 V의 문턱전압 특성을 만족시키기 위하여 N JFET과 P base의 dose량을 1e11~4e11 cm<sup>-2</sup>, 5e13~8e13 cm<sup>-2</sup>까지 변화시키면서 설계를 진행하였고 표 2에 그 결과를 정리하였다. 목표치로 설정한 5.5 V의 문턱전압을 얻기 위해서 JFET dose량과 P base dose량을 조절한 결과 JFET dose량이 P base dose량에 비해 약 1/100 정도로 작은 값을 가지기 때문에 문턱전압은 P base dose량에 따라서 변화하는 것을 확인하였고, P base dose량을 6e13 cm<sup>-2</sup>으로 설정하였다. JFET dose량이 증가할수록 JFET 영역에서의 저항이 감소하기 때문에 온 상태 전압강하가 낮아질 것이라고 예상되었지만 JFET dose량은 이미 매우 높은 수치이기 때문에 영향을 미치지 않는다는 것을 확인하였다. 더불어 JFET dose량이 높을수록 P base와 JFET 영역 사이의 PN 정선에 걸리는 전계가 높아지므로 항복전압이 감소하게 된다.

위와 같은 공정 변수들 간의 관계를 고려하여 최적화 시뮬레이션을 완료한 구조를 그림 3에 나타내었고, 그에 따른 파라미터들을 표 3에 표시하였다.

### 2.3.2 1,200 V planar gate FS IGBT 최적화 설계

확보된 1,200 V planar gate NPT IGBT를 토대로 planar gate FS IGBT의 설계를 진행하였다. 최적화된 planar gate NPT IGBT의 N drift 두께를 감소시켜 punch-through가 발생하도록 유도한 후, N buffer 층을 삽입하여 punch-through의 발생을 막는 것과 동시에 전계의 급격한 하강을 유도하였다. 이때 삽입한



**Fig. 3.** Final structure of 1,200 V planar gate NPT IGBT.

**Table 3.** Final 1,200 V planar gate NPT IGBT parameters for simulation.

	Parameter
P Base	Dose 6.5e13 cm <sup>-2</sup>
	Energy 80 KeV
	Depth 2.5 μm
N JFET	Dose 1.0e12 cm <sup>-2</sup>
	Energy 80 KeV
	Depth 4.0 μm
P+ Collector	Dose 1.0e17 cm <sup>-2</sup>
	Energy 80 KeV
	Depth 0.5 μm
Cell Pitch(Half)	15 μm
N drift	Resistivity 60 Ωcm
	Depth 180 μm
Gate width	10 μm

N buffer 층은 후면공정이 아닌 시뮬레이션 상 균일한 농도를 갖고 두께 2.5 μm 층을 가정하였다. 최적화

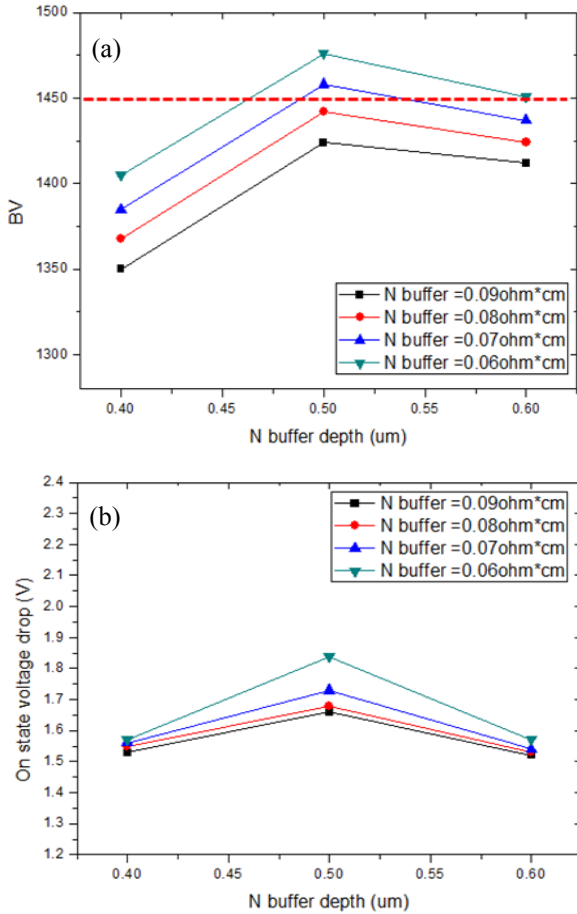


Fig. 4. Simulation results to N buffer depth and resistivity (a) breakdown voltage, (b) on state voltage drop.

과정에 의해 공정파라미터를 추출한 이후, 실제 공정을 고려한 FS IGBT 설계를 진행하여 N buffer 형성 시  $1e14 \text{ cm}^{-2}$ 의 dose량과 200 KeV의 에너지가 필요하다는 것을 확인하였다.

N drift 영역의 두께, 농도 및 N buffer의 농도에 따른 시뮬레이션은 앞서 2.3.1절에서 실시하였던 1,200 V planar gate NPT IGBT의 최적화된 공정 조건을 사용한다. 앞서 설계한 NPT IGBT의 공핍층을 제외한 여유 N drift층의 두께는 22  $\mu\text{m}$ 이기 때문에 FS IGBT에서는 두께가 157  $\mu\text{m}$  이하를 만족해야 한다. N buffer 층의 두께는 2.5  $\mu\text{m}$ , 비저항은  $1 \Omega\text{cm}$ 으로 가정한 후 N drift층의 두께를 감소시킨 결과 설계 목표치의 항복전압을 얻기 위해서 110  $\mu\text{m}$ 의 N drift 두께를 결정하였다.

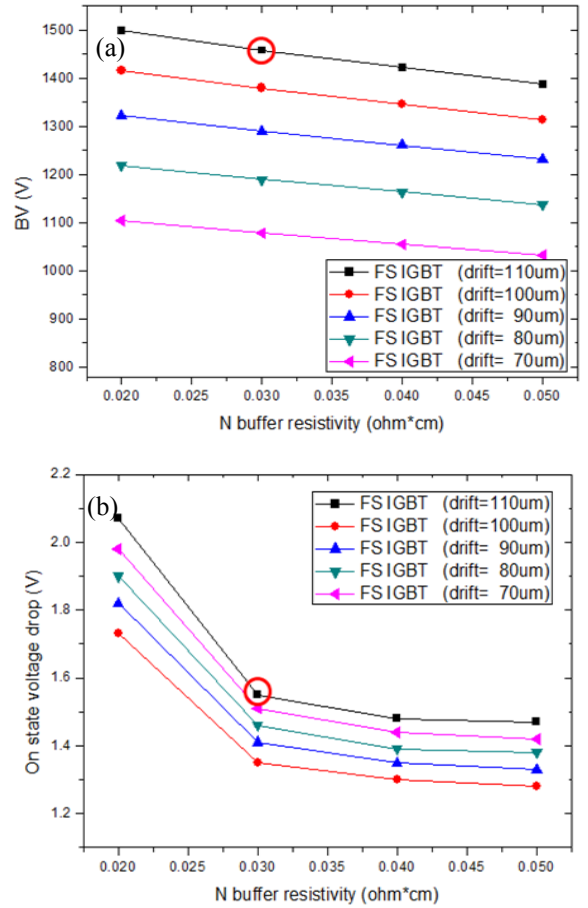


Fig. 5. Simulation results to N drift depth and N buffer resistivity (a) breakdown voltage, (b) on state voltage drop.

이후 N buffer의 농도와 두께를 조절하면서 설계를 진행하였다. N buffer의 농도가 높거나 두께가 너무 두꺼울 때, 항복전압은 증가하지만 온 상태 전압강하가 급격히 증가하는 특성을 보인다. 이 경우는 P+ collector에서 나오는 홀의 주입효율이 매우 작아지고 전도도 변조 효과가 감소하게 되면서 온 상태 전압강하가 매우 커지게 된다. 온 상태 전압 강하를 줄이면서 항복전압도 증가시키기 위해서 N buffer의 농도와 두께의 최적점을 찾기 위한 시뮬레이션을 진행하였고 그 결과를 그림 4(a), (b)에 나타내었다.

N buffer의 농도 및 두께에 대한 시뮬레이션 결과에서 볼 수 있듯이 N buffer 층의 두께 0.5  $\mu\text{m}$ 에서 온 상태 전압강하 측면에서는 다소 높은 값을 가지지만 설계 목표치 항복 전압을 만족하는 값을 찾았다.

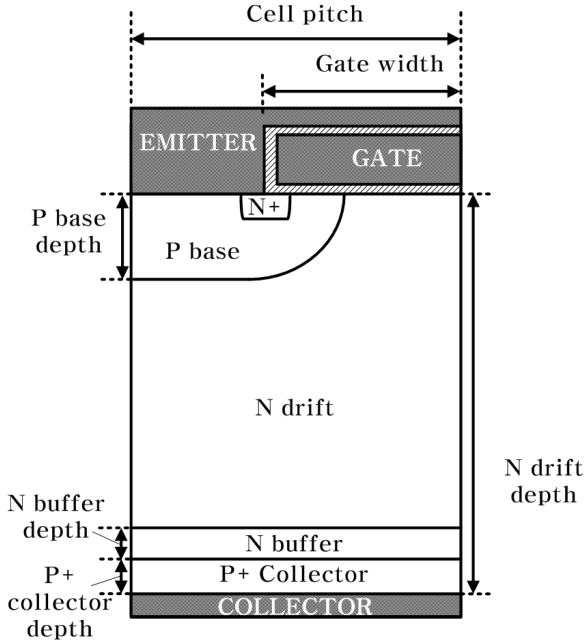


Fig. 6. Final structure of 1,200 V planar gate FS IGBT.

Table 4. Final 1,200 V planar gate FS IGBT parameters for simulation.

Parameter	
P Base	Dose $8.0e13 \text{ cm}^{-2}$
	Energy 80 KeV
	Depth $2.5 \text{ }\mu\text{m}$
N JFET	Dose $1.0e12 \text{ cm}^{-2}$
	Energy 100 KeV
	Depth $4.0 \text{ }\mu\text{m}$
P+ Collector	Dose $1.0e15 \text{ cm}^{-2}$
	Energy 60 KeV
	Depth $0.5 \text{ }\mu\text{m}$
Cell Pitch(Half)	$15 \text{ }\mu\text{m}$
N drift	Resistivity $60 \text{ }\Omega\text{cm}$
	Depth $110 \text{ }\mu\text{m}$
Gate width	$10 \text{ }\mu\text{m}$
N buffer	Dose $1.4e14 \text{ cm}^{-2}$
	Energy 200 KeV
	Depth $0.5 \text{ }\mu\text{m}$

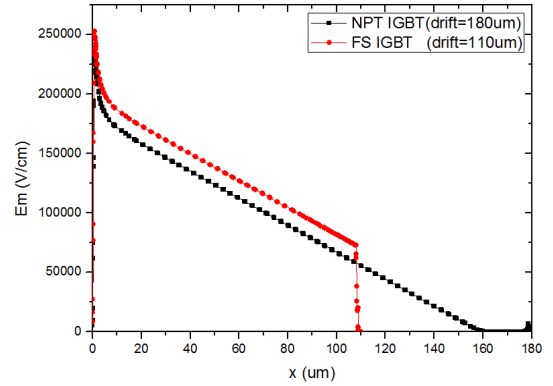


Fig. 7. Final structure of 1,200V planar gate FS IGBT.

이후 더 낮은 N buffer의 농도와 두께를 적용하여 진행한 최적화의 결과를 그림 5(a), (b)에 정리하였다.

시뮬레이션 최적화 결과 그림 6과 표 4에서 확인할 수 있듯 drift 두께  $110 \text{ }\mu\text{m}$ , buffer 비저항  $0.03 \text{ }\Omega\text{cm}$ , buffer 두께  $0.5 \text{ }\mu\text{m}$ 에서 최적화된 구조를 설계할 수 있었다.

그림 7에서 확인할 수 있듯이 앞 절에서 설계한 NPT와 FS IGBT의 오프 상태 시 전계분포도를 비교해보면 사각형 모양의 전계 분포도가 형성되는 것을 확인하고 설계가 잘 되었다는 것을 알 수 있다.

### 2.3.3 1,200 V trench gate FS IGBT 최적화 설계

확보된 1,200 V planar gate FS IGBT 설계 자료를 토대로 trench gate FS IGBT를 설계하였다. Trench gate가 삽입된 FS IGBT의 문턱전압을 5.5 V와 비슷한 값인 5.0 V를 확보하여 전기적 특성을 비교한다. 이때 문턱전압 5.0 V를 위한 P base의 dose량은  $8.0e13 \text{ cm}^{-2}$ 이다. Trench gate FS IGBT의 N buffer 공정 조건은 planar gate FS IGBT와 같다. 단, trench gate의 폭과 깊이에 따른 시뮬레이션을 통하여 최적화를 진행하였다.

그림 8의 결과에서 확인할 수 있듯 trench gate의 깊이에 따라서 항복전압이 변화하는 것을 볼 수 있는데, 이는 gate 아랫부분에 걸리는 전계가 집중되면서 의도했던 것보다 먼저 항복상태에 도달하기 때문이다. 그리고 trench gate의 width에 따라서는 항복전압이 크게 변하지 않는 것을 확인할 수 있었다.

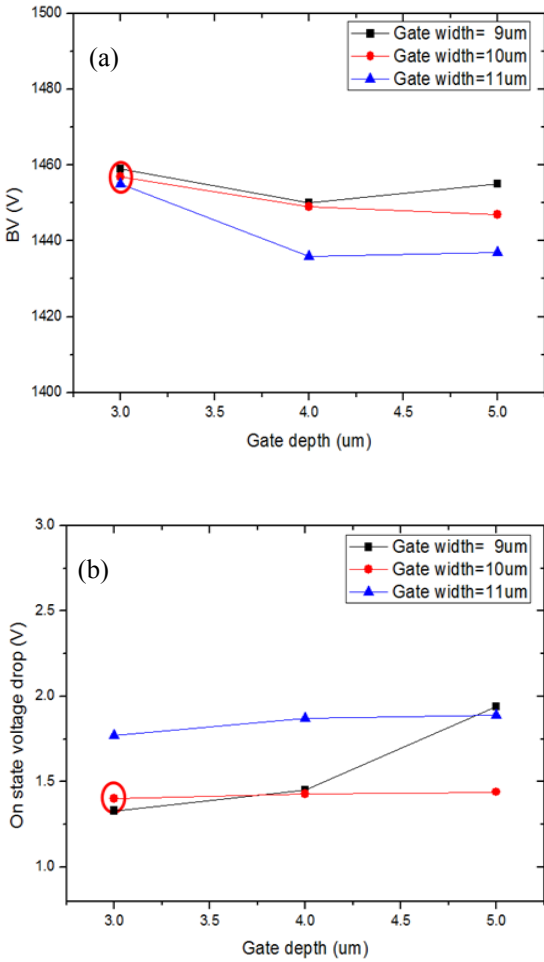


Fig. 8. Simulation results to gate depth and width (a) breakdown voltage, (b) on state voltage drop.

결과적으로 gate 깊이가 3 μm이고, gate폭이 10 μm일 때를 최적화 지점으로 확인하였다. 앞 절에서 설계한 planar gate FS IGBT와 동일한 값들을 사용하였다.

### 3. 결과 및 고찰

세 가지 구조의 최적화 시뮬레이션을 통하여 각 구조의 최적화 소자를 설계하였고, 그 특성들을 표 6과 그림 10에 정리하였다. 본 연구에서 기본적인 소자인 planar gate NPT IGBT에서 N buffer층을 삽입하여

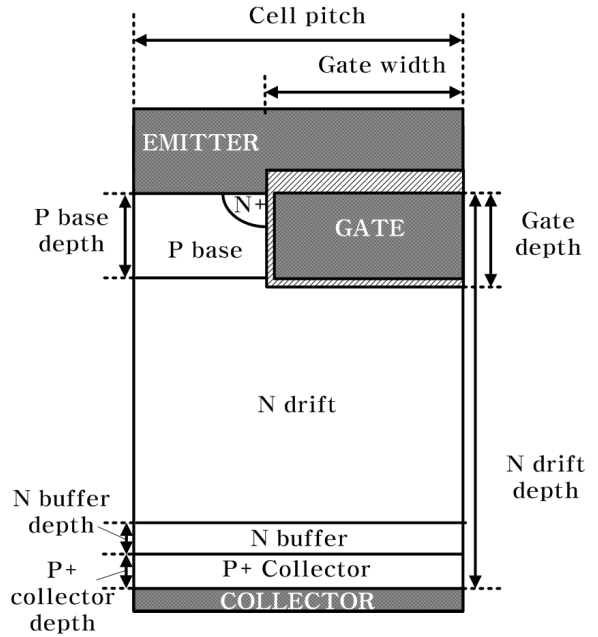


Fig. 9. Final structure of 1,200 V trench gate FS IGBT.

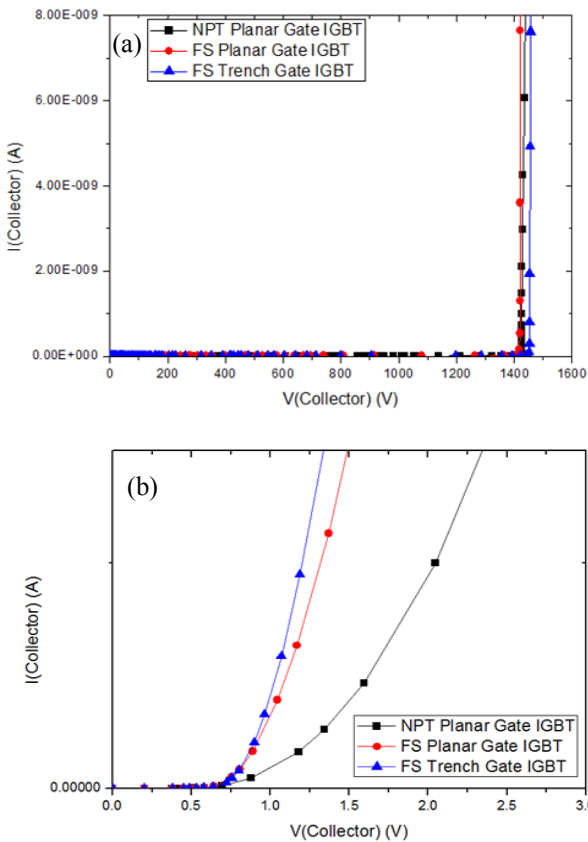
Table 5. Final 1,200 V trench gate FS IGBT parameters for simulation.

Parameter	
P Base	Dose $8.0e13 \text{ cm}^{-2}$
	Energy 80 KeV
	Depth 2.5 μm
N JFET	Dose $1.0e12 \text{ cm}^{-2}$
	Energy 100 KeV
	Depth 4.0 μm
P+ Collector	Dose $1.0e15 \text{ cm}^{-2}$
	Energy 60 KeV
	Depth 0.5 μm
Cell Pitch(Half)	15 μm
N drift	Resistivity 60 Ωcm
	Depth 180 μm
Gate width	10 μm
N buffer	Depth 0.5 μm

N drift 영역의 두께를 감소시킬 수 있는 planar gate FS IGBT를 설계하였다. 항복 전압은 같은 값을 가지도록 설계하면서 온 상태 전압강하를 줄인 결과 약 35%의 큰 감소 효과를 얻었다. 더 나아가 온 상태 전

**Table 6.** Final 1,200 V planar gate FS IGBT parameters for simulation.

	$V_{th}$	$V_{on}$	BV
Planar NPT IGBT	5.5 V	2.35 V	1,425 V
Planar FS IGBT	5.5 V	1.55 V	1,458 V
Trench FS IGBT	5.1 V	1.33 V	1,459 V



**Fig. 10.** Simulation results to planar NPT VS planar FS VS trench FS IGBT (a) breakdown voltage, (b) on state voltage drop.

압강하를 더 줄이기 위하여 gate 구조에 trench를 삽입하여 JFET 영역의 영향을 없애서 온 상태 전압강하를 감소시킨 결과 기본 NPT 구조보다 약 44%의 온 상태 전압강하 특성 향상을 이루었다.

## 4. 결론

본 논문에서는 1,200 V NPT IGBT 구조가 갖는 전기적 특성을 향상시키기 위하여 FS 구조와 trench gate를 추가한 후 최적화 시뮬레이션을 진행하였다. 항복전압은 일정하게 가져가면서 최적화하여 N drift 영역의 두께를 기본 NPT IGBT에 비해 70  $\mu\text{m}$  감소시켰다. 그와 더불어 N drift 두께에 큰 영향을 받는 전기적 특성인 온 상태 전압강하를 약 44% 감소시켰으므로 최적화된 소자를 설계하였다. 이렇게 실험을 통해 얻어진 결과는 향후 진행되어질 IGBT 소자의 설계 및 공정 기술에 선행적인 연구가 되어 소자 설계의 효율성을 더욱 높이는데 사용할 것이다.

## 감사의 글

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [10035171, BLDC 모터용 고전압/대전류 파워 모듈 및 ESD 기술개발]

## REFERENCES

- [1] Y. I. Choi, *Trans. KIEE*, **46**, 13 (1997).
- [2] B. J. Baliga, *Fundamentals of Power Semiconductor Devices* (Springer, USA, 2008)
- [3] B. J. Baliga, *Power Semiconductor Devices* (PWS Publishing Company, Boston, 1996)
- [4] H. Ruthing, F.  $\mu$ mbach, O. Hellmunf, P. Kanschat, and G. Schmidt, *IEE Proc.-Circuits Devices Syst.*, **15** (2004).
- [5] E. G. Kang and M. Y. Sung, *J. KIEEME*, **15**, 758 (2002).
- [6] X. Kang, A. Caiafa, E. Santi, J. L. Hudgins, and P. R. Palmer, *IEEE Trans. Ind. Appl.*, **39**, 922 (2003).