

## Protection Circuit Module에 최적화된 60 V급 TDMOSFET 최적화 설계에 관한 연구

이현웅<sup>1</sup>, 정은식<sup>1</sup>, 오름<sup>1</sup>, 성만영<sup>1,a</sup>

<sup>1</sup> 고려대학교 전기공학과

### Study on Design of 60 V TDMOSFET for Protection Circuit Module

Hyun-Woong Lee<sup>1</sup>, Eun-Sik Jung<sup>1</sup>, Reum Oh<sup>1</sup>, and Man-Young Sung<sup>1,a</sup>

<sup>1</sup> School of Electrical Engineering, Korea University, Seoul 136-701, Korea

(Received March 16, 2012; Revised March 21, 2012; Accepted March 26, 2012)

**Abstract:** Protected Circuit Module protects battery from over-charge and over-discharge, also prevents accidental explosion. Therefore, power MOSFET is essential to operate as a switch within the module. To reduce power loss of MOSFET, the on state voltage drop should be lowered and the switching time should be shortened. However there is trade-off between the breakdown voltage and the on state voltage drop. The TDMOS can reduce the on state voltage drop. In this paper, effect of design parameter variation on electrical properties of TDMOS, were analyzed by computer simulation. According to the analyzed results, the optimization was performed to get 65% higher breakdown voltage and 17.4% on resistance enhancement.

**Keywords:** Protected circuit module, TDMOS, Breakdown voltage, On resistance

#### 1. 서론

전력용 반도체 소자는 높은 항복전압과 낮은 온상태 전압강하를 가지도록 설계되어 고전압 대용량 전력전자 산업의 핵심 부품으로 활용되고 있는 소자로서 전자기기의 내부회로, 차량의 모터, 전력분야의 송전 등의 다양한 분야에 필수적인 역할을 하는 반도체 소자이다 [1]. 이를 위해 MOSFET (metal-oxide semiconductor field-effect transistor), IGBT (insulated gate bipolar transistor), thyristor 등의 여러 전력 반도체 소자가 개발이 되었는데 이중 전기기기의 내부회로 전원의 스위칭에 사용되는 소자로 전력 MOSFET이 연구,

제작되고 있다. 특히 PCM (protected circuit module) 회로에는 빠르게 온, 오프를 통해 배터리를 충방전시키는 스위칭 소자가 필요하기 때문에 전력 MOSFET이 필수적으로 들어가게 된다. PCM이란 배터리를 과충전, 과방전으로부터 보호하기 위하여 외부에 추가로 설계하는 회로로, 이 module을 삽입하지 않은 배터리의 경우 과충전, 과방전 전류가 흐르게 되어 폭발 위험이 높아지게 된다. PCM 회로 내에는 충·방전을 막는 역할을 하는 소자가 필연적으로 존재하게 되는데 이에 적합한 소자가 전력 스위칭 소자이고 배터리의 용량에 따라 40 V, 60 V급 등의 MOSFET이 사용된다. MOSFET은 스위칭 시 전력소모가 적어 배터리의 빠른 충방전 시간에 온, 오프시킬 수 있는 장점이 있지만 온 상태 전압강하가 커 온상태일 때

a. Corresponding author; [semicad@korea.ac.kr](mailto:semicad@korea.ac.kr)

전력소모가 크다는 단점을 가지고 있기 때문에 MOSFET을 설계할 때 온 상태 전압강하를 낮추는 것이 주목표가 된다. 본 논문에서는 PCM회로에 사용되는 40 V급 MOSFET의 온 저항을 낮추기 위해 게이트 부를 trench 게이트로 형성시켜 온 상태 전압강하가 낮아지는 것을 관찰하고 기존의 40 V에서 항복 전압을 높여 안정성을 더 확보할 수 있는 공정 파라미터를 추출하여 소자의 최적화를 이루었다.

## 2. 실험 방법

### 2.1 Trench 게이트 MOSFET의 구조 및 동작원리

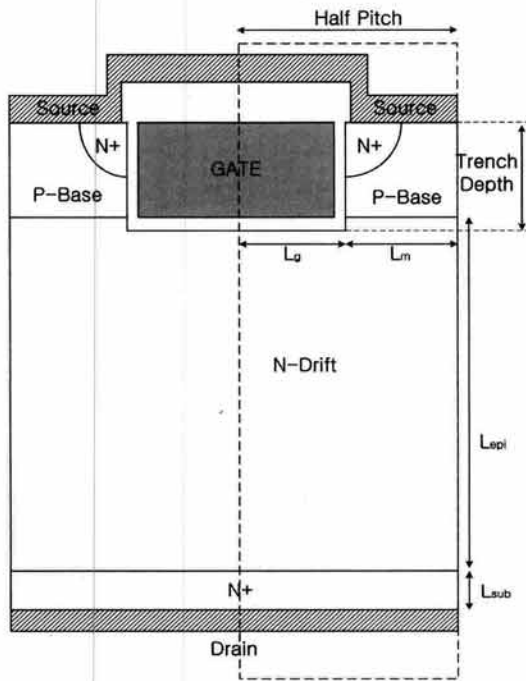


Fig. 1. Trench gate MOSFET structure and design parameters.

Power MOSFET은 다수 캐리어 소자이기 때문에 턴 오프 시 소수캐리어가 재결합되어 사라지는 시간이 존재하지 않아 스위칭 특성이 좋다는 장점을 가진다. 하지만 BJT보다 온 상태 전압 강하가 크기 때문에 온 상태에서 발생하는 전력 소모량은 커지게 된다. 이러한 단점을 보완하기 위한 구조가 trench gate MOSFET이다 [2]. 이 소자의 일반적인 구조는 그림

1과 같다. 채널의 형성이 게이트의 옆을 따라 수직인 방향으로 형성이 되어 trench를 하지 않은 일반 MOSFET과 온 상태 동작 특성을 비교해 보았을 때 그림의 trench depth에 해당하는 길이의 전류 패스가 없어지게 됨을 확인할 수 있다. 즉, 저항 성분이 훨씬 줄어들게 되어 온 상태 전압강하를 낮출 수 있는 것이다 [3]. 이러한 구조가 낮은 항복전압의 MOSFET에서 주로 쓰이는 이유는 trench 게이트 구조로 인해 생기는 단점보다 온저항 향상을 통해 얻는 이득이 더 중요한 요소가 되기 때문이다. Trench 게이트의 단점은 trench 모서리 부분에 전계가 집중되어 더 낮은 전압에서 항복현상이 일어나게 된다는 것이다 [4]. 높은 항복전압이 요구되는 MOSFET이나 IGBT 소자에서는 이러한 단점을 보완하기 위해 다른 파라미터 값을 조정했을 시의 악영향이 커지게 된다. 하지만 60 V급 MOSFET에서는 trench 구조로 인한 항복전압 특성 저하보다 낮은 온저항 특성을 통해 얻는 이득이 더 크므로 trench MOSFET에 관한 연구가 많이 진행되고 있다.

MOSFET에서 온 상태, 오프 상태 특성에 가장 큰 영향을 미치는 파라미터로는 N-drift층 농도가 있다. 우선 N-drift층 농도는 항복전압에 직접적으로 영향을 미치게 되는데 드리프트층 농도가 높을수록 공핍층이 덜 늘어나게 되어 전계가 걸리는 면적이 줄어들게 되고, poisson 방정식에 의해 걸리는 전계의 면적이 전압이 되므로 더 작은 항복전압에서 전계가 걸릴 수 있는 한계점에 도달하게 된다. 그러므로 항복전압을 높이기 위해서는 드리프트층의 N형 도핑을 더 적게 해야 한다. 둘째로 N-drift층 농도는 온 상태 전압강하에 영향을 미치는데 도핑이 많아지면 드리프트층의 온 저항이 낮아지므로 온 상태 전압강하가 낮아지게 된다. 온 상태 전압강하를 낮추기 위해서는 도핑을 늘려야하는데 이는 위에서 언급한 항복전압을 낮추는 효과를 불러오므로 둘 사이의 최적화가 필요하다.

### 2.2 실험 방법

각 설계 파라미터가 항복전압과 온 저항에 미치는 영향을 분석하기 위해서 표 1에 나타낸 파라미터 값에서 P-base dose와 N-drift 농도, 그리고 half pitch를 변화시켜 가며 각각의 변수에 대한 의존성과 경향성을 분석하였다.

그림 1의 구조에서 trench depth는  $1.65 \mu\text{m}$ ,  $L_{epi}$

Table 1. Parameter values employed in the simulation.

Parameter	Value
P+ Base	Dose $5.0 \times 10^{14} \text{ cm}^{-2}$
	Energy 100 KeV
N+ Source	Dose $5.0 \times 10^{17} \text{ cm}^{-2}$
	Energy 100 KeV
N JFET	Dose $5.0 \times 10^{12} \text{ cm}^{-2}$
	Energy 40 KeV
Trench Depth	$1.65 \mu\text{m}$
Trench Width	$0.5 \mu\text{m}$

는  $6.5 \mu\text{m}$ 로 설계를 하고 기타 농도와 trench depth, trench width 등은 표 1의 파라미터에 맞추어 시뮬레이션하였다.

### 3. 결과 및 고찰

#### 3.1 Threshold voltage에 영향을 주는 parameter

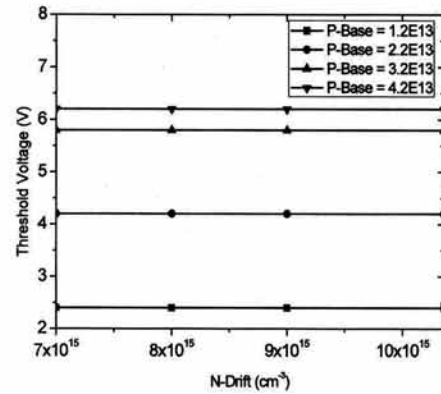
N-drift 층의 농도에 따른 threshold voltage의 값을 시뮬레이션한 결과를 그림 2의 (a)에서 N-drift층의 농도와 상관없이 threshold voltage는 일정한 값을 갖는 것을 확인할 수 있었다. 각각의 Epi 농도에 대해 P-base 농도를 변화시킬 경우 그에 따른 변화가 확연히 나오게 되는데 그림 2의 (a)에서 이를 확인할 수 있다. 결국 threshold voltage를 결정하는데 가장 큰 역할을 하는 것은 P-base 농도임이 확인되었다.

#### 3.2 BV와 온저항에 영향을 주는 parameter

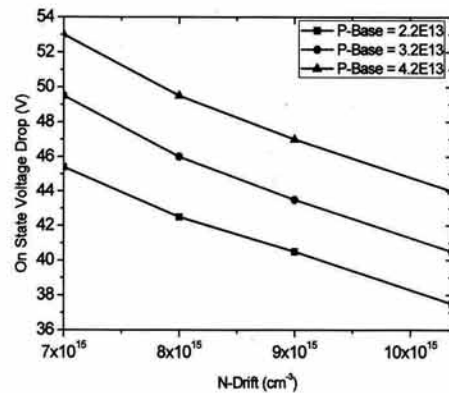
그림 2의 (b)와 (c)에서 P-base층 도핑 농도와 온 상태 전압강하, 항복전압의 관계를 관찰할 수 있다. Base영역의 도핑이 높아지면 그만큼 채널이 형성되기 어려워지고 diffusion에 의해 base의 깊이가 길어져 채널 길이가 길어지게 된다. 또한 base 근처의 드리프트 층의 저항 또한 늘어나게 되어 온 상태 전압강하가 증가하게 된다. 그림 (c)의 항복전압은 식 (1)을 통하여 설명이 가능하다.

$$W_{\max} = 2.67 \times 10^{10} N_d^{-\frac{7}{8}} \quad (1)$$

(a)



(b)



(c)

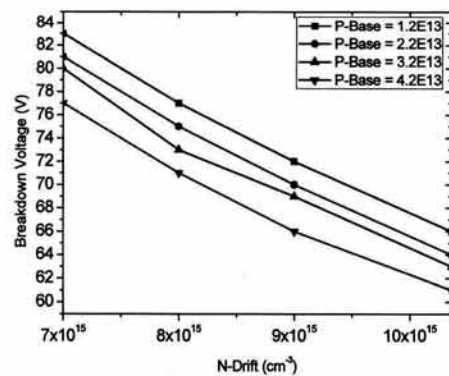


Fig. 2. (a) Threshold voltage, (b) on state voltage drop, and (c) breakdown voltage as design parameters.

위 식은 공핍층의 크기를 나타낸 식으로, 그 크기는 N 드리프트 영역의 농도에 의해 결정이 된다. 즉, (1) 식에서 공핍층 폭은  $N_d$ 가 많을수록 줄어들게 되고

이는 전계가 걸리는 폭이 줄어들음을 의미한다. 전계가 걸리는 폭이 좁아지면 더 적은 전압에도 최대 전계에 이를 수 있게 되고 이 최대전계가 항복 현상을 일으키게 되어 항복 전압이 낮아진다.

이를 통해 base 도핑은 적게 할수록 소자의 온 특성, 오프 특성 모두에 좋게 나타남이 확인되었고 문턱전압의 결정을 위해서만 base 도핑 농도를 결정함을 알 수 있다.

결국 그림 2의 (b), (c)를 통하여 가장 지배적인 요소로써 N-drift 영역의 도핑농도가 온, 오프 특성을 좌우함을 알 수 있다. 드리프트 영역 농도에 의한 항복 전압 특성을 알기 위해 식 (2)를 통해 poisson 방정식을 적용하였다.

$$-\frac{\rho_{charge}}{\epsilon_s} = -\frac{dE(y)}{dy} = \frac{d^2 V(y)}{dy^2} \quad (2)$$

여기에  $N_d$ 를 풀이하면 식 (3)과 같이 위치에 따른 전계를 구할 수 있다.

$$E(y) = -\frac{qN_d}{\epsilon_s}(W_d - y) \quad (3)$$

식 (3)을 다시 적분하여 위치에 따른 퍼텐셜로 나타내고 전자와 홀의 이온화 계수가 같다고 가정한다면 식 (4)에 의해 항복전압이 결정된다 [5].

$$BV = 5.34 \times 10^{13} N_d^{-\frac{3}{4}} \quad (4)$$

결론적으로 드리프트 영역의 농도의 상승이 항복전압 감소를 야기하므로 온 상태 전압강하를 낮출 때 이를 감안해야 한다. 그림 2를 보면 초기 Epi 농도  $6.64 \times 10^{15} \text{ cm}^{-3}$ 일 때 83 V의 항복전압을 드리프트 층 농도를 높임으로써 66 V까지 낮출 수 있었고 그만큼 온 상태 전압강하를 낮출 수 있었다.

### 3.3 파라미터 조정을 통한 설계 최적화 결과

앞서 얻은 파라미터별 특성을 고려하여 60 V급 trench MOSFET 설계를 목표로 하여 66 V 이상의 항복전압을 가지면서  $0.375 \text{ } \Omega/\text{cm}^2$ 의 온 저항값을 갖도록 최적화된 파라미터를 표 2에 나타내었다.

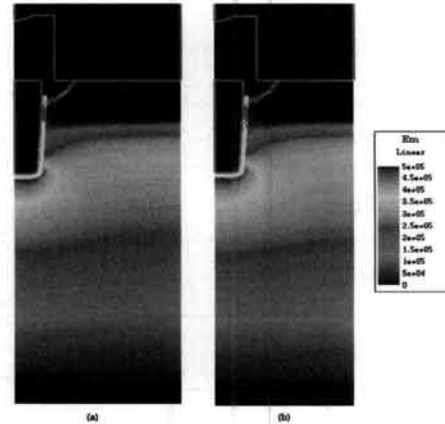


Fig. 3. Electric field of trench MOSFET half-pitch (a) 2.5  $\mu\text{m}$ , (b) 2  $\mu\text{m}$ .

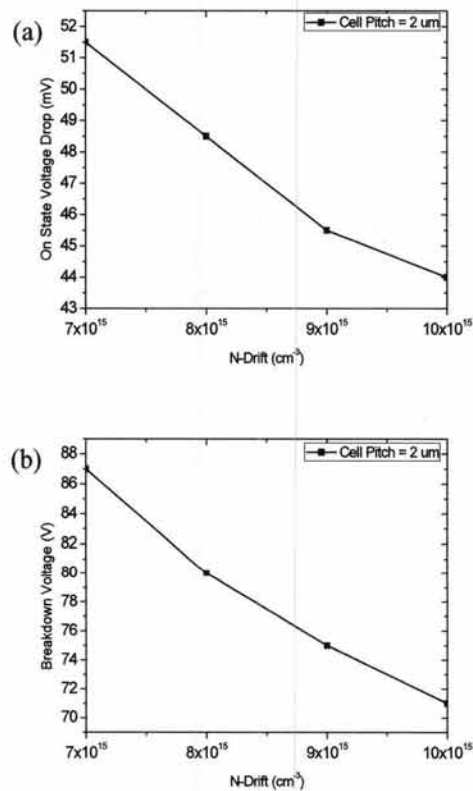


Fig. 4. (a) On state voltage drop and (b) breakdown voltage as epi concentration with half-pitch 2  $\mu\text{m}$ .

최적화 전의 기존 설계, 제작되던 60 V급 trench MOSFET과 비교해 보았을 때, 비슷한 항복전압을 가지면서 온저항이  $0.454 \text{ } \Omega/\text{cm}^2$ 에서  $0.375 \text{ } \Omega/\text{cm}^2$ 로 감소했다.

Table 2. Optimized parameters for 60 V trench gate MOSFET.

Parameter	Value
P+ Base	Dose $5.0 \times 10^{14} \text{ cm}^{-2}$ Energy 100 KeV
N+ Source	Dose $5.0 \times 10^{17} \text{ cm}^{-2}$ Energy 100 KeV
N JFET	Dose $5.0 \times 10^{12} \text{ cm}^{-2}$ Energy 40 KeV
Trench Depth	1.65 $\mu\text{m}$
Trench Width	0.5 $\mu\text{m}$
P base dose	$2.2 \times 10^{13} \text{ cm}^{-3}$
N epi	$1.0 \times 10^{16} \text{ cm}^{-2}$
Half Pitch	2.5 $\mu\text{m}$

Table 3. Analyzed results.

Characteristics	Breakdown Voltage	On resistance
Conventional Value	40 V	0.454 $\Omega/\text{cm}^2$
Optimized Value	66 V	0.375 $\Omega/\text{cm}^2$
Improvement Rate	65%	17.4%

최적화값으로 얻어진 전기적 특성을 표 3에 나타내었다. 항복전압 상승률은 65%이고 온 저항은 17.4%의 감소율을 보였다.

#### 4. 결론

본 논문에서는 PCM에 사용되는 60 V급 trench gate MOSFET의 소자의 전기적 특성을 고려한 최적화를 위해 여러 파라미터에 따른 전기적 특성의 변화를 소자 시뮬레이션 프로그램을 이용하여 분석하였다. 각각의 온, 오프 특성에 영향을 미치는 파라미터를 구분하였고 분석 결과에 따른 최적 설계를 통해 기존의 PCM에 사용되던 40 V급 MOSFET을 trench gate 구조를 통해 66 V까지 항복전압을 늘려 65%의 항복전압 향상을 통해 안정성을 훨씬 높였고 0.375  $\Omega/\text{cm}^2$ 으로 기존의 60 V급 trench MOSFET에 비해 17.4% 낮아진 온 저항을 얻을 수 있었다.

또한 제품의 reliability와 관련된 전기적 특성을 정리하여 향후 가전제품의 전력 스위치나 PCM회로의 스위칭 소자 제작에 실질적인 도움을 줄 수 있는 유익한 자료가 될 것으로 기대된다.

#### REFERENCES

- [1] E. G. Kang, B. S. Ahn, and T. J. Nam, *J. KIEEME*, 23, 273 (2010).
- [2] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, (Springer, 2008) p. 283.
- [3] J. S. Lee, S. S. Kyoung, E. G. Kang, and M. Y. Sung, *J. KIEEME*, 21, 889 (2008).
- [4] J. I. Lee, S. S. Kyoung, J. C. Choi, and M. Y. Sung, *J. KIEEME*, 21, 74 (2008).
- [5] J. H. Oh, S. M. Yang, E. S. Jung, and M. Y. Sung, *J. KIEEME*, 23, 671 (2010).