

# 분자 간 거리 감소에 의한 펜타센 박막트랜지스터의 전하 이동도 향상

정태호<sup>1,a</sup>

<sup>1</sup> 서울과학기술대학교 전자IT미디어공학과

## Mobility Enhancement in a Pentacene Thin-film Transistor by Shortening the Intermolecular Distance

Taeho Jung<sup>1,a</sup>

<sup>1</sup> Department of Electronic and IT Media Engineering, Seoul National University of Science and Technology, Seoul 139-743, Korea

(Received April 13, 2012; Revised June 18, 2012; Accepted June 24, 2012)

**Abstract:** In this study, the influence of the intermolecular distance on the charge mobility in a pentacene thin-film was investigated. In order to increase the mobility which depends on the  $\pi$ -overlap between molecules, the intermolecular distance was shortened by compressive force along the conduction channel. Pentacene thin-film was fabricated on flexible substrates bent outward at different radii to stretch the gate dielectric surface and then the substrates were unbent, producing the compressive force to the film. The result showed that the mobility increased proportionally to the strain applied during the pentacene deposition and the molecular packing inside a grain was not optimal for the charge transport.

**Keywords:** Mobility, OTFT, Intermolecular distance,  $\pi$ -overlap

### 1. 서 론

유기 박막 트랜지스터 (organic thin-film transistors, OTFTs)는 기존의 반도체 공정뿐만 아니라 용액공정으로도 제작이 가능한 장점 때문에 다양한 응용분야에 적용하기 위한 연구가 진행되고 있다. 특히 OTFT는 휘어짐이 가능한 가볍고 내구성이 뛰어난 플렉서블 기판에 제작될 수 있어 디스플레이 분야에서 많은 주목을 받고 있다. 유기 반도체 재료 중에는 펜타센 (pentacene)이 많이 사용되어 왔으며, 공정을 용이하게 하며 정공 이동도를 높이기 위하여 Bis (triisopropylsilylethynyl) (TIPS) 펜타센 [1] 등으

로 과생되기도 하고, 불소화를 거쳐 전자 이동도를 구현하는데 사용되기도 한다 [2]. OTFT의 전기적 성능을 높이기 위하여 새로운 물질이나 공정을 고안하고 있으나, 분자들의 정렬 (packing) 형태나 난알 (grain)의 형태와 밀도, 게이트 절연체와의 접합면에 대한 최적화 변수가 무기 반도체에 비하여 매우 많기 때문에 제품화가 늦어지고 있다. 일반적으로 OTFT의 주된 성능 척도인 전하 이동도는 난알 경계에 의해 방해받는 것으로 알려져 있다 [3]. 이러한 현상은 난알 경계에 위치한 분자들 간의 거리가 멀어 분자 간  $\pi$  궤도의 겹침이 낮기 때문이다.  $\pi$  궤도 겹침은 전하의 넘김 적분 (transfer integral)으로 표현이 되며, 분자 간 거리에 의해 지수적으로 영향을 받아 전하가 옆의 분자로 이동하는 데 영향을 준다 [4]. 실제

로  $\pi$  궤도의 겹침은 낱알 내부의 분자 간 정렬에도 영향을 받기 때문에 소자 전체에서 중요한 변수이다. 펜타센의 분자 간  $\pi$  궤도의 겹침 정도는 분자의 면-면 (face-face) 방향 뿐만 아니라 면-모서리 (face-edge) 방향에서도 크기 때문에 다양한 방법으로 제작된 TFT에서 비교적 높은 전하 이동도를 보여준다 [2]. 하지만, 소스-드레인 전류가 흐르는 게이트 절연체 표면과 접하는 부위에서 펜타센 분자의 정렬은 절연체 표면의 자유 에너지와 거칠기에 의해 영향을 받기 때문에 결정 상태의  $\pi$  궤도의 겹침에 준하는 이동도를 내기 어렵다 [5-7]. 따라서 펜타센의 정렬을 조절하여  $\pi$  궤도 겹침을 향상시키는 연구가 시작되었으며, 가장 먼저 시도된 부분은 제작 공정이다 [8]. 이후로는 분자를 조작하는 쪽으로 연구되었으며 [1], 최근에는 앞의 두 방법을 혼합하여 강제적으로 TIPS 펜타센의 배열을 조작하는 것으로서  $\pi$  궤도 겹침을 향상시켰다 [9].

본 논문에서는 일반적 증착 공정으로 제작한 펜타센 박막 내 분자들 간의 거리에 변화를 주고, 거리 변화가  $\pi$  궤도 겹침 정도에 주는 영향력을 TFT의 전기적 특성으로 고찰한다. 채널 내 분자들 간의 거리를 조절하기 위하여 펜타센 박막을 증착할 때는 플렉서블 기판을 휘어 채널의 길이를 길게 만들고, TFT 동작 시에는 기판을 평평하게 만들어 채널의 길이 방향으로 펜타센 박막에 압력을 가하여 분자 간 거리가 변할 수 있도록 한다.

## 2. 실험 방법

본 연구에 사용된 기판은 ITO (indium tin oxide)가 코팅된 Mylar를 사용하였다. 게이트 절연막은 PGMEA (propylene glycol methyl ether acetate)에 분말 형태의 PVP (polyvinyl(4-vinyl phenol))와 가교제인 methylated poly (melamine-co-formaldehyde)를 섞어서 제작하였다. 외부와의 반응을 최소화하기 위하여 PVP 용액은 질소 분위기 안에서 준비되었으며, 24시간 동안 혼합되었다. PVP 용액은 준비된 기판 위에 스핀 코팅 방식으로 도포되었고, 질소 분위기 안에서 180°C로 약 10분 간 경화되었다. 이후 기판을 산소 플라즈마로 처리하고 hexamethyldisilazane (HMDS)을 스핀 코팅 방식으로 도포 후 150°C로 가열하였다. HMDS 박막은 펜타센 증착에 유리하도록 소수성 표면을 제공한다. 펜타센을 증착시키기 위하여 그림 1(a)와 같이

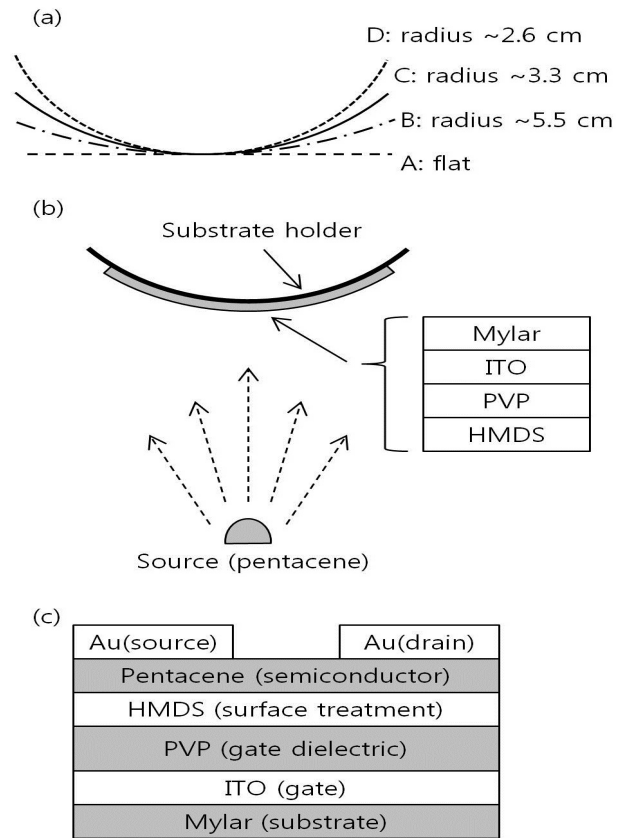


Fig. 1. Pentacene deposition process. (a) substrate holders bent at different radii, (b) flexible substrates were attached to the holders, (c) schematic diagram of a thin-film transistor.

반경이 다른 네 개의 기판 받침대 (substrate holder) 들을 준비하였다. 그림 1(b)와 같이 각 받침대 위에 표면처리를 거친 기판을 고정하고,  $2 \times 10^{-6}$  Torr의 압력에서 0.2-0.5 Å/s의 속도로 350 Å 두께의 펜타센 박막을 thermal evaporation 방법으로 증착하였다. 기판이 평평한 상태에서 소스와 드레인 전극은 웨도우 마스크를 사용하여 제작하였으며, 500 Å 두께의 금 (Au)이 증착되었다. 채널의 길이와 넓이는 각각 80  $\mu$ m와 800  $\mu$ m이다. 그림 1(c)는 본 연구에 사용된 TFT의 구조를 보여준다. 트랜지스터의 성능을 측정 시 모든 기판을 평평한 상태로 고정하였다. 특히 PVP 절연막은 수분(H<sub>2</sub>O)이나 산소(O<sub>2</sub>)에 반응하므로 측정은 2 mTorr 이하의 진공에서 빛을 차단하고 실시하였다. 측정에 사용된 장비는 agilent사의 4155C 반도체 어널라이저이다.

### 3. 결과 및 고찰

그림 2에는 각 기판에 제작된 트랜지스터들로부터 측정된 전하 이동도와 기판 A의 최대 전하 이동도를 기준으로 상대적 크기를 표시하였다. 각 기판으로부터 측정된 전하 이동도는  $0.007 - 0.01 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  정도이며, 전하 이동은 호핑 (hopping) 방식임을 알 수 있다 [10]. 기판 A의 TFT들 간에 약간의 전하 이동도 차이가 있음을 알 수 있다. 이에 비하여 기판 B-D에서의 TFT들 간에 차이는 매우 크며, 최대 전하 이동도는 기판의 중심부에 위치한 TFT들에서 얻어졌다. 즉, TFT가 변두리 (off center)에 위치할수록 전하 이동도가 작아지는 것을 관찰할 수 있다. 그림 1과 같이 반도체가 증착되는 과정에서 기판이 휘어 있었기 때문에 변두리 지역은 펜타센이 사선으로 증착된다. 따라서 증착 비율이 낮아지고, 증착된 펜타센 박막의 두께가 중심부보다 얇게 된다. 하지만, 기판 A의 TFT들과 비교하였을 때 이러한 증착 조건은 성능에 큰 영향력을 주지 않는 것으로 관찰된다. 또한 펜타센 증착 시 사용한 받침대의 반경이 작아질수록 전하 이동도가 커져 최대 35% 정도 증가하였다. 전류 점멸비 (on/off ratio)는 모든 TFT에서  $10^3$  정도로 유지되었다.

그림 2와 같이 각 기판의 중심부에 위치한 TFT들에서 반경과 이동도 사이에 연관성을 보이고 있으므로, 본 연구에서는 각 기판의 중심부에 위치한 TFT들만을 대상으로 연관성을 분석한다. 소스와 기판과의 거리가 1.2 m 정도일 때 기판 D의 중심부에 위치한 TFT의 채널 끝단에서 펜타센 분자의 입사각 감소(그림 3(a)의  $\theta$ )는 최대  $0.2^\circ$  정도이며, 이 입사각은 평면 기판일 경우 중심부 (source와 수직 위치)에서 0.4 cm 정도 떨어진 위치(그림 3(b)의 d)에서 발생된다. 본 연구에서는 그림 3의  $\theta$ 에 해당하는 입사각 감소가 기판의 중심부에 위치하게 될 TFT들의 펜타센 분자 정렬에 큰 영향을 주지 않는 것으로 고려한다. 그림 4에는 AFM (atomic force microscope) 측정 결과를 보여주며, 기판의 반경과 외형상의 연관성은 크게 주목할 만하지 않았다.

각 기판의 중심부에 위치한 TFT들의 차이점은 펜타센 증착 전과 후의 채널 길이의 변화이다. 그림 3(a)에서 펜타센 증착 시 반경  $r$ 인 기판 받침대에 설치된 절연체의 표면은 길이가  $2\pi(r+t)$ 인 원주에 위치하며, 휘어 길이가 변하지 않는 중앙 면은 길이가  $2\pi(r+t/2)$ 인 원주에 위치한다. 절연체 표면은 측정 시

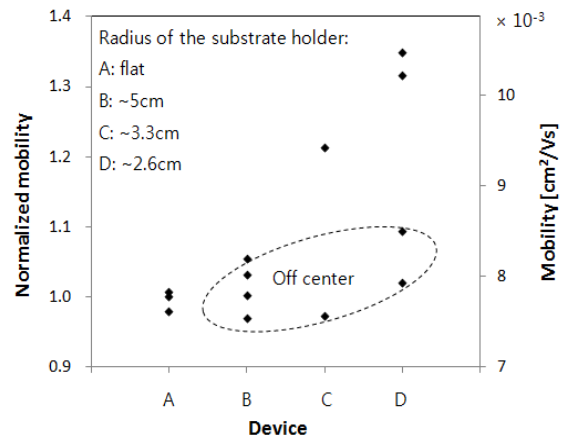


Fig. 2. Mobilities of TFTs whose pentacene layers were deposited on the bent substrates.

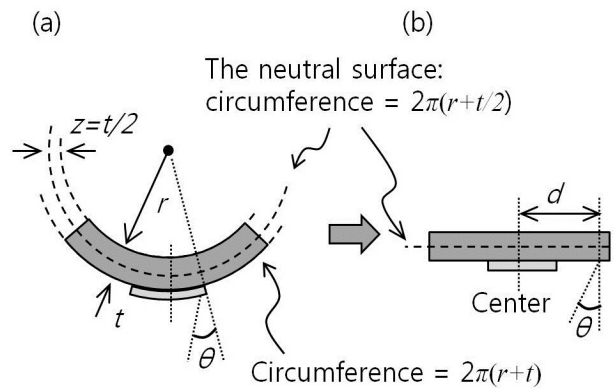
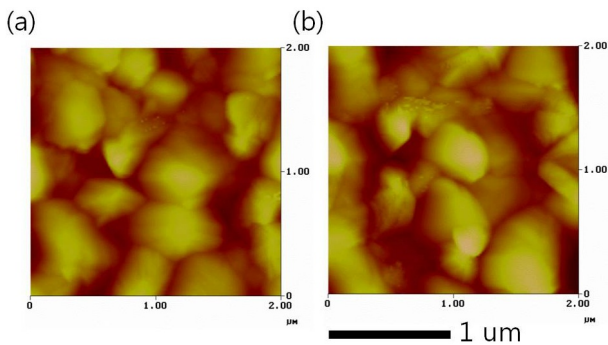
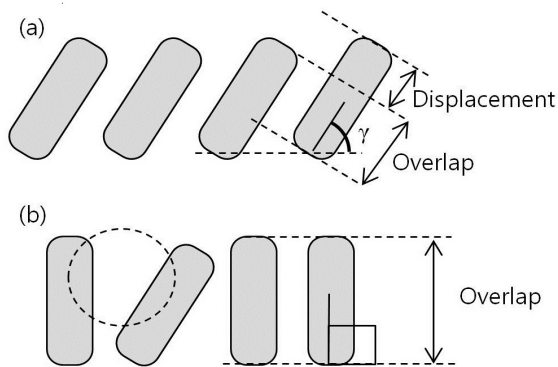


Fig. 3. Cross section of a flexible substrate (a) during and (b) after pentacene deposition, where  $r$  is the radius of a substrate holder and  $t$  is the thickness of a substrate.

그림 3(b)와 같이 중앙 면과 같은 크기로 감소된다. TFT를 구성하는 두께 중 가장 두꺼운 층을 mylar( $\sim 200 \mu\text{m}$ )로 고려한 경우 측정 시 절연체 표면 위의 거리는 0.4% 정도 작아지게 된다.  $80 \mu\text{m}$  채널의 경우 측정 시  $0.31 \mu\text{m}$  정도 감소하게 된다. 이러한 채널 길이의 변화로 인하여 박막에 작용하는 측면 압력이 분자 간 거리를 감소시키고, 거리에 의존적인  $\pi$  궤도 겹침이 증가하여 전하 이동도가 증가한 것이다. 전하 이동도의 증가의 원인으로 다음과 같이 3가지를 고려할 수 있다: (1) 낱알(grain) 간 거리 감소 (2) 낱알 내 분자간 거리 감소 (3) 분자 간 겹침 면적의 변화.



**Fig. 4.** AFM images of pentacene layers from a TFT in (a) substrate A and (b) substrate B.



**Fig. 5.** Change in the displacement and overlap length between neighboring molecules.

기관 D에서 TFT의 전하 이동도가 기관 A의 TFT보다 높은 원인들 중 첫 번째로 고려할 사항은 펜타센 박막 제작 후 그림 3과 같이 낱알 간 거리의 감소이다. 앞의 계산과 같이 이웃하는 낱알들의 최외각 분자 간 감소된 거리 비율 또한 최대 0.4%가 될 것이다. 낱알의 최외각 분자 간 거리가 감소하면  $\pi$  궤도의 겹침이 증가하여 경계에 존재하는 전하 트랩이 감소하게 될 것이다. 반도체 박막이 낱알들로 구성되는 경우 효과적인 전하 이동도  $\mu_{eff}$ 는 낱알 내부의 전하 이동도  $\mu_g$ 와 낱알 간 전하 이동도  $\mu_b$ 에 의해 다음과 같이 간략히 표현될 수 있다 [11]:

$$\frac{1}{\mu_{eff}} = \frac{1}{\mu_g} + \frac{1}{\mu_b} \quad (1)$$

일반적으로 TFT의 경우 채널 전류가 흐르는 게이

트 절연막 부근의 펜타센 분자들은 삼사정계 (triclinic) 형태의 결정을 이루지 않고 절연막 표면에 의해 영향을 받는 박막 형태 (thin-film phase)이기 때문에 이동도가 낮은 호핑 전송이다 [6,12]. 하지만, 낱알 경계도 절연막 표면의 거칠기나 자유 에너지에 영향을 받으므로 경계에서 펜타센 분자의 정렬이 낱알 내부보다 언제나 좋지 않으며 [7,13,14], 전하 트랩이 주로 경계에 몰려 있게 되어  $\mu_g$ 가  $\mu_b$ 보다 크다 [14]. 따라서  $\mu_b$ 가  $\mu_{eff}$ 에 큰 영향력을 주며 낱알 간 거리 감소로 인하여 전하이동이 지수적으로 증가 [4]하게 되므로  $\mu_b$ 가  $\mu_{eff}$ 의 증가의 주된 원인이 될 것이다.

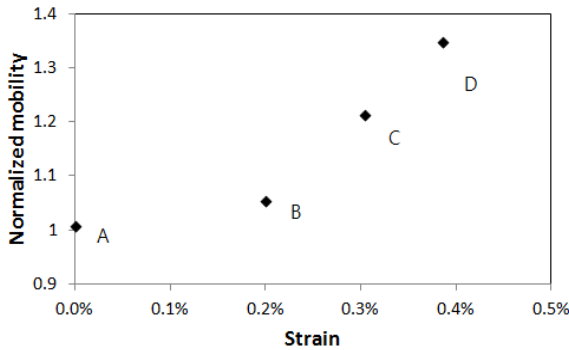
낱알 간 거리의 감소가  $\mu_{eff}$ 의 증가에 대한 주된 원인이지만, 낱알 내부의 분자 간 거리의 감소도  $\mu_{eff}$ 의 변화에 기여할 수 있다. 낱알 내부의 펜타센 분자 배열은 반데르발스 (van der Waals) 힘 등에 의해 고유의 길이로 정렬이 된다 [15]. 본 연구에서 측정 시 채널의 길이가 줄어들게 되면 낱알들에 압력이 가해지게 되고, 낱알 내부에 정렬된 펜타센 분자들이 밀착될 가능성이 있게 된다. 이때 분자 간 거리가 감소하면  $\pi$  궤도의 겹침이 향상되어 전하 이동도가 상승한다. 분자 간 거리를 조절하기 위하여 brick-wall 구조를 갖는 TIPS 펜타센의 정렬 구조에 변화를 주어  $\pi$  겹침을 3.33 Å에서 0.3 Å 정도로 9%를 감소시킨 경우 전하 이동도가 160% 증가된 것이 보고되었다 [9].

본 실험에서는 절연체 표면의 채널 길이로 감소된 비율이 0.4%이지만 전하 이동도는 35%가량 증가하였다.  $\pi$  겹침의 거리가 분자 간 전하 이동에 지수함수적인 영향을 주기 때문에 [4] 증착 시 낱알 내부의 펜타센 분자의 거리가 충분히 가까웠다면 0.4% 거리 변화로도 35% 이상으로 전하 이동이 향상될 수 있다. 하지만, 낱알 내부의 분자들이 모두 전하 전송에 유리한 방향 [2]으로 배열된 것이 아니며  $\mu_b$ 가 작기 때문에  $\mu_g$ 가 향상되었어도  $\mu_b$ 의 향상이 수반되어야 한다.

마지막으로 고려해야 할 가능성은 그림 5와 같이 분자 간 편위 (displacement)가 감소하여 최고 점유 분자 궤도함수 (highest occupied molecular orbital, HOMO)의 대역폭이 증가하는 경우이다. 그림 5(a)와 같이 좌우의 힘에 의해서 분자들이 밀착되면 절연막과의 각도  $\gamma$ 가 커지게 될 수 있다. 또는 절연체 표면의 길이가 줄어들며 표면에 접합된 펜타센 분자의 기울기가 변할 수도 있다. 이와 같은 방식으로  $\pi$  겹침 정도에 변화가 생기면 호핑 비율이 증가하게 된다 [4]. 하지만 절연체 표면에서는 펜타센 분자들은 사방

**Table 1.** Range of mobilities for TFTs from the substrates A and D

TFTs in substrate A ( $\mu_{eff} = 0.0077$ )			TFTs in substrate D's center ( $\mu_{eff} = 0.01$ )		
$\mu_{gA}$	$\mu_{bA}$	$\mu_{gA}/\mu_{bA}$	$\mu_{gD}$ ( $\mu_{gD}/\mu_{gA}$ )	$\mu_{bD}$ ( $\mu_{bD}/\mu_{bA}$ )	$\mu_{gD}/\mu_{bD}$
0.021	0.011	2	0.021~0.214 (1.0~10.2)	0.019~0.011 (1.8~1.0)	1.1~20
0.042	0.008	5	0.043~0.66 (1.03~16)	0.013~0.01 (1.5~1.2)	3.3~65
0.077	0.0077	10	0.078~0.66 (1.01~8.5)	0.011~0.010 (1.5~1.3)	6.8~65
0.147	0.0074	20	0.147~0.76 (1.0~5.2)	0.011~0.010 (1.5~1.4)	14~75



**Fig. 6.** Normalized mobilities of TFTs as a function of strain.

정계 (orthorhombic) 상태로 정렬이 되어 절연체 표면과 89° 정도의 각도를 이루기 때문에 [12] 편위에 의한 영향력으로 인한  $\mu_{eff}$ 의 향상은 그리 크지 않을 것이다. 만일 그림 5(b)와 같이 낱알 내부의 모든 분자들의 각도가 동일하게 커지지 않으면 낱알 중간에 분자 간 거리가 오히려 멀어지는 부분이 발생할 가능성이 있다. 이 부분은 낱알 경계와 유사하게 동작하게 되어 하나의 낱알을 두 개로 분리하는 현상을 유발할 수 있다. 따라서 낱알 내부의 효과적인 전하 이동도는 식(1)과 같이 변형되고,  $\mu_{eff}$ 의 감소를 유발할 수 있게 된다. 편위의 감소로 낱알 내부의 전하 이동도가 증가하여도  $\mu_{eff}$  증가의 주된 요인이 될 수 없다. 오히려 낱알 경계 분자들 사이에서의 편위 감소는  $\mu_b$ 를 향상시키게 된다.

이상으로 기판D에서  $\mu_{eff}$ 의 증가는 낱알 간 거리/편위와 낱알 내부의 분자간 거리의 감소에 기인할 것을 알 수 있다. 표 1에는 호핑에 의한  $\mu_g$ 가  $1 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$

보다 작아야하는 점을 감안하여 [10] 기판A와 D의 TFT들이 보일 수 있는  $\mu_g$ 와  $\mu_b$ 의 값을 수식 (1)을 사용하여 추측하였다. 기판 A에서  $\mu_g$ 와  $\mu_b$ 의 크기 차이가 크지 않은 경우(예:  $\mu_g/\mu_b = 2$ ), 기판 D에서  $\mu_{eff} = 0.01 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 을 얻기 위해서  $\mu_g$ 는  $0.021 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 에서  $0.021 \sim 0.21 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 로 기판 A 대비 최대 10배 정도 상승할 수 있으며, 이 때  $\mu_b$ 는  $0.019 \sim 0.011 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 로 최대 1.8배 정도 상승할 수 있다. 기판A에서  $\mu_g$ 와  $\mu_b$ 의 크기 비율이 커질수록 기판A와 기판 D에서의  $\mu_{eff}$ 는  $\mu_b$ 에 의해 결정된다. 즉  $\mu_g/\mu_b$ 가 10배 이면, 기판 D에서  $\mu_g$ 가 향상되어도  $\mu_{eff}$ 의 향상은  $\mu_b$ 의 향상된 값에 의해 결정된다. 호핑에 의한 낱알 내부의 전하 이동도가 일반적으로 작기 때문에 ( $\ll 1 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ) [10] 기판 A에서  $\mu_g/\mu_b$ 는 10 이하가 될 것이며,  $\mu_b$ 의 향상보다는  $\mu_g$ 의 향상 폭이 매우 크게 될 가능성이 있음을 알 수 있다. 본 실험에서 만약  $\mu_b$ 만 향상되었다면, 즉 낱알 경계의 분자 간 거리만 감소 하려면 낱알들은 통째로 수평 이동하며 낱알 간 거리를 조절해주어야 한다. 그리고 만약 낱알이 통째로 수평 이동할 수 있다면 낱알 내부의 펜타센과 절연막과의 결합이 쉽게 끊어질 수 있어야 하며, 기존의 플렉서블 TFT들에서 일부 낱알들이 절연막에서 분리되는 현상이 발생해야 한다. 이러한 현상이 발생할 수 어렵기 때문에 측면 압력은 낱알 내부와 경계에서 분산되며, 절연막과 결합된 펜타센 분자 간 거리도 감소하여  $\mu_g$ 가 향상되는 것을 유추할 수 있다.

그림 6은 펜타센 증착 시 각 기판에 가해진 변형력 (strain) 대비 최대 전하 이동도의 상대적 크기를 표시하였다. 여기서 변형력  $\epsilon$ 은 다음과 같이 표현된다.

$$\epsilon = \frac{z}{R} \tag{2}$$

여기서  $z$ 는 그림 3과 같이 중앙 면으로부터의 거리 (Mylar의 두께의 반,  $\sim 100 \mu\text{m}$ )이고,  $R$ 은 원의 중심에서 중앙 면까지의 반경이다. 결과로부터 변형력이 작용한 기판들 사이에는 전하 이동도 사이에 연관성이 나타나고 있음을 관찰할 수 있다. 분자 간 거리의 감소 외의 요인으로 소스/드레인 전극에서의 전하 주입 (charge injection) 성능의 향상을 고려해 볼 수 있지만, 본 연구에 사용된 전극은 기판이 퍼진 상태에서 top-contact 형태로 형성이 되었으며 TFT들에서 얻어진 출력 특성 그래프에서 전하 주입 장벽에 기인한 비선형 특성은 관찰되지 않았다 [16].

#### 4. 결론

본 논문에서는 펜타센 분자 간 거리의 감소로 인한 전하 이동도의 증가를 확인하였다. 채널 내 분자들 간의 거리를 줄이기 위하여 펜타센 박막을 증착할 때는 플렉서블 기판을 휘어 채널의 길이를 길게 만들고, TFT 측정 시에는 기판을 평평하게 만들어 펜타센 박막에 채널의 길이 방향으로 압력을 가하였다. 측정 시 펜타센 반도체 막에 채널의 길이 방향으로 가해지는 압력이 커질수록 전하 이동도가 증가하는 특성을 확인하였으며, 채널 길이가 0.4% 정도 작아질 때 전하 이동도가 최대 35% 정도 증가하였다. 측면 압력으로 인하여 난알 내부의 분자 간 거리와 난알 간 거리가 감소하고, 이로 인하여 분자 간 거리에 영향을 받는  $\pi$  궤도 겹침 정도와 HOMO 대역폭이 향상되어 전하 전송 능력이 향상된 것이다. 본 연구를 통하여 난알 내부의 전하 이동도가 향상될 수 있음을 확인하였다.

#### 감사의 글

본 연구는 서울과학기술대학교와 The University of Texas at Austin의 지원으로 수행되었습니다.

#### REFERENCES

- [1] J. E. Anthony, D. L. Eaton, and S. R. Parkin, *Org. Lett.*, **4**, 15 (2002).
- [2] M. C. Delgado, K. R. Pigg, D. A. da Silva Filho, N. E. Gruhn, Y. Sakamoto, T. Suzuki, R. M. Osuna, J. Casado, V. Hernández, J. T. L. Navarrete, N. G. Martinelli, J. Cornil, R. S. Sánchez-Carrera, V. Coropceanu, and J. L. Brédas, *J. Am. Chem. Soc.*, **131**, 1502 (2009).
- [3] J. Rivnay, L. H. Jimison, J. E. Northrup, M. F. Toney, R. Noriega, S. Lu, T. J. Marks, A. Facchetti, and A. Salleo, *Nature Materials*, **8**, 952 (2009).
- [4] J. L. Brédas, J. P. Calbert, D. A. da Silva Filho, and J. Cornil, *Proc. Natl. Acad. Sci.*, **99**, 5804 (2002).
- [5] A. Dodabalapur, L. Torsi, and H. E. Katz, *Science*, **268**, 270 (1995).
- [6] D. Knipp, R. A. Street, and A. R. Völkel, *Appl. Phys. Lett.*, **82**, 3907 (2003).
- [7] W. Y. Chou, C. W. Kuo, H. L. Cheng, Y. R. Chen, F. C. Tang, F. Y. Yang, D. Y. Shu, and C. C. Liao, *Appl. Phys. Lett.*, **89**, 112126 (2006).
- [8] D. J. Gundlach, Y. Y. Lin, T. N. Jackson, S. F. Nelson, and D. G. Schlom, *IEEE Electron Devices Lett.*, **18**, 87 (1997).
- [9] G. Giri, E. Verploegen, S. C. B. Mannsfeld, S. Atahan-Evrenk, D. H. Kim, S. Y. Lee, H. A. Becerril, A. Aspuru-Guzik, M. F. Toney, and Z. Bao, *Nature*, **480**, 504 (2011).
- [10] C. D. Dimitrakopoulos and P. R. L. Malenfant, *Adv. Mater.*, **14**, 99 (2002).
- [11] R. Bourguiga, G. Horowitz, F. Garnier, R. Hajlaoui, S. Jemai, and H. Bouchriha, *Eur. Phys. J. Appl.*, **19**, 117 (2002).
- [12] S. E. Fritz, S. M. Martin, C. D. Frisbie, M. D. Ward, and M. F. Toney, *J. Am. Chem. Soc.*, **126**, 4084 (2004).
- [13] S. Steudel, S. D. Vusser, S. D. Jonge, D. Janssen, S. Verlaak, J. Genoe, and P. Heremans, *Appl. Phys. Lett.*, **85**, 4400 (2004).
- [14] H. L. Cheng, X. W. Liang, W. Y. Chou, Y. S. Mai, C. Y. Yang, L. R. Chang, and F. C. Tang, *Organic Electronics*, **10**, 289 (2009).
- [15] C. C. Mattheus, G. A. d. Wijs, R. A. d. Groot, and T. T. M. Palstra, *J. Am. Chem. Soc.*, **125**, 6323 (2003).
- [16] H. Klauk, G. Schmid, W. Radlik, W. Weber, L. Zhou, C. D. Sheraw, J. A. Nichols, and T. N. Jackson, *Solid-State Electron.*, **47**, 297 (2003).