

## 500 V급 Unified Trench Gate Power MOSFET 공정 및 제작에 관한 연구

강이구<sup>1,a</sup>

<sup>1</sup> 극동대학교 태양광공학과

### The Process and Fabrication of 500 V Unified Trench Gate Power MOSFET

Ey-Goo Kang<sup>1,a</sup>

<sup>1</sup> Department of Photovoltaic Engineering, Far East University, Eumseong 369-700, Korea

(Received August 23, 2013; Revised September 23, 2013; Accepted September 23, 2013)

**Abstract:** Power MOSFET operate voltage-driven devices, design to control the large power switching device for power supply, converter, motor control, etc. We have analyzed trench process, field limit ring process for fabrication of unified trench gate power MOSFET. And we have analyzed electrical characteristics of fabricated unified trench gate power MOSFET. The optimal trench process was based on SF6. After we carried out SEM measurement, we obtained superior trench gate and field limit ring process. And we compared electrical characteristics of planar and trench gate unified power MOSFET after completing device fabrication. As a result, the both of them was obtained 500 V breakdown voltage. However trench gate unified power MOSFET was shown improved  $V_{th}$  and on state voltage drop characteristics than planar gate unified power MOSFET.

**Keywords:** Power device, Breakdown voltage, Deep trench, Unified technology, Low on resistance

#### 1. 서론

Power MOSFET 소자는 전압 구동 방식으로 동작하는 소자이며, 큰 전력을 처리하기 위해 설계된 스위칭 디바이스로서 전원 공급 장치, 변환기, 모터 제어기 등에 널리 사용된다 [1,2]. 산업용 모터 구동에 사용되는 power MOSFET은 동작 상태에서 낮은 온저항은 전력 공급의 손실을 줄여줌으로 효율을 높이

고 결과적으로 저전력 구현을 가능하게 한다. 또한 스위칭 특성이 우수하며 입력 임피던스가 크기 때문에 구동 회로를 단순화할 수 있는 장점이 있다. 하지만 고전압 power MOSFET의 경우 고전압 특성 향상을 위해 항복 전압을 증가시키려면 드리프트 영역의 비저항과 두께를 증가시켜야 하며 따라서 온-저항 특성이 항복전압의 증가에 따라 급격히 증가하는 문제가 있다. 이에 600 V급 기준으로 고전압 특성을 가지면서도 기존 planar power MOSFET 대비 낮은 온-저항 특성을 가지는 unified trench power MOSFET 기술로의 전환이 이루어지고 있다 [3-5].

본 논문에서는 웨이퍼 당 칩 수를 1.5배 늘일 수 있으며, 낮은 온저항을 갖는 unified trench gate

a. Corresponding author: [keg@kdu.ac.kr](mailto:keg@kdu.ac.kr)

power MOSFET의 제작을 위해 trench 기술, junction termination 기술, trench 공정에 관련한 기술 등을 제시하였으며, 소자 제작을 위해 반도체 일괄 공정에 대한 연구 또한 제시하였다. 최종적으로는 최적의 unified trench gate power MOSFET을 제작하였으며, 전기적 특성을 분석하였다.

### 2. 실험 방법

500 V/600급 unified trench gate power MOSFET 공정 개발을 위해서는 핵심이 되는 단위 공정에 대한 확보가 필수적이다. 이러한 핵심 단위 공정으로서 trench gate 형성을 위한 trench etching 공정과 unified field ring 구조를 만들어 주기 위한 저농도 도핑 공정 등이 있다. Trench etching 공정의 경우 trench gate를 형성하기 위한 가장 기본적이면서도 매우 중요한 단위 공정이다. 특히 trench의 형상 제어 및 표면 제어에 의해서 전류의 효율 및 gate-source 간의 절연 내압 등이 결정되므로 적용할 장비, gas chemistry 및 recipe 등이 면밀히 검토된 다음 실험을 수행하였다. Trench 단위 공정에서는 먼저 목표 구조에 알맞은 gas chemistry를 결정하는 것이며, 현 목표 구조인 aspect ratio 5:1 이상, trench depth 3.0~4.0  $\mu\text{m}$  수준의 trench 공정에 적용할 수 있는 것으로 알려져 있는 대표적인 gas chemistry는  $\text{NF}_3$  base,  $\text{Cl}_2/\text{O}_2$  base,  $\text{SF}_6$  base 등을 이용하였다.  $\text{NF}_3$ 는 비교적 공정 시간이 느린 단점이 있지만 표면상태가 가장 우수하여 누설전류 측면에서 유리하고,  $\text{SF}_6$  base는 식각률 및 산화막 선택비가 우수한 장점이 있는 반면 표면을 처리하기 위한 추가적인 공정 실험을 수행하였다.

### 3. 결과 및 고찰

#### 3.1 500 V/600급 unified 기술 적용을 위한 junction termination 및 field ring, trench gate 설계 및 단위 공정 진행

표 1에서는 개별적인 gas chemistry에 따른 대표적인 trench profile의 실험 결과를 보였다. 본 결과는 각 gas chemistry 별로 별도의 실험을 거쳐 기본적인 규격을 만족하는 실험 결과를 정리한 것이다.

Table 1. Trench profile according to gas chemistry.

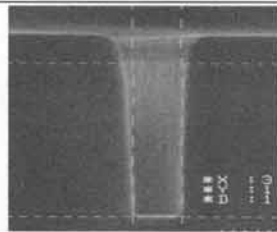
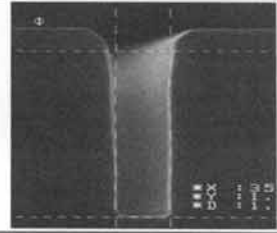
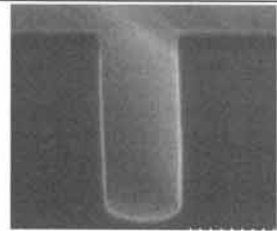
Classification	SEM Image
$\text{Cl}_2/\text{O}_2$ Base	
$\text{HBr}/\text{NF}_3$ Base	
$\text{SF}_6$ Base	

Table 2.  $\text{SF}_6$  base profile control.

No	Parameters				Results			
	Temp. (°C)	Bias Power (W)	$\text{SF}_6/\text{O}_2$ (sccm)	Press. (mT)	Etch Rate ( $\text{\AA}/\text{min}$ )	Profile (°)	Selectivity	Unit. (%. 1 $\sigma$ )
1	20	15	15/20	40	621.34	80.47	1.44	18.64
2	20	30	20/15	60	16680	89.20	25.26	1.59
3	20	45	25/10	80	24569	89.87	31.75	3.5
4	30	15	20/15	80	14094	89.57	29.05	5.39
5	30	30	25/10	40	18940	91.24	22.11	2.52
6	30	45	15/20	60	1238	80.67	1.53	20.83
7	40	15	25/10	60	22657	90.76	42.00	2.75
8	40	30	15/20	80	1788	79.04	2.77	26.92
9	40	45	20/15	40	15775	99.53	19.50	1.9

$\text{NF}_3$  및  $\text{Cl}_2/\text{O}_2$  chemistry는 profile slope 측면에서 문제가 없다. 하지만 식각률 및 산화막 선택비 결과에서 3.0  $\mu\text{m}$  이상의 trench를 형성하기에는 throughput 측면 및 필요한 mask oxide 두께 측면에서 적절치 않음을 알 수 있다.  $\text{SF}_6$  base는 15,000  $\text{\AA}/\text{min}$ 의 식각률을 갖고 있어 제작 측면에서 가장 우수한 결과를 보이고 있다. Slope 또한 89° 수준을 보이고 있어 전류 흐름 측면에서도 가장 우수할 것으로 판단된다.

본 실험 결과에서 과제의 목표 구조를 구현하기 위한 최적의 base chemistry는  $\text{SF}_6$  base임을 알 수 있다.

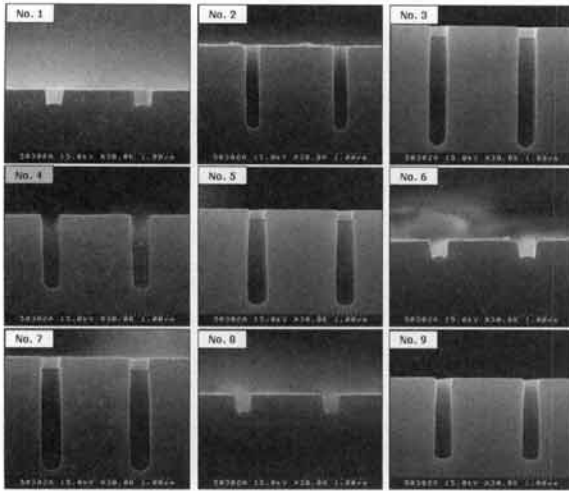


Fig. 1. The SEM image of SF6 profile.

표 2 및 그림 1에 SF<sub>6</sub> base chemistry에서 주요 인자에 따른 profile 변화 실험을 진행하였고, 실험을 통하여 최종공정 조건을 확정하였다.

**3.2 500 V급 unified trench gate power MOSFET 제작을 위한 layout, 단위 공정, 일괄 공정 및 최적 프로세스**

다음 그림 2에 소자의 단위 셀에 대한 layout 설계 결과를 정리하였다. 단위 셀 geometry는 stripe type 패턴이며, 단위 셀 pitch는 8.25 μm, trench는 1.0 μm 설계되었다.

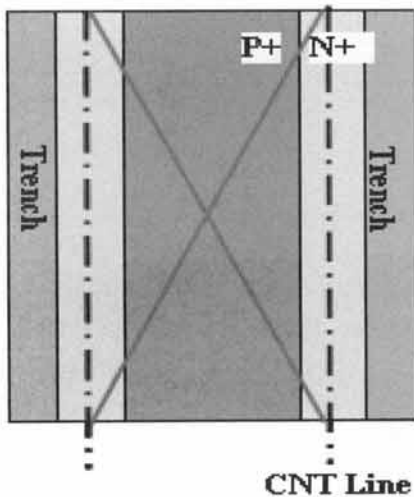


Fig. 2. Unit cell design of unified trench gate power MOSFET.

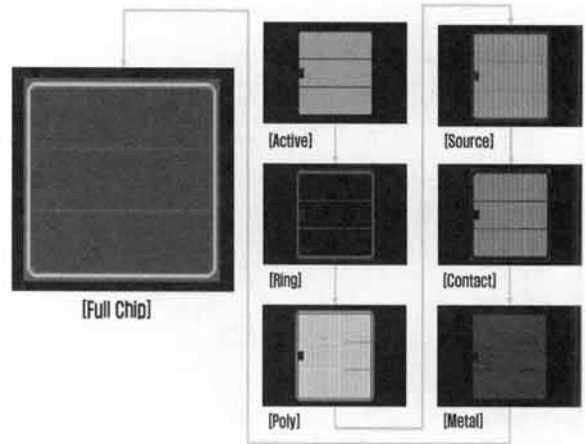


Fig. 3. 500 V unified trench gate power MOSFET full chip layout.

그리고 N<sup>+</sup> 소스는 1.0 μm, poly to CNT는 2.0 μm, poly to N<sup>+</sup>는 0.5 μm로 설계되었다. 개념적으로는 주어진 chip 면적 기준에서 V<sub>th</sub>와 온 전압 강하를 만족시킬 수 있는 최대의 pitch size로 설계가 되었는데 이는 전류 특성을 만족시키는 범위 내에서 ruggedness 특성이 향상되는 방향으로 결정되었으나, 향후 특성의 최적화 및 비용 경쟁력을 감안한다면 최적의 pitch를 결정하는 실험이 후속으로 진행되어야 할 것으로 판단된다. 다음으로 그림 3에 설계된 목표소자와 최종 마스크 도면을 보였다. 목표 소자의 평가가 20 A 이상의 고전류 평가 시스템 및 모듈 패키지를 요구하고 있다.

**3.3 500 V unified power MOSFET 일괄 공정에 대한 고찰**

그림 4는 일괄공정의 마지막 단계인 최종단면도를 나타내고 있다.

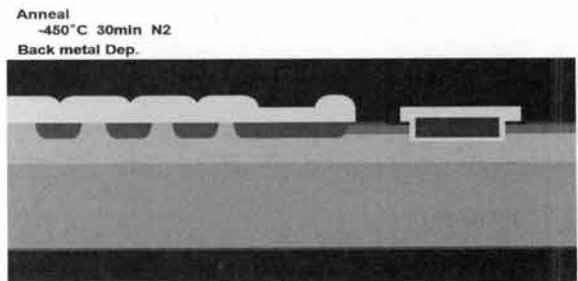


Fig. 4. The vertical section view of unified trench gate power MOSFET.

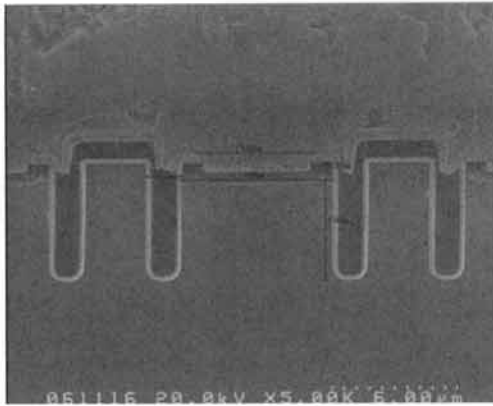


Fig. 5. The SEM image of unified trench gate power MOSFET.

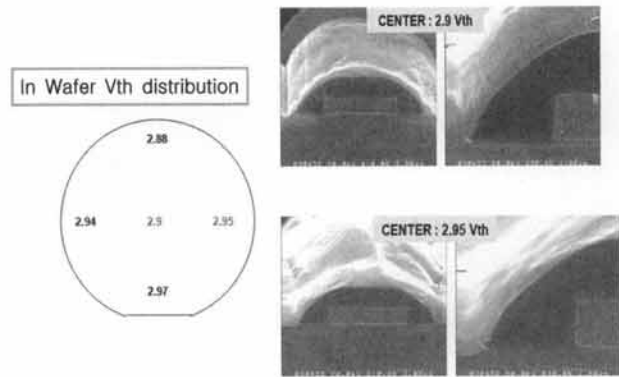


Fig. 8. The threshold voltage dispersion of unified trench gate power MOSFET.

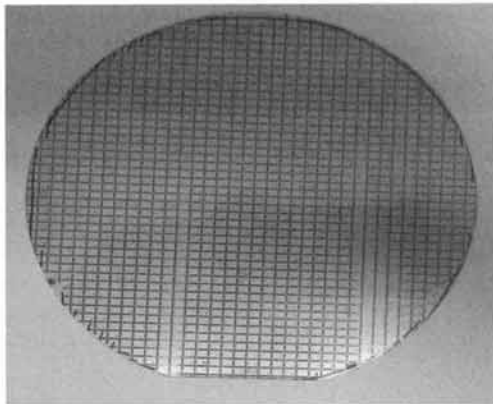


Fig. 6. Fabricated unified trench gate power MOSFET on 8 inch wafer.

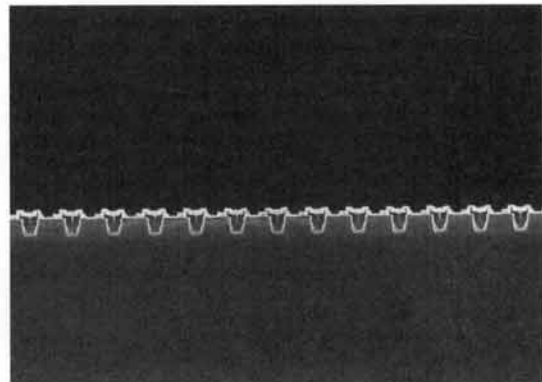


Fig. 9. The trench gate SEM image of unified trench gate power MOSFET.

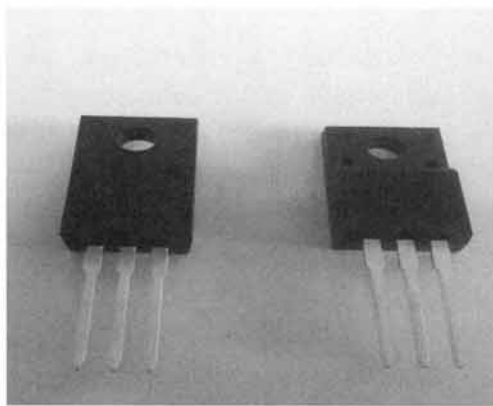


Fig. 7. Packaged unified trench gate power MOSFET.

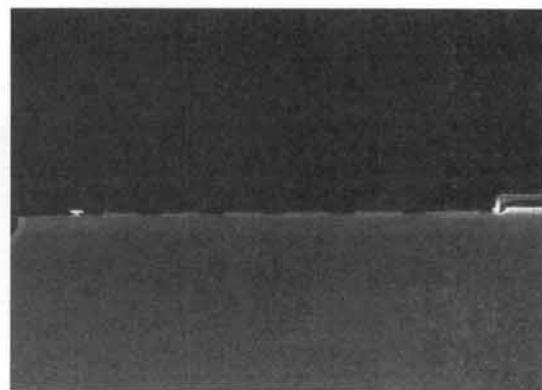


Fig. 10. The field limit ring SEM image of unified trench gate power MOSFET.

일괄공정 중에서 trench etching 및 P base implantation 등의 이온 주입을 통한 body 형성이

500 V급 unified power MOSFET의 주요 공정이라고 할 수 있다.

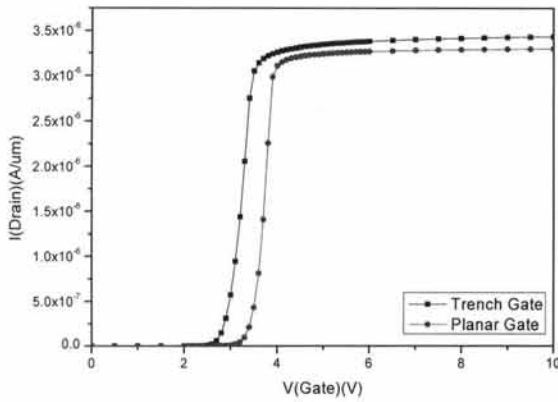


Fig. 11. The  $I_d$ - $V_g$  characteristics of unified planar and trench gate power MOSFET.

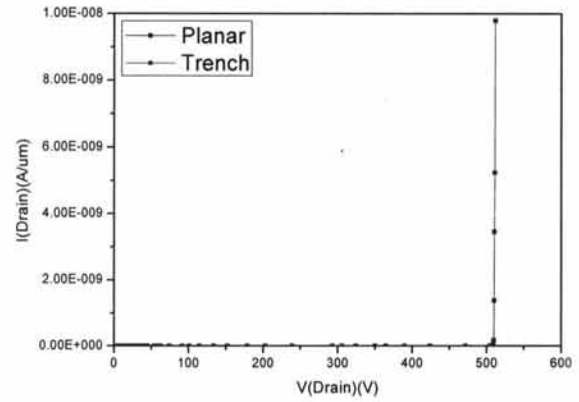


Fig. 13. The breakdown characteristics of unified planar and trench gate power MOSFET.

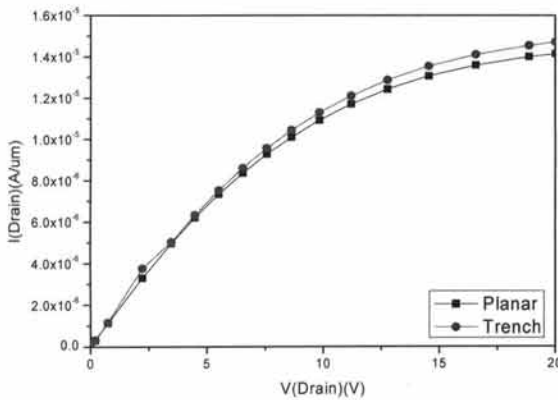


Fig. 12. The  $I_d$ - $V_d$  characteristics of unified planar and trench gate power MOSFET.

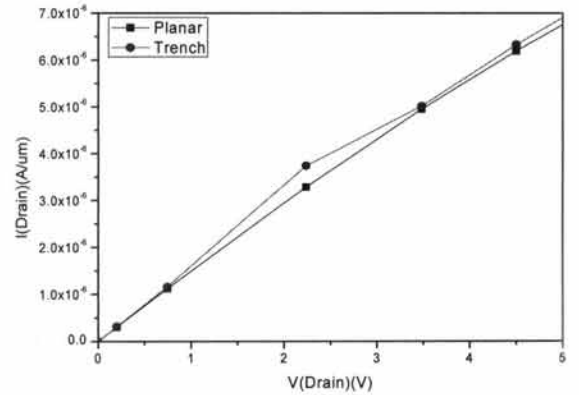


Fig. 14. The on state voltage drop characteristics of unified planar and trench gate power MOSFET.

이 주요 공정은 앞서 단위 공정 평가와 공정 시뮬레이션을 진행하여 500 V급 trench gate unified power MOSFET의 제작을 위한 공정 기술을 도출하였다.

그림 7은 제작된 unified trench gate power MOSFET의 웨이퍼 내  $V_{th}$  공정 산포를 나타내는 그림으로 실제 공정 제작 후 단위 셀의  $V_{th}$  산포 값이 2.9 V 정도 측정되었다.

그림 9와 10은 제작된 500 V/600 V급의 unified trench gate power MOSFET의 trench gate 형성과 field ring이 제대로 형성되었는지를 파악하기 위해 physical적으로 확인하기 위한 SEM 분석 그림으로 trench gate 형성이 실제 공정 시 설계 대비 0.5  $\mu m$  정도 적게 예칭이 되어  $V_{th}$ 값도 3.5 V가 아닌 2.9 V로 측정되었다. 그러나 소자의 안정 동작을 위한  $V_{th}$  범위인 2.5 V~3.5 V를 만족하는 결과임을 알 수 있다.

그림 11과 12는 500 V급 unified power MOSFET의 planar gate type과 trench gate type의  $I_g$ - $V_g$ 와  $I_d$ - $V_d$  특성을 비교한 그림으로 trench gate type이 더 낮은  $V_{th}$ 와 높은 전류 특성을 가지는 것을 알 수 있다.

그림 13과 14는 500 V급 unified power MOSFET의 planar gate type과 trench gate type의 항복전압과  $I_d$ - $V_d$  특성을 비교한 그림으로 항복전압은 별 차이가 없으나 온저항 특성은 trench gate가 향상되었음을 확인할 수 있다.

#### 4. 결론

본 논문에서는 500 V급 unified trench gate power

MOSFET을 제작하기 위한 trench 공정, unified field limit ring 공정 및 일괄공정 후 제작된 시제품에 대해서 전기적인 특성 분석을 하였다. 소자를 제작하기 위해 가장 중요한 공정인 trench 공정에 있어서 과제 의 목표 구조를 구현하기 위한 최적의 base chemistry 는 SF<sub>6</sub> base임을 알 수 있었다.

또한 SEM을 통해 trench gate와 field limit ring에 대한 공정이 우수하게 이루어졌음을 알 수 있었다. 소자 제작이 완료된 후, planar형의 소자와 전기적인 특성을 비교 분석하였으며, 그 결과 두 소자 모두 다 항복전압은 500 V를 유지하고 있었으나, V<sub>th</sub>와 온 전압 강하 특성은 planar형 보다 우수한 특성을 보이고 있다는 것을 알 수 있었다.

## REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. KIEEME*, 15, 758 (2002).
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. KIEEME*, 24, 713 (2011).
- [3] Malvino, A. Paul, Bates, and J. David, *Electronic Principles* (McGraw-Hill College, 2006)
- [4] Gates and D. I. Earl, *Introduction to Electronics 4/E Hardcover* (Delmar, 2001)
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. KIEEME*, 22, 12 (2009).
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *KIEE*, 7 (2006).
- [7] W. H. Hayt, Jr. *Engineer Ingelect Romagnetics-7/E* (Mc Grawhill, 2005)