Regular Paper
J. KIEEME
Vol. 26, No. 2, pp. 92-97, February 2013
DOI: http://dx.doi.org/10.4313/JKEM.2013.26.2.92

유기박막 트랜지스터에서 문턱전압 이동의 모델링 및 시뮬레이션

정태호[1,a]

[1] 서울과학기술대학교 전자IT미디어공학과

Modeling and Simulation of Threshold Voltage Shift in Organic Thin-film Transistors

Taeho Jung[1,a]

[1] Department of Electronic and IT Media Engineering, Seoul National University of Science and Technology, Seoul 139-743, Korea

(Received December 10, 2012; Revised December 18, 2012; Accepted January 22, 2013)

Abstract: In this paper the author proposes a method of implementing a numerical model for threshold voltage (V_{th}) shift in organic thin-film transistors (OTFTs) into SPICE tools. V_{th} shift is first numerically modeled by dividing the shift into sequentially ordered groups. The model is then used to derive a simulations model which takes into simulation parameters and calculation complexity. Finally, the numerical and simulation models are implemented in AIM-SPICE. The SPICE simulation results agree well with the V_{th} shift obtained from an OTFT fabricated without any optimization. The proposed method is also used to implement the stretched-exponential time dependent V_{th} shift in AIM-SPICE and the results show the proposed method is applicable to various types of V_{th} shifts.

Keywords: OTFT, Threshold voltage shift, Modeling, Simulation

1. 서 론

유기 박막트랜지스터 (organic thin-film transistor, OTFT)는 재료의 합성과 회로의 제작 방법이 다양하고 공정 비용을 낮출 수 있기 때문에 많은 관심을 받아오고 있다 [1,2]. 다양한 분야에 OTFT를 사용하기 위하여 유기 재료의 구조와 합성, 제작 공정 분야에 연구가 진행되어 오고 있다 [3,4]. 이런 연구의 결실로 OTFT는 비정질 실리콘 (amorphous silicon, a-Si) 박막트랜지스터와 견줄만한 전기적 성능을 보이고 있다 [5]. 이와 같이 현재의 기술은 OTFT를 사용하는 제품을 생산할 수 있는 단계에 접어들고는 있지만, 소자의 전기적인 특성에 대한 이해와 이를 회로 제작에 반영하는 부분은 아직 미비하다. 특히 문턱전압 이동 현상은 OTFT의 동작에서 문제가 되기 때문에 회로 제작 시 신중히 고려되어야 한다 [6]. 회로 설계는 일반적으로 SPICE 툴에 기반을 둔 다양한 설계 툴을 사용하고 있지만, 회로의 신뢰성 확보를 위한 문턱전압 이동 현상은 명확히 구현되어 있지 않다. 이는 OTFT의 재료와 구조, 물리적, 화학적 원인들이 다양하여 명확한 일반식 도출이 난해하기 때문이며, 결과적으로 SPICE 툴에 적합한 구현 방법이 없게 되었다. 현재까지의 문턱전압 이동에 대한 분석

a. Corresponding author: taeho.jung@seoultech.ac.kr

Copyright ©2013 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

적 이해는 주로 a-Si TFT를 대상으로 진행이 되어왔다. a-Si TFT에서 문턱전압 이동은 전하포획과 분자 결합이 끊어져서 발생하는 결함 생성에 의해 발생하며, 후자의 경우에 SE (stretched exponential) 또는 SH (stretched hyperbola) 형태의 분석적 수식이 유도되었다.

$$\Delta V_{th}(t)=\Delta V_{th}(\infty)\left\{1-\exp\left[-\left(\frac{t}{\tau}\right)^{\beta}\right]\right\} \quad (1)$$

$$\Delta V_{th}(t)=\Delta V_{th}(\infty)\left\{1-\left[1+\left(\frac{t}{\tau}\right)^{\beta}\right]^{\frac{1}{1-\alpha}}\right\} \quad (2)$$

여기서 a는 1과 2사이의 상수이고 β는 시간에 의존적인 상수, τ는 시상수이다. 분석적 수식은 소자의 전기적 상태 및 거동에 대한 이해를 돕지만, 회로 시뮬레이션을 위해 사용되기에는 문제가 있다.

본 논문에서는 문턱전압 이동을 SPICE 기반의 회로 시뮬레이션 툴에 구현하기 위하여 이전에 제시된 이산 모델링 방법 [7]을 기반으로 다양한 형태의 문턱전압 이동을 프로그래밍 언어에 적합한 모델링하는 방법을 제안한다. 또한, 제안하는 방법으로 실제의 문턱전압 이동과 SE 형태의 문턱전압 이동을 AIM-SPICE에 구현한다.

2. 실험 방법

2.1 OTFT 제작

본 실험에 사용된 펜타센 TFT는 3,000 Å의 SiO_2 절연체 박막이 열적으로 형성된 실리콘 기판 위에 제작 되었다. 펜타센 박막은 2×10^{-6} Torr의 압력에서 0.2~0.5 Å/s의 속도로 thermal evaporation 방법으로 증착하였으며, 350 Å 두께가 되도록 하였다. 소스와 드레인 전극은 쉐도우 마스크를 사용하여 제작하였으며, 500 Å 두께의 금 (Au)을 증착시켰다. 채널의 길이와 넓이는 각각 80 μm와 800 μm이다. OTFT의 측정은 2 mTorr 이하의 진공 상태인 박스에서 빛을 차단하고 실시하였다. 측정에 사용된 장비는 Agilent사의 4155C 반도체 어낼라이져이다.

2.2 모델링

다양한 OTFT들에서 발생하는 문턱전압 이동이 동일한 SE 또는 SH 형태의 수식으로 표현될 수 있는 점에 착안하여, 본 논문에서는 문턱전압 이동의 근본 운동 메커니즘들을 수식으로 표현하였을 때 모든 수식들은 동일한 형태가 될 것이라고 가정한다. 즉, 문턱전압 이동이 전하포획 이외의 원인에 의해 발생하더라도 근본 운동 메커니즘의 수식은 전하포획으로 인한 수식과 동일한 형태가 된다고 가정한다. 따라서 본 논문에서는 OTFT에서 가장 대표적인 전하포획에 의한 문턱전압 이동을 대상으로 일반적인 모델링 방안을 제안한다. OTFT에서 전하포획과 방출에 의한 포획된 전하의 수에 대한 운동 메커니즘은 다음과 같이 만들 수 있다 [7,8].

$$\frac{dp_{tr}}{dt}=k_f p_{free}(P_{tr}-p_{tr})-k_b p_{tr}P_{free} \quad (3)$$

여기서 p_{tr}은 포획된 전하 밀도이고 p_{free}는 채널 내의 전하 운반자 밀도이고, P_{tr}은 트랩 밀도, k_f와 k_b는 각각 포획과 방출 반응 계수이다. 위 운동 메커니즘이 OTFT의 여러 위치에서 상호 독립적인 형태로 발생한다는 가정 하에 포획된 전하의 수를 구할 수 있다 [7].

$$p_{tr}(t)=p_{\infty}+[p_0-p_{\infty}]\exp\left(-\frac{t}{\tau}\right) \quad (4)$$

여기서 p_{∞}는 게이트 전압이 변하지 않는 조건 하에서 안정상태에 도달할 때의 포획된 전하 밀도, p_0는 게이트 전압이 인가된 시점에 포획된 전하 밀도이다. 수식 (4)로 표현되는 전하포획 현상들이 OTFT 내에서 상호 독립적으로 발생되는 것을 가정하였으므로, 전체 문턱전압은 다음과 같다.

$$\Delta V_{th}(t)\propto\sum_{i=1}^{N}p_{tr,i}b \quad (5)$$

수식 (5)는 OTFT의 문턱전압 이동이 독립된 전하포획 현상들로 구성된다는 것을 보여주며, 그 반대로 측정된 문턱전압 이동 데이터에서 각각의 전하포획 현상을 분리해 낼 수 있음을 보여준다.

3. 결과 및 고찰

그림 1(a)는 SiO_2를 게이트 절연막으로 사용하는

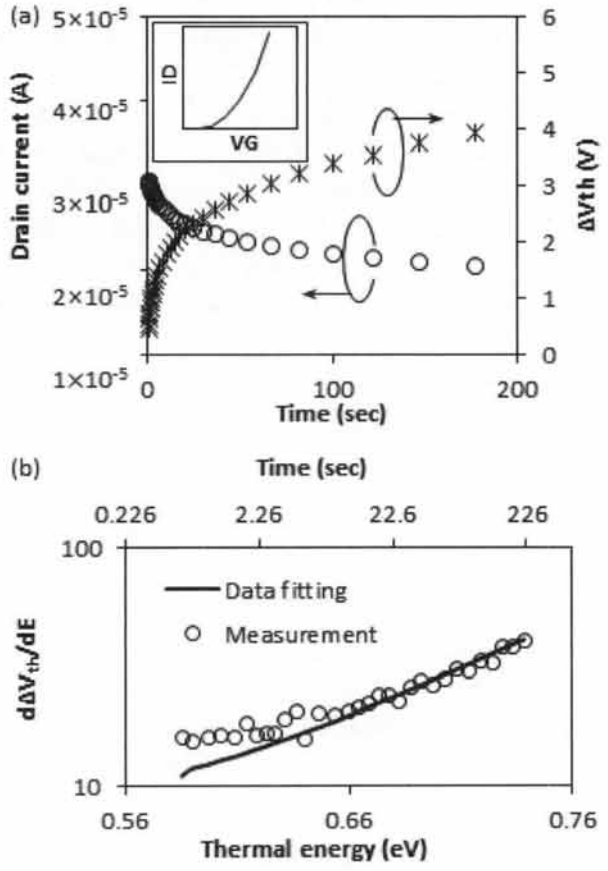

Fig. 2. (a) Drain current and threshold voltage shift with time. The inset is a transfer curve, (b) amount of change in the threshold voltage shift with respect to thermal energy.

펜타센 TFT에서 측정된 드레인 전류이다. 게이트와 드레인에 - 30 V의 전압을 인가한 순간부터 200초 동안 드레인 전류의 변화와 문턱전압의 이동을 표시하였다. 본 논문에서는 문턱전압 이동 추출을 위해 Shockley의 1차 트랜지스터 모델을 사용하였다.

$$I_D = \begin{cases} 0 & V_G < V_{th} \\ K\left(V_G - V_{th} - \dfrac{V_{DS}}{2}\right)^2 V_{DS} & V_{DS} < V_{DSAT} \\ \dfrac{K}{2}(V_G - V_{th})^2 & V_{DSAT} < V_{DS} \end{cases} \quad (6)$$

여기서 $K = C\mu W/L$이며 C는 커패시턴스, μ는 전하 이동도, W는 채널의 폭, L은 채널의 길이, $V_{DSAT} = V_G - V_{th}$이다. 전류의 감소는 문턱전압의 증가에 기인한 것이며, 게이트에 역전압을 인가하거나 오프상태로 방치하면 문턱전압 이동이 사라지는 것으로 보아 일반적으로 보고되는 전하포획 현상을 그 원인으로 추측할 수 있다. 그림 1(a)의 안쪽 그림은 V_{DS}= -30 V이고 V_G를 0에서 - 30 V로 변화시킨 transfer curve 이며, 전하 이동도 μ= 0.48 cm^2/Vs를 보였다. 전하포획 현상은 구체적으로 반도체 채널 내, 반도체와 게이트 절연막 경계 또는 절연막 내부에서 발생할 수 있다. 본 논문에서는 문턱전압 이동을 관측한 결과를 모델링하여 시뮬레이션 툴에 구현 절차를 제안하므로 물리적 현상의 규명 또는 해석은 논외 대상이다.

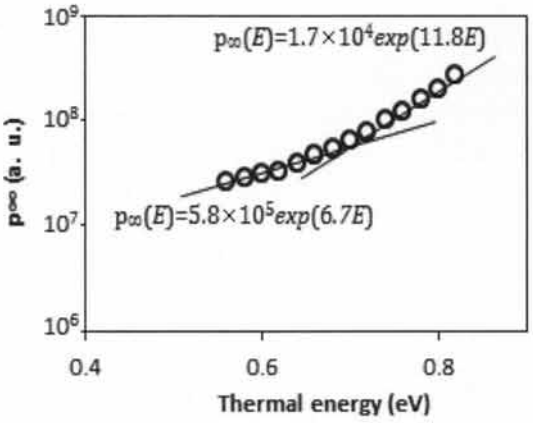

Fig. 3. The distribution of 14 p_∞.

SPICE 시뮬레이션을 위한 수식 모델을 만들기 위하서는 수식 (4)의 개체들을 만들고, 각 개체의 p_∞를 조절하며 수식 (5)와 그림 1(a)의 측정된 문턱전압의 변화를 근사시켜야 한다 [7]. 수식 (4)의 개체들은 일정 값으로 증가하는 고유의 시정수들을 부여받게 되므로, 각 고유 시정수 부근에서 발생하는 문턱전압 이동 또는 포획된 전하의 양은 각 개체의 p_∞와 연결되어 있다. 그림 1(a)에 측정된 문턱전압 이동은 포획된 전하들을 누적하여 표시하고 있으므로, 고유 시간에 발생하는 포획된 전하의 양을 추출하기 위해서는 문턱전압 이동을 시간으로 미분해야 한다. 실제 계산을 위해서는 시간의 개념이 아니라 전하포획 현상이 발생하는 확률에 기반을 둔 열적 에너지 (thermal energy) [9]의 개념을 사용하며, 본 논문에서는 300 K와 10^{10} Hz의 주파수 [10]를 사용하여 시간을 열적 에너지로 변환하였다. 그림 1(b)에는 그림 1(a)에 표

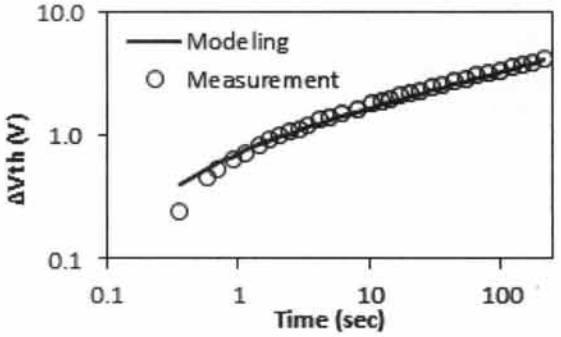

Fig. 4. Comparison of threshold voltage shift obtained from the measurement and the modeling.

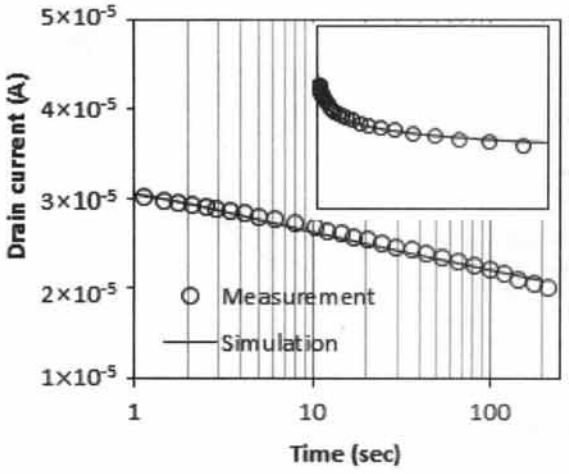

Fig. 4. Comparison of threshold voltage shift obtained from the measurement and the simulation implemented in AIM-SPICE. The inset is the same comparison in linear-linear scale.

시한 문턱전압 이동을 열적 에너지로 미분한 결과이다. 시간 또는 열적 에너지가 증가할수록 순간적인 문턱전압 이동 또는 포획된 전하의 양이 점점 증가하였음을 알 수 있다. 측정 시간을 길게 하면 문턱전압 이동이 둔화되면서 그림 1(b)에는 하강 곡선이 나타나게 될 것이다. 수식 (5)를 사용하여 그림 1(b)의 측정치와 근사시키기 위하여 14개의 수식 (4)에 대한 개체들을 만들었으며 [7], 0.56 eV에서 0.02 eV 간격으로 시정수들을 할당하여 p_∞들을 조절하였다. 14개의 개체들에서 얻은 시간 당 문턱전압 이동량은 그림 1(b)에 표시하였으며, 14개 개체들의 p_∞들의 분포는 그림 2에 표시하였다. SE 형태의 문턱전압 이동에서 추출된 p_∞는 중심이 되는 개체를 전후로 로그 스케일에서 선형 증가 후 감소의 모양을 보이는 것에 비하여 [7], 본 논문에 사용된 OTFT는 재료나 공정의 최적화가 사용되지 않았기 때문에 비선형 증가를 보인다. 이 분포에서 전하 운송자의 포획은 단일 재료 또는 위치에 기인한 것이 아님을 추측할 수 있다 [11]. 그림 1과 2에서는 측정의 한계로 문턱전압 이동이 포화되어 안정되기 이전의 상황에 대한 모델링 결과를 보여준다. 그림 1(b)에서 낮은 에너지, 즉 게이트 전압이 인가된 직후에서의 실측치와 모델링 값에 차이가 발생한다. 열적 에너지와 시간은 $E = kT\ln(t \cdot \upsilon)$의 관계가 있으므로, 1초 또는 0.6 eV 이하의 변화에 대한 측정 데이터를 수집하기 어렵기 때문에 오차가 발생한 것으로 추측할 수 있다. 가능한 또 다른 이유는 문턱전압과 전하 이동도를 추출하기 위해 사용한 수식 (6)에서 발생한 오차이다. 많은 OTFT들이 a-Si TFT와 유사한 반응을 보이기 때문에 RPI (rensselaer polytechnic institude)의 a-Si TFT 모델을 사용할 수도 있으나, 본 논문에서는 트랜지스터 전류 모델과는 독립적으로 문턱전압 이동모델을 사용할 수 있음을 보이기 위해 기본적인 Shockley의 1차 트랜지스터 모델을 사용하였다. SPICE 툴에 문턱전압을 구현하기 위해서는 근본적으로 절단 오차 (truncation error) 등을 감수해야 하므로, 모델링에서 발생하는 오차는 허용 범위 내로 고려한다. 그림 3에는 찾아진 p_∞분포를 사용하여 문턱전압을 재연한 결과를 실측치와 비교하였다.

SPICE 시뮬레이션을 위해서 14개의 수식 (4)에 대한 개체의 정보를 SPICE 입력 파라미터로 사용하는 방식으로 프로그램 코드를 작성할 수 있다. 이 방법은 그림 3과 동일한 결과를 얻을 수 있으나, 다양한 동작 환경과 소자에 대한 확장성이 좋지 않다. 따라서, 본 논문에서는 각 개체에 대한 정보, 특히 p_∞ 수치를 직접 사용하는 것 보다는 근사 수식을 사용하는 방법을 제안한다. 그림 2에는 14개의 p_∞ 분포에서 일반적인 p_∞를 찾기 위한 근사 수식이 표시되었다. 본 논문에 사용된 OTFT의 문턱전압 이동은 복합 형태이므로 2개의 식들을 사용하여 모델링할 수 있다.

$$p_\infty = 5.8\times10^5 e^{6.7E} + 1.7\times10^4 e^{11.8E} \quad (7)$$

14개의 개체에 할당될 p_∞는 각각에 부여된 시정수

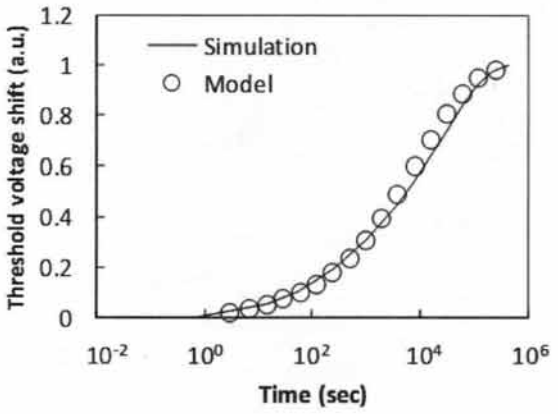

Fig. 6. Comparison of threshold voltage shift obtained from the stretched exponential time depedent model and its simulation implemented in AIM-SPICE.

를 에너지로 변환한 후 수식 (7)을 사용하여 계산한다. 위 과정을 C 언어로 코딩하여 AIM-SPICE에 구현하였으며, OTFT의 트랜지스터 거동은 Shockley의 1차 트랜지스터 모델을 사용하였다. AIM-SPICE에 구현된 트랜지스터에 실험과 동일한 구동 전압을 인가하여 얻은 드레인 전류의 시간에 따른 변화는 그림 4에 표시하였다. 전반적으로 실측치와 시뮬레이션의 계산 값이 일치하는 것을 알 수 있다. 실측치와의 오차는 수식 (7)의 계수들을 더욱 정밀하게 조절하거나 항을 추가하는 것으로 줄일 수 있다.

본 논문에서 제안하는 모델링 방법의 활용도를 검증하기 위하여 그림 2에서 모델링한 OTFT 외에 전형적인 SE 형태의 문턱전압 이동 모델도 AIM-SPICE에 구현하였다. 그림 5에는 수식 1의 분석 모델과 10개의 수식 (4) 개체 [7]를 사용하여 AIM-SPICE에 구현한 결과를 표시하였다. SE 형태의 문턱전압 이동 모델인 수식 (1)에서 τ= 10^4 sec와 β= 0.43로 설정하였으며, 10개의 p_∞ 분포에 대한 근사 식은 조화 평균의 형태로 만들었다.

$$p_\infty = \frac{41.8\times10^{-6}\times e^{8.6E}}{10^{-6}\times e^{14.8E}+41.8\times e^{-6.2E}} \quad (8)$$

그림 5에서 볼 수 있듯이 시간이 충분히 경과하면 문턱전압 이동은 둔화되어 멈추며, AIM-SPICE 시뮬레이션에도 둔화 현상이 나타난다. τ= 10^4 sec 부근에서 두 계산에 차이가 발생하는 것을 볼 수 있으며, 이는 수식 (8)에서 두 형태의 조화 평균을 만들 때 발생하는 오차에 기인한다. p_∞ 분포를 미세 조절하고 [7], 수식 (8)의 계수를 조절하면 일치 정도는 향상될 수 있다. 주목할 점은 SE 형태의 문턱전압 이동에 대한 SPICE 시뮬레이션은 수식 (4)에 대한 개체의 수가 적어도 최적화되지 않은 OTFT에 대한 시뮬레이션보다 일치도가 더 높다는 것이다. 수식 (7)과 (8)의 계수들은 시뮬레이션 툴에 전달되어질 주된 파라미터들이다. 일반적으로 시뮬레이션의 입력 파라미터의 개수가 많을수록 정확도는 높아지지만, 계수들의 수치를 조절하는 부분이 복잡해지는 단점을 야기한다 [12].

본 논문에서 제안하는 방식은 고정된 구동 전압에 대해서 4개의 입력파라미터가 필요하며, 구동전압이 변하는 경우에는 더 많은 파라미터를 필요하게 된다. 하지만, 이 파라미터들은 그림 2에 보인 시간에 따라 순차적으로 나열된 데이터를 동일한 방식으로 표현하는 수식에 대한 계수이므로, 파라미터 개수와 복잡도의 연관 정도는 약하다.

4. 결 론

본 논문에서는 일반적인 OTFT로부터 측정한 문턱전압 이동을 SPICE 툴에 구현할 수 있는 방안을 제안하였다. 이를 위하여 OTFT 내에서 발생하는 문턱전압 이동의 원인들이 상호 독립적이고 고유한 발생 시간을 갖는다는 가정을 제안하고 이를 기반으로 전하포획 과정을 수식화하여 SPICE 툴에 구현하였다. 최적화를 거치지 않은 OTFT의 실측치와 SE 형태의 문턱전압 이동을 AIM-SPICE에 구현하였으며, 실측치와 분석 모델과 비교하였을 때 큰 차이가 없음을 확인하였다.

본 논문에서 제안하는 방안은 트랜지스터의 거동 모델과는 독립적이므로 다양한 트랜지스터 모델에 결합되어 사용될 수 있을 것이다. 후행되어야 할 과정은 다양한 구동 전압이 인가되었을 때 발생하는 문턱전압 이동을 구현하는 것이며, 이를 위해서는 물리적 화학적 해석이 선행되어야 한다. 이 결과로 제시될 수식 모델 역시 본 논문에서 제안하는 방법을 적용할 수 있을 것이다. 또한 보다 정밀한 시뮬레이션 결과를 위해서는 실측치에서 p_∞ 분포를 조절하고, SPICE 툴로 필요한 정보를 자동으로 넘길 수 있는 fitting 툴의 개발이 필요하다.

감사의 글

이 연구는 서울과학기술대학교 교내 학술연구비 지원으로 수행되었습니다.

REFERENCES

[1] C. D. Dimitrakopoulos and P. R. L. Malenfant, *Adv. Mater.*, 14, 99117 (2002).
[2] H. Klauk, *Chem. Soc. Rev.*, 39, 2643 (2010).
[3] J. E. Anthony, D. L. Eaton, and S. R. Parkin, *Org. Lett.*, 4, 15 (2002).
[4] M. C. Delgado, K. R. Pigg, D. A. da Silva Filho, N. E. Gruhn, Y. Sakamoto, T. Suzuki, R. M. Osuna, J. Casado, V. Hernández, J. T. L. Navarrete, N. G. Martinelli, J. Cornil, R. S. Sánchez-Carrera, V. Coropceanu, and J. L. Brédas, *J. Am. Chem. Soc.*, 131, 1502 (2009).
[5] D. Braga and G. Horowitz, *Adv. Mater.*, 21, 1473 (2009).
[6] H. Sirringhaus, *Adv. Mater.*, 21, 3859 (2009).
[7] T. Jung, *Proc. 6th Int. Conf. on Convergence and Hybrid Information Technology* (eds. G. Lee, D. Howard, J. J. Kang, and D. Slezak) (Daejeon, Korea, 2012) p. 453.
[8] K. K. Ryu, I. Nausieda, D. D. He, A. I. Akinwande, V. Bulovic, and C. G. Sodini, *IEEE Trans. Elect. Dev.*, 57, 1003 (2010).
[9] S. C. Deane, R. B. Wehrspohn, and M. J. Powell, *Phys. Rev.*, *B*58, 12625 (1998).
[10] H. L. Gomes, P. Stallinga, F. Dinelli, M. Murgia, F. Biscarini, D. M. D. Leeuw, M. Muccini, and K. Mllen, *Polym. Adv. Technol.*, 16, 227 (2005).
[11] H. H. Choi, M. S. Kang, M. Kim, H. Kim, J. H. Cho, and K. Cho, *Adv. Funct. Mater.*, doi: 10.1002/adfm.201201545 (2012).
[12] M. Chan, X. Xi, J. He, K. M. Cao, M. V. Dunga, A. N. Niknejad, P. K. Ko, and C. Hu, *Microelectron. Reliab.*, 43, 399 (2003).