

적층 PTC 써미스터의 전기적 특성에 대한 재산화의 영향

전명표^{1,a}

¹ 한국세라믹기술원 나노IT소재팀

Effect of Re-oxidation on the Electrical Properties of Multilayered PTC Thermistors

Myoung-Pyo Chun^{1,a}

¹ Nano IT Materials Team, Korea Institute of Ceramic Engineering and Technology, Seoul 153-801, Korea

(Received December 5, 2012; Revised December 26, 2012; Accepted January 4, 2013)

Abstract: The alumina substrates that Ni electrode was printed on and the multi-layered PTC thermistors of which composition is $(\text{Ba}_{0.998}\text{Ce}_{0.002})\text{TiO}_3 + 0.001\text{MnCO}_3 + 0.05\text{BN}$ were fabricated by a thick film process, and the effect of re-oxidation temperature on their resistivities and resistance jumps were investigated, respectively. Ni electroded alumina substrate and the multi-layered PTC thermistor were sintered at $1,150^\circ\text{C}$ for 2 h under $\text{PO}_2 = 10^{-6}$ Pa and then re-oxidized at $600\sim 850^\circ\text{C}$ for 20 min. With increasing the re-oxidation temperature, the room temperature resistivity increased and the resistance jump ($\text{Log}R_{290}/R_{25}$) decreased, which seems to be related to the oxidation of Ni electrode. The small sized chip PTC thermistor such as 2012 and 3216 exhibits a nonlinear and rectifying behavior in I-V curve but the large sized chip PTC thermistor such as 4532 and 6532 shows a linear and ohmic behavior. Also, the small sized chip PTC thermistor such as 2012 and 3216 is more dependent on the re-oxidation temperature and easy to be oxidized in comparison with the large sized chip PTC thermistor such as 4532 and 6532. So, the re-oxidation conditions of chip PTC thermistor may be determined by considering the chip size.

Keywords: PTC thermistor, Chip, Re-oxidation, Ni electrode, Resistivity

1. 서 론

BaTiO_3 기반의 PTC 써미스터는 열센서, 과전류보호소자 및 자동조절 히터 등의 다양한 용도로 사용되어 왔으며, 최근 전자기기의 소형화로 인해 PTC 써

미스터도 기존의 벌크형에 비하여 크기가 매우 작은 적층칩에 대한 요구가 증가되고 있으며 이에 대한 연구개발이 진행되어 왔다 [1-6]. 적층칩 PTC 써미스터의 전극은 보통 ohmic contact을 형성하기 위하여 비귀금속인 Ni이 사용되므로 고온 소결 시 Ni이 NiO로 산화되는 것을 방지하기 위해 환원분위기에서 소결해야 한다. 한편, BaTiO_3 기반의 세라믹 소체를 H_2 와 N_2 가스를 이용하여 환원분위기에서 소결하게 되면, BaTiO_3 격자 내의 산소가 공기 중으로 빠져나가므로 저항점프 특성이 낮아지는 문제가 발생된다. 따라서

a. Corresponding author; myoungpyo@kicet.re.kr

환원 소결 후에 격자 내에 산소를 공급하기 위해서는 소결 온도보다 낮은 온도에서 재산화 실시해야 한다. 환원 소결된 샘플의 재산화 처리는 환원 소결 시 발생된 $BaTiO_3$ 격자 내의 산소 공공에 산소를 공급시켜 저항점프 특성을 향상시키기 위해서 필요하나, 과도한 재산화 처리는 내부전극인 Ni을 NiO로 산화시켜 상온 저항을 증가시키고, 저항점프 특성도 저하시키는 결과를 가져오므로 재산화 온도를 적절히 결정하는 것은 매우 중요하다.

본 연구에서는 Ni 전극이 인쇄된 알루미나 기판과 $(Ba_{0.998}Ce_{0.002})TiO_3 + 0.001MnCO_3 + 0.05BN$ 조성의 적층칩 PTC 써미스터를 후막공정으로 제조하고, 이들 샘플의 저항 특성 및 미세구조에 대한 재산화 온도의 영향을 조사하였다. 또한, 적층칩 PTC 써미스터의 크기 (2012, 3216, 4532 및 6432)에 따른 재산화 온도의 영향을 조사하였다.

2. 실험 방법

2.1 Ni 전극이 인쇄된 알루미나 기판의 제조

그림 1은 Ni 전극이 인쇄된 알루미나 기판과 측정 장치의 모식도로써 Ni 전극에 대한 재산화의 영향을 조사하기 위해 사용되었다.

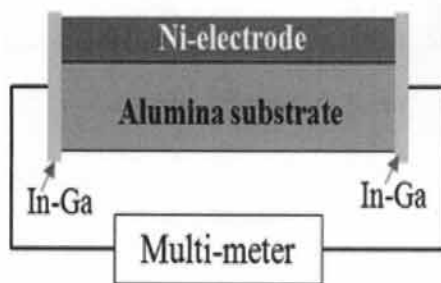


Fig. 1. Schematic diagram for the resistance measurement of Ni-electrode reoxidized at different temperatures. Ni-electrode is screen printed on alumina substrate.

알루미나 기판 위에 Ni 전극을 6 μm 두께로 스크린 인쇄하여 Ni 전극이 도포된 알루미나 기판을 제조한 후에 이를 H_2 와 N_2 가스를 이용하여 산소분압 $PO_2 = 10^{-6}$ Pa의 환원분위기의 1,150°C에서 2시간 소

결을 실시하였으며, 그 후에 650, 700 및 750°C의 공기 중에서 20분 간 재산화 하였다.

2.2 적층칩 PTC 써미스터 샘플 제조

출발원료로는 $BaCO_3$ (Acros, 99%), TiO_2 (고순도 화학, 99%), CeO_2 (Aldrich, 99.9%), $MnCO_3$ (고순도, 99.9%) 및 BN (고순도, 99.9%)이 사용되었다. 주조성인 $(Ba_{0.998}Ce_{0.002})TiO_3$ 의 1차 합성분말은 고상반응법으로 제조하였다. 에탄올과 지르코니아 불인 담긴 불밀에 출발원료인 $BaCO_3$, TiO_2 그리고 CeO_2 를 칭량하여 투입한 후 10시간 동안 혼합 분쇄를 실시한 후에 건조하고, 1,150°C의 공기 중에서 2시간 하소하여 합성분말인 $(Ba_{0.998}Ce_{0.002})TiO_3$ 를 얻는다.

$(Ba_{0.998}Ce_{0.002})TiO_3 + 0.001MnCO_3 + 0.05BN$ 조성의 적층칩 PTC 써미스터는 다음과 같은 후막공정을 이용하여 제조되었다. 합성분말 $(Ba_{0.998}Ce_{0.002})TiO_3$ 와 첨가제 $MnCO_3$, CeO_2 를 PVB계 중합바인더 (B73225, Ferro)가 들어있는 불밀에서 균일하게 혼합 및 분산시켜 슬러리를 제조하고, 콤팩터를 이용하여 슬러리를 37 μm 두께의 성형시트로 성형하였다. Ni 전극 인쇄 시트는 성형시트에 Ni 페이스트를 스크린 인쇄하여 만들었다. 다양한 크기의 적층칩 PTC 써미스터 (2012, 3216, 4532 및 6532)는 Ni 전극 인쇄시트와 성형시트를 적층, 절단 및 소결하여 제조하였다. 여기서 Ni 내부 전극의 적층수는 5층이며, 샘플의 두께는 0.9 mm이다.

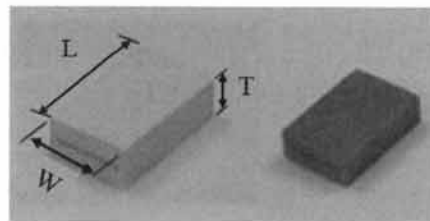


Fig. 2. Appearance of 3216 sized chip before and after firing.

그림 2는 3216 크기의 적층칩 PTC 써미스터 ($L*W*T = 3.2*1.6*0.9$ mm)의 소결 전과 소결 후의 샘플의 외형을 보여준다. 소결은 환원소결과 재산화의 두 단계로 이루어졌다. 환원소결은 산소분압 $PO_2 = 10^{-6}$ Pa의 환원분위기의 900°C에서 2시간 소결하였으

며, 재산화는 공기 중의 700~850℃에서 20분 간 실시하였다.

2.3 샘플의 특성 평가

소결 샘플들은 전기적인 특성을 평가하기 위해 샘플의 양면을 미세 연마하고 ohmic contact를 형성시키기 위해서 In-Ga계 전극을 도포한 후, digital multimeter (Agent, 34970A)와 thermometer를 이용하여 상온에서 300℃까지 분 당 10℃로 승온시키면서 저항을 측정하였다. 또한 소결샘플의 외형 및 색상은 카메라로 얻었으며, 미세구조는 광학현미경으로 관찰하였다.

3. 결과 및 고찰

3.1 Ni 전극이 인쇄된 알루미나 기판의 재산화

그림 3은 알루미나 기판 위에 인쇄된 Ni 전극을 산소분압 $PO_2 = 10^{-6}$ Pa의 환원분위기의 1,150℃에서 2시간 환원소결을 실시한 후에 650, 700 및 750℃에서 20분 간 공기 중에서 재산화한 샘플과 재산화하지 않은 샘플의 표면 사진 및 저항을 보여준다. 재산화 온도가 높아질수록 회색에서 녹색으로 색상이 변화됨을 보여준다. 재산화하지 않은 샘플은 0.26 Ω의 가장 작은 저항을 가지며, 재산화 온도가 올라갈수록 저항은 급격히 증가하고, 750℃에서 재산화한 샘플은 13.27 Ω의 저항을 나타낸다. Ni전극의 산화속도에 영향을 주는 주요인자로는 열처리 산소분압과 열처리 온도로서 산소분압이나 열처리 온도가 증가하면 Ni의 산화속도는 촉진된다 [7].





	R=0.26Ω Re-oxidation No
	R=0.70Ω Re-oxidation at 550°C
	R=3.44Ω Re-oxidation at 650°C
	R=13.27Ω Re-oxidation at 750°C

Fig. 3. Appearances and resistances of Ni-electrodes on alumina substrate re-oxidized at various temperatures after firing at 900℃ for 2 h in reduced atmosphere of $PO_2 = 10^{-6}$ Pa.

따라서 재산화 온도가 올라가면 Ni의 NiO로의 산화량이 증가하여 저항은 증가할 것으로 예상되며, 고온에서 재산화된 샘플의 급격한 증가 결과와 일치한다. 따라서 상온저항을 낮추기 위해서는 재산화 온도를 가능한한 낮추는 것이 필요하다.

3.2 적층칩 PTC 써미스터의 특성에 대한 재산화 온도 영향

그림 4는 환원소결후 700~850℃에서 재산화된 3216 칩 PTC의 온도에 따른 비저항의 변화를 보여준다. 재산화 온도가 700℃에서 750℃로 상승하면 그림 5에서 보여주듯이 상온 비저항은 약간 증가하고, 저항점프 특성은 거의 변화가 없으나, 800℃ 이상으로 재산화 온도가 상승하면 저항점프 특성은 급격히 떨어지며, 상온 비저항도 더욱 증가하는 경향을 보인다. 따라서 재산화 온도는 700~750℃가 적당한 것으로 사료된다.

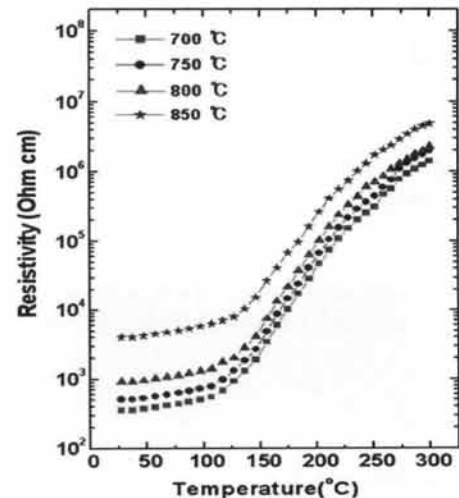


Fig. 4. Temperature dependence of resistivity of 3216 chip re-oxidized at different temperatures.

Wei 등 [8]은 $BaTiO_3$ - $Bi_{0.5}Na_{0.5}TiO_3$ 계의 단판형 PTC 써미스터에서 재산화 온도가 800℃에서 1,000℃로 증가하면 상온저항은 증가하나 저항점프 특성도 증가됨을 보고하였다. 단판형의 PTC의 경우 재산화 온도가 높아질수록 저항점프 특성의 향상은 환원소성 시 형성된 산소공공을 재산화에 의해 산소로 다시 채워 강유전 특성이 강화되기 때문으로 사료된다.

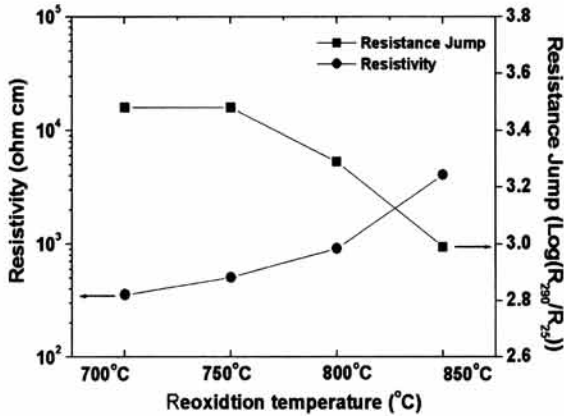


Fig. 5. The variation of resistivity and resistivity jump ($\text{Log}(R_{290}/R_{25})$) of 3,216 chip as a function of reoxidation temperature.

적층칩 PTC 써미스터의 경우 재산화 온도가 증가할수록 저항점프 특성의 저하는 Ni 내부전극이 NiO로 산화되어 결정립계의 산소공공을 채울 산소를 감소시켜 결정립계에서의 입계장벽이 낮아지기 때문으로 사료되며, Liu 등 [9]은 BaTiO₃와 Ni의 복합체의 약환원분위기 소결 시에 Ni의 첨가량이 증가할수록 저항 점프 특성이 감소됨을 관찰하였다.

적층칩 PTC 써미스터의 재산화 시 산소분압은 Ni 전극의 산화속도와 세라믹 소체인 BaTiO₃에 존재하는 산소공공의 농도 영향을 미칠 것이다. 재산화 시의 산소분압이 높아지면 Ni 전극의 산화량은 증가될 것이나, BaTiO₃의 결정립계에 존재하는 산소공공의 수는 감소할 것이다. 따라서 Ni 산화층으로 증가로 저항을 증가될 것이나, BaTiO₃의 결정립계에 존재하는 산소공공의 수는 감소로 저항점프 특성은 향상될 것이다. 따라서 산소분압도 Ni 전극과 BaTiO₃의 산화 정도를 고려하여 결정해야 한다.

3.3 적층칩 PTC 써미스터의 크기에 따른 재산화 온도 영향

그림 6은 환원소성 후 750°C에서 재산화된 적층칩 PTC의 크기에 따른 I-V 곡선의 변화를 보여준다. 칩 크기가 증가할수록 I-V곡선의 기울기는 증가하며, 2012 및 3216에서는 매우 낮은 기울기를 가지며 직선에서 약간 벗어난 정류특성을 보이는 반면에, 4532와 6532의 칩의 I-V곡선은 직선의 기울기를 보이며

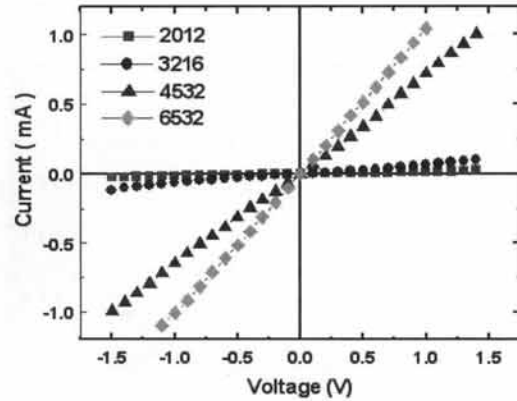


Fig. 6. I-V curves of different size chips which were re-oxidized at 750°C for 20 min. after firing at 900°C for 2 h in reduced atmosphere of $\text{PO}_2 = 10^{-6}$ Pa.

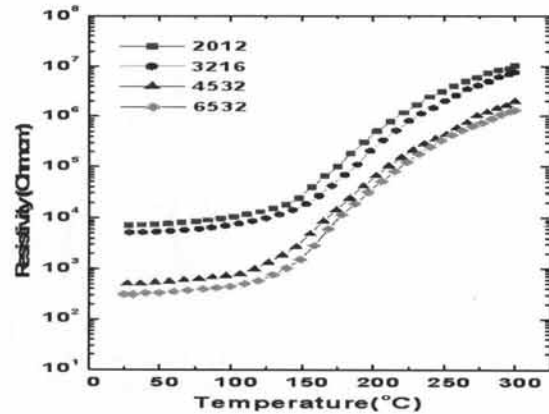


Fig. 7. Temperature dependence of resistivity of different size chips which were re-oxidized at 750°C for 20 min. after firing at 900°C for 2 h in reduced atmosphere of $\text{PO}_2 = 10^{-6}$ Pa.

ohmic 거동을 나타낸다. 크기가 큰 적층칩 PTC 써미스터는 Ni 내부전극의 면적이 넓어 전극의 일부분이 재산화 시 산화되어도 산화되지 않은 나머지 부분에 의해 Ni 내부전극과 세라믹층이 ohmic 접촉을 이룰 수 있기 때문으로 사료된다. Yoon 등 [10]은 Ni이 무전해 도금된 BaTiO₃의 열처리 전과 후의 I-V곡선을 조사하여 열처리 전에는 정류 특성을 관찰하였고, 열처리 후에는 ohmic 특성을 관찰하였으며, 열처리 시에 전극과 세라믹 계면에서 산소층이 사라져 ohmic 특성을 보이는 것으로 설명하였다.

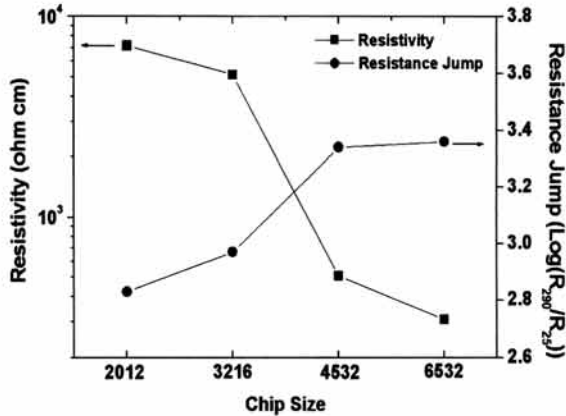


Fig. 8. The variation of resistivity and resistivity jump ($\log(R_{290}/R_{min})$) of different size chips which were re-oxidized at 750°C for 20 min. after firing at 900°C for 2 h in reduced atmosphere of $\text{PO}_2 = 10^{-6}$ Pa.

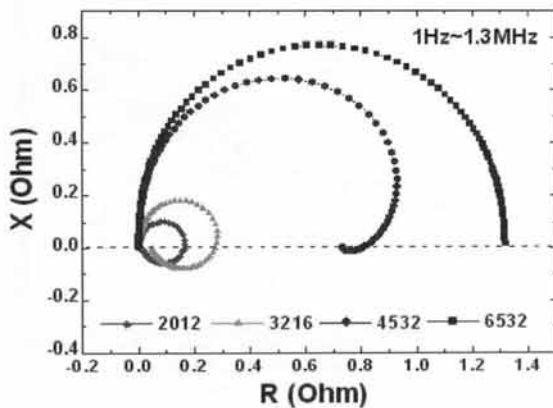


Fig. 9. The complex plane plot of the impedance of the various sized chip PTC thermistors.

그림 7은 환원소결 후 750°C 에서 재산화된 적층칩 PTC 써미스터의 온도에 따른 비저항의 변화를 나타낸다. 칩 크기가 2012에서 3216으로 증가하면 그림 8에서 보여주듯이 상온 비저항은 약간 감소하고, 저항점프 특성은 조금 증가한다. 한편, 칩 크기가 4532로 증가되면 상온 비저항은 급격히 감소하고, 저항점프 특성도 큰 증가를 보여준다. 6532 칩은 4532 칩과 비슷한 상온 비저항과 저항점프 특성을 나타내며, 이는 칩의 폭방향 (W)의 길이가 3.2 mm로 동일하기 때문으로 사료된다. 따라서 칩 크기에 따라 재산화 온도를 적절히 조절해야 할 것으로 사료된다.

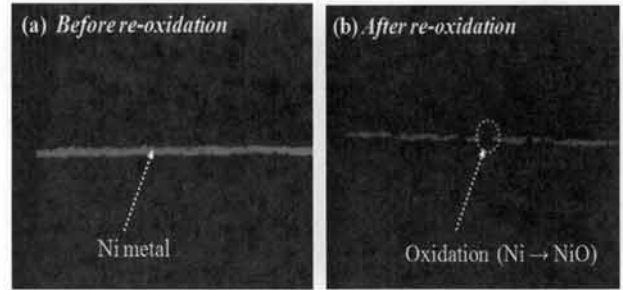


Fig. 10. Optical microscope images of 3216 chip before and after re-oxidation at 800°C .

적층칩 PTC 써미스터를 구성하는 Ni 내부전극과 BaTiO_3 기반의 세라믹 소체의 비저항이 동일하다고 가정하면 칩 크기에 따른 적층칩 PTC 써미스터의 비저항의 차이는 이론적으로 값의 차이는 없으며 동일해야 한다. 한편 재산화 시에 Ni 전극은 산화되어 저항이 증가되고, 세라믹 소체도 산소공공이 줄어들어 저항이 감소될 것으로 예상된다. 동일한 재산화 조건에서 칩 크기가 큰 샘플은 칩 크기가 작은 샘플에 비하여 칩 모서리 부분의 Ni 면적이 넓어 산화 정도가 줄어들 수 있으므로 상온 비저항의 감소는 예상할 수 있다.

그림 9는 칩 크기에 따른 적층칩 PTC 써미스터의 1 Hz~1.3 MHz의 주파수 범위에서 측정된 복소임피던스 플롯을 보여준다. 2012와 3216의 적층칩 PTC 써미스터는 저주파 영역에서 음의 값을 가지는 즉, 복소임피던스 plot의 사사분면에서 inductive loop를 보여주었으나, 6532 적층칩 PTC 써미스터는 저주파 영역에서도 inductive loop를 보여주지 않았다. 이러한 inductive loop는 금속표면에 산화층의 형성에 기인하는 것으로 보고되고 있다 [11]. 따라서 칩 크기가 감소할수록 산화층이 증가된다고 판단할 수 있다. 재산화 시 비저항의 증가는 Ni 전극의 산화에 의한 세라믹 소체와 Ni 전극 간의 접촉저항 증가가 주요한 원인이라고 사료된다.

그림 10은 환원소결 후 800°C 에서 재산화 전 후의 3216 적층칩 PTC 써미스터의 단면의 광학사진을 보여준다. 재산화 전에는 Ni 내부전극이 끊김이 없이 균일한 형태를 보이나, 재산화 후에는 내부전극이 부분적으로 끊겨있음을 보여준다. 이는 Ni 내부전극이 재산화할 때에 산소와 반응하여 NiO로 산화됐기 때문으로 사료된다. 따라서 적층칩 PTC 써미스터의 상

은 비저항을 감소시키고, 저항점프 특성을 향상시키기 위해서는 Ni 전극의 산화를 최대한 억제하고, 적층칩 PTC 써미스터의 크기에 따라 재산화 온도를 적절히 조절하는 것이 필요하다고 사료된다.

4. 결 론

본 연구에서는 알루미늄 기판 위에 인쇄된 Ni 전극 및 적층칩 PTC 써미스터의 저항 특성에 대한 재산화 온도의 영향을 조사하였다. 재산화 온도가 증가할수록 Ni 전극의 산화에 의하여 Ni 기판 전극의 상온 저항은 증가하였다. 700~750℃의 온도 범위에서 재산화된 적층칩 PTC 써미스터의 상온 비저항 및 저항점프 특성이 가장 우수하였으며, 재산화 온도가 그 이상으로 증가하면 상온 비저항은 증가하고, 저항점프 특성은 낮아짐을 보였다. 상온 비저항 및 저항점프 특성에 대한 재산화 온도의 영향은 적층칩 PTC 써미스터의 크기에 크게 의존함을 보였다. 동일한 온도에서 재산화된 4532와 6532와 같은 대형칩은 2012와 3216과 같은 소형칩에 비하여 낮은 상온 비저항과 높은 저항점프 특성을 보였다. 이는 칩 크기에 따라 Ni 내부전극의 산화가 정도가 다르기 때문으로 판단되며, I-V 특성 곡선의 측정을 통한 non-ohmic과 ohmic contact 거동 확인 및 광학현미경에 의한 Ni 전극의 산화에 의한 끊김으로 확인할 수 있었다.

따라서 칩 크기에 따라 재산화 조건을 적절히 조절하는 것이 필요하다고 판단된다.

REFERENCES

- [1] H. Ihrig, *J. Am. Ceram. Soc.*, 64, 617 (1981).
- [2] T. Matsuoka, Y. Matsuo, H. Sasaki, and S. Hayakawa, *J. Am. Ceram. Soc.*, 55, 108 (1972).
- [3] A. Yamada and Y. M. Chiang, *J. Am. Ceram. Soc.*, 78, 909 (1995).
- [4] M. H. Lin and H. Y. Lu, *Mater. Sci. Eng.*, A335, 101 (2002).
- [5] S. Tashiro, A. Kanda, and H. Igarashi, *Jpn. J. Ceram. Soc.*, 102, 284 (1994).
- [6] A. Kanda, S. Tashiro, and H. Igarashi, *Jpn. J. Appl. Phys.*, 33, 5431 (1994).
- [7] C. C. Lin, W. C. J. Wei, C. Y. Su, and C. H. Hsueh, *J. Alloys Comp.*, 485, 653 (2009).
- [8] J. Wei, Y. Pu, Y. Mao, and J. Wang, *J. Am. Ceram. Soc.*, 93, 1527 (2010).
- [9] F. Liu and Y. Qu, *J. Phys. Chem. Sol.*, 68, 41 (2007).
- [10] K. H. Yoon, H. S. Park, S. O. Yoon, and H. I. Song, *J. Mat. Sci. Lett.*, 8, 1442 (1989).
- [11] R. E. Melnick and G. T. R. Palmore, *J. Phys. Chem.*, B105, 9449 (2001).