

아날로그 응용을 위한 DWFG MOSFET의 매크로 모델 및 연산증폭기 설계

하지훈¹, 백기주¹, 이대환¹, 나기열², 김영석^{1,a}

¹ 충북대학교 반도체공학과

² 충북도립대학 반도체전자전공

Macro Model of DWFG MOSFET for Analog Application and Design of Operational Amplifier

Ji-Hoon Ha¹, Ki-Ju Baek¹, Dae-Hwan Lee¹, Kee-Yeol Na², and Yeong-Seuk Kim^{1,a}

¹ Department of Semiconductor Engineering, Chungbuk National University, Cheongju 361-763, Korea

² Department of Semiconductor Electronics, Chungbuk Provincial College, Okcheon 363-806, Korea

(Received July 11, 2013; Revised July 16, 2013; Accepted July 17, 2013)

Abstract: In this paper, a simple macro model of n-channel MOSFET with dual workfunction gate (DWFG) structure is proposed. The DWFG MOSFET has higher transconductance and lower drain conductance than conventional MOSFET. Thus analog circuit design using the DWFG MOSFET can improve circuit characteristics. Currently, device models of the DWFG MOSFET are insufficient, so simple series connected two MOSFET model is proposed. In addition, a two stage operational amplifier using the proposed DWFG MOSFET macro model is designed to verify the model.

Keywords: Dual work function gate (DWFG), Work function, Macro model, Transconductance, Drain conductance, Analog, Operational amplifier

1. 서론

MOSFET 소자의 트랜스컨덕턴스 ($g_m = \partial I_D / \partial V_{DS}$)와 드레인 컨덕턴스 ($g_{ds} = \partial I_D / \partial V_{DS}$)는 아날로그 성능을 판단하는 요소 중 하나이다. 트랜스컨덕턴스 (g_m)는 게이트 전압에 따른 전류변화율이고, 드레인 컨덕턴스 (g_{ds})는 드레인 전압에 따른 전류변화율이다.

MOSFET 소자는 게이트 전압을 통해 전류를 제어하는 소자이기 때문에 소자의 전류변화는 게이트 전압에 의해 이루어지며 드레인 전압은 전류변화에 관여하지 않아야 한다. 즉, MOSFET 소자는 g_m 이 높고, g_{ds} 가 낮을수록 성능이 좋다고 할 수 있다. 하지만 공정기술의 발달로 인해 소자의 크기가 줄어들었고, 드레인 전압에 의한 전류변화가 심해지는 채널길이변조현상도 심해져서 g_{ds} 가 높아진다. 낮은 g_{ds} 를 위해서는 게이트 길이를 증가시켜서 설계해야 한다. 하지만 증가된 게이트 길이로 인해 g_m 이 감소하게 된다. 이 trade-off 관계에서 낮은 g_{ds} 와 높은 g_m 을 만족시키기 위한 방법은 게이트 길이를 증가시켜 만족할만한 g_{ds} 를 얻은 후 게이트 폭을 증가시켜 g_m 을 높

a. Corresponding author; kimys@cbu.ac.kr

Copyright ©2013 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

이는 방법이다. 하지만 이러한 설계 방법으로는 회로의 전체면적이 커질 수밖에 없다 [1]. 이 문제를 해결하기 위한 방법 중 하나로 새로운 구조의 이중 일함수 구조의 게이트를 갖는 DWFG (dual work function gate) MOSFET이 제안되었다 [2-4]. DWFG MOSFET는 공정사의 표준 공정에서는 제공되지 않으므로 일반적인 모델이 없는 실정이다. 그러므로 본 논문에서는 DWFG MOSFET을 회로에 응용하기 위해서 기존의 MOSFET 모델을 이용하여 간단한 매크로 모델을 제안하였고 측정된 I-V 특성을 기반으로 검증하였다.

제 2장에서는 DWFG MOSFET 특성을 간단히 설명하고, 제안하는 매크로 모델의 모의실험결과와 제작된 DWFG MOSFET의 측정 결과를 비교한다. 제 3장에서는 제안하는 모델을 이용하여 2단 연산증폭기를 설계하여 기존 MOSFET과 DWFG MOSFET의 아날로그 성능을 비교한다. 그리고 마지막으로 결론을 맺게 된다.

2. 실험 방법

2.1 DWFG MOSFET

그림 1은 n-channel DWFG MOSFET의 구조이다. DWFG MOSFET은 기존 MOSFET (conv. MOSFET) 구조에서 게이트를 나눈 구조이다. 소스 쪽의 게이트는 높은 일함수를 갖는 p+ 도핑된 폴리실리콘이고, 드레인 쪽은 기존 MOSFET과 동일한 n+ 도핑된 폴리실리콘이다. DWFG MOSFET은 기존 MOSFET과 같은 크기일 때 g_m 과 g_{ds} 특성 모두 향상된다. 채널의 도핑이 동일할 경우 DWFG MOSFET은 높은 일함수 차이로 인하여 문턱전압 (V_{th})이 높다. 제작된 DWFG MOSFET은 n형 MOSFET이고, 게이트 폭 (W)은 $1.0 \mu m$, 채널 길이 (L)는 $1.0 \mu m$ 이다.

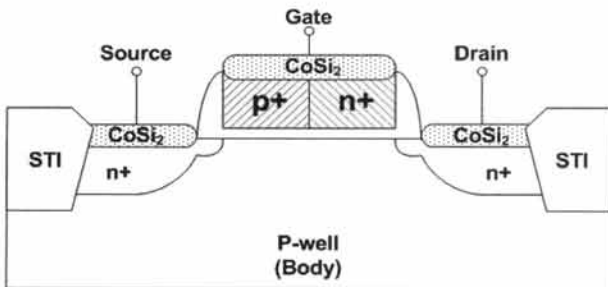


Fig. 1. Device structure of the fabricated n-channel DWFG MOSFET.

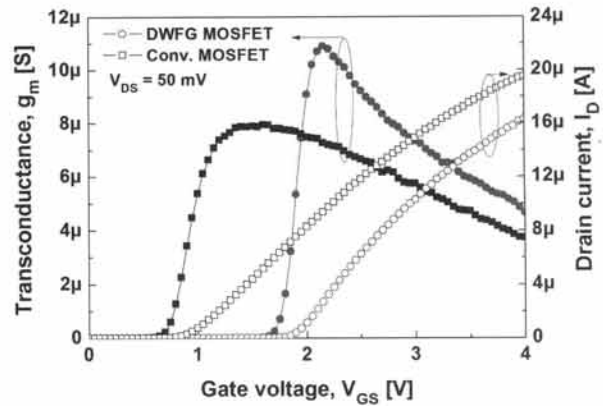


Fig. 2. Measured g_m - V_{GS} and I_D - V_{GS} characteristics of DWFG and conventional MOSFETs.

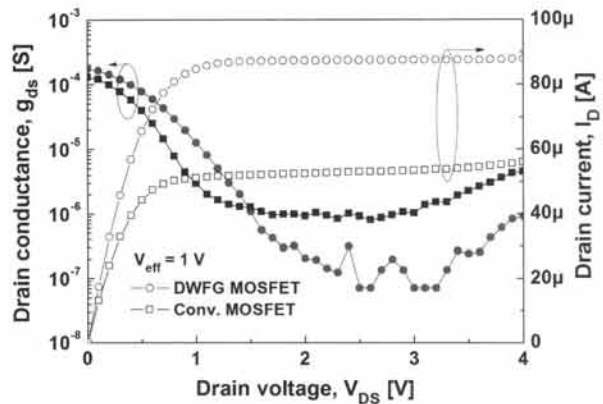


Fig. 3. Measured I_D - V_{DS} and g_{ds} - V_{DS} characteristics of DWFG and conventional MOSFETs.

그림 2는 제작된 DWFG MOSFET의 g_m 과 I_D - V_{GS} 특성을 측정한 결과이다. 드레인 전압 (V_{DS})은 $50 mV$ 이다. 기존 MOSFET보다 DWFG MOSFET의 g_m 최대값이 37% 증가하였다. V_{th} 는 DWFG MOSFET이 약 $1.0 V$ 정도 높다.

그림 3은 I_D - V_{DS} 와 g_{ds} 특성이다. 게이트 전압은 V_{th} 를 고려하여 유효전압 ($V_{eff} = V_{GS} - V_{th}$) $1.0 V$ 를 인가하였다. 동일한 유효전압에 대해서 DWFG MOSFET의 드레인 전류가 증가하는 것을 확인할 수 있고, 포화영역에서는 DWFG MOSFET의 g_{ds} 가 더 낮은 것을 확인할 수 있다. 이러한 DWFG MOSFET을 회로에 적용한다면 기존 MOSFET보다 높은 g_m 과 낮은 g_{ds} 로 인해 성능 향상을 기대할 수 있을 것이다.

2.2 제안하는 DWFG MOSFET 매크로 모델

제안하는 매크로 모델은 그림 4와 같이 DWFG MOSFET의 이중 게이트에 의한 V_{th} 차이를 반영하여 서로 다른 V_{th} 를 갖는 두 개의 MOSFET을 직렬 연결한 간단한 구조이다.

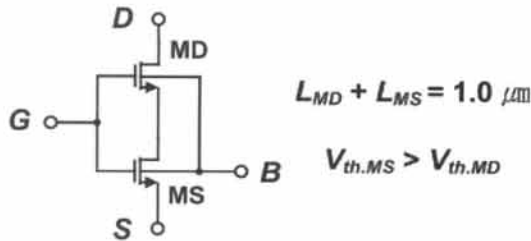


Fig. 4. Proposed macro model scheme of DWFG MOSFET.

p+ 도핑된 게이트를 갖는 소스 쪽 MOSFET(MS)과 n+ 도핑된 게이트를 갖는 드레인 쪽 MOSFET(MD)의 게이트 폭 (W)은 $1.0 \mu\text{m}$, 두 MOSFET의 게이트 길이 합 ($L_{MS} + L_{MD}$)은 $1.0 \mu\text{m}$ 로 설정하였다. 그리고 평탄 밴드 전압 (flat band voltage) 차이로 인하여 p+ 도핑된 게이트를 갖는 MS가 n+ 도핑된 게이트를 갖는 MD 보다 V_{th} 가 높기 때문에 MS의 V_{th} 가 높아지도록 설정 하였다. 측정된 V_{th} 는 MS가 0.8 V, MD가 1.8 V로 1.0 V 차이를 보이므로, DWFG MOSFET을 제작한 공정의 모델 라이브러리에서 bsim3v3 레벨 V_{th} 합수 식 (1)에서 V_{th0} 를 1.0 V 높게 설정하였다.

$$V_{th} = V_{th0} - K_1 \sqrt{\Phi_S} + K_1 \frac{T_{ox}}{T_{oxm}} \sqrt{\Phi_S - V_{bseff}} - K_2 \frac{T_{ox}}{T_{oxm}} V_{bseff} \quad (1)$$

V_{th0} 는 바디에 바이어스가 가해지지 않을 때의 문턱 전압이고, K_1, K_2 는 1차, 2차 바디효과 계수이다. T_{ox}, T_{oxm} 은 게이트 산화막 두께에 관련된 파라미터, V_{bseff} 는 유효 바디전압이다 [5]. 그리고 나머지 파라미터와 수식은 모두 변경없이 bsim3v3 모델을 그대로 사용하였다.

그림 5는 DWFG MOSFET의 I_D-V_{GS} 와 g_m 특성의 측정과 매크로 모델 비교 결과이다. 드레인 전압 (V_{DS})은 50 mV이다.

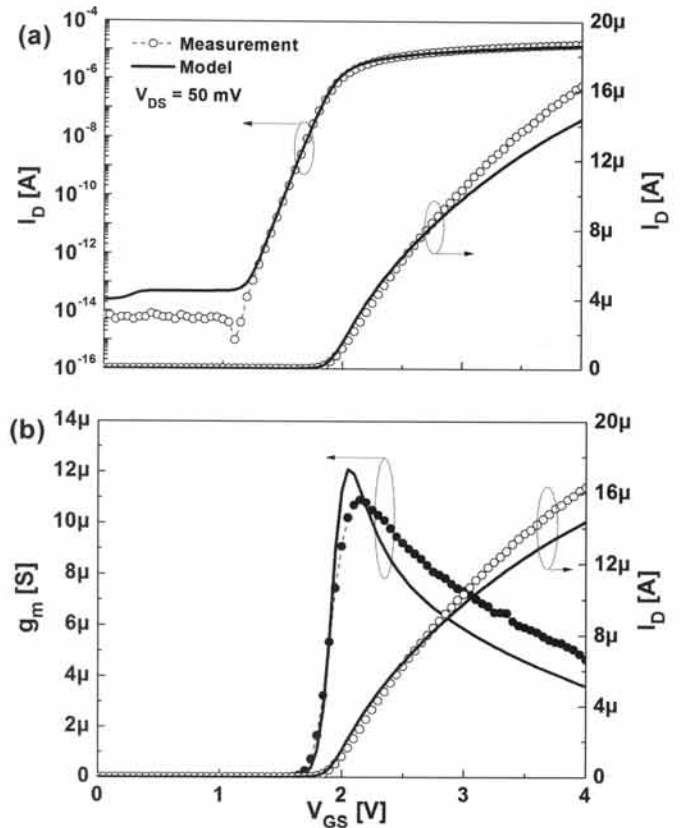


Fig. 5. Proposed macro model versus measurement of DWFG MOSFET (a) I_D-V_{GS} , (b) g_m-V_{GS} .

그림 5(a)에서 V_{th} 는 매크로 모델과 측정치 모두 V_{th} 는 1.8 V로 동일하였고, 드레인 전류 (I_D)는 $V_{DS} = 4 \text{ V}$ 일 때 최대 10% 오차를 보였다. 그림 5(b)에서 g_m 특성은 매크로 모델이 측정치에 비해 $V_{DS} = 4 \text{ V}$ 일 때 최대 10% 오차를 보였다.

그림 6은 I_D-V_{DS} 특성을 매크로 모델과 측정 결과를 비교한 그림이다. 게이트 전압은 V_{th} 를 감안하여, $V_{GS} = 2 \sim 4 \text{ V}$ 로 인가하였다. 매크로 모델은 포화영역에서는 오차가 적었으나, 선형영역에서는 최대 10% 오차를 보였다. 그림 5의 결과와 같이 높은 게이트 바이어스의 선형영역의 오차가 크게 보였다. 예상되는 원인은 MS의 드레인과 MD의 소스영역의 저항 성분이 추가된 것이 원인으로 판단된다. 이 부분의 파라미터를 조절하여 오차를 줄이면 모델의 정확성을 높일 수 있을 것으로 보인다.

그림 7은 g_{ds} 특성을 매크로 모델과 측정 결과를 비교한 그림이다. 게이트 전압은 그림 6과 동일하다.

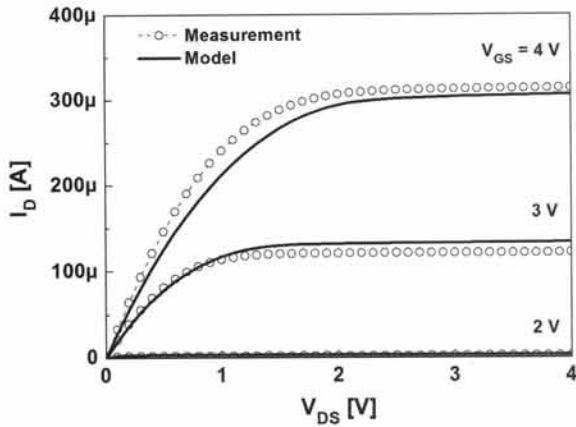


Fig. 6. Simulated I_D - V_{DS} characteristics using proposed macro model.

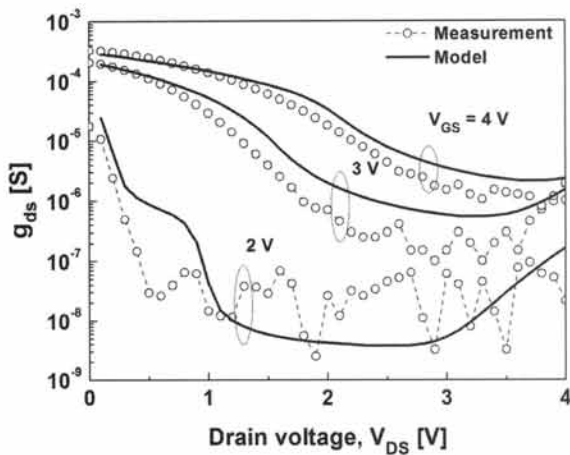


Fig. 7. Simulated g_{ds} - V_{DS} characteristics of proposed macro model.

대체로 모델의 결과가 측정 결과보다 높은 g_{ds} 를 보이고, V_{GS} 가 높을수록 오차가 적은 것을 확인할 수 있다. $V_{GS} = 3\text{ V}$ 일 때 매크로 모델과 측정 결과가 최대 17% 오차를 보였다.

위의 결과로 매크로 모델은 DWFG MOSFET의 큰 일함수 차이로 인한 V_{th} 의 증가는 정확히 반영되었다. 실제 제작한 이중 일함수 게이트의 길이 L_{MS} , L_{MD} 는 각각 $0.5\ \mu\text{m}$, $0.5\ \mu\text{m}$ 이고, 매크로 모델에서는 L_{MS} , L_{MD} 가 각각 $0.4\ \mu\text{m}$, $0.6\ \mu\text{m}$ 으로 설정하였을 때 오차가 가장 작았다. 소자 제작 시 공정 진행 상의 편차에 의한 특성 오차도 포함된 것으로 판단된다.

3. 결과 및 고찰

앞에서 제안한 DWFG MOSFET의 매크로 모델을 이용하여, DWFG MOSFET의 회로 영향을 확인하고자, 일반적인 2단 연산증폭기(OPAMP)를 설계하여 비교 확인하였다. 그림 8은 일반적인 2단 연산증폭기 회로이다. 연산증폭기에서 첫 번째 차동증폭단 n형 MOSFET에 해당하는 MN1-MN2와 첫 번째 단 및 두 번째 단 전류 거울 MN3-MN5를 기존 MOSFET과 DWFG MOSFET을 각각 적용하였다. 이 때 전원전압은 4 V이고, 첫 번째 차동증폭기의 바이어스 전류는 $20\ \mu\text{A}$ 이다.

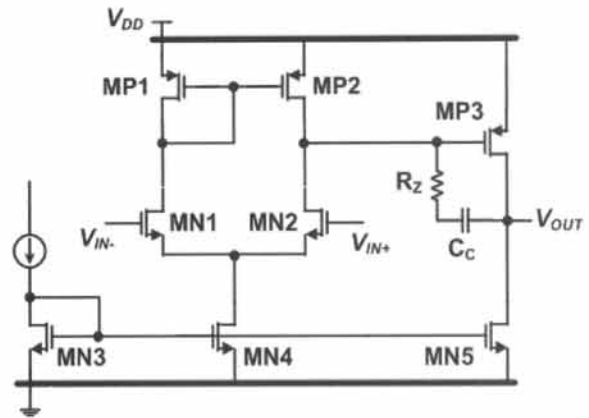


Fig. 8. Circuit diagram of two-stage operational amplifier.

그림 9는 기존 MOSFET으로 설계된 연산증폭기(Conv. OPAMP)와 DWFG MOSFET으로 설계된 연산증폭기(OPAMP with DWFG)의 주파수 응답 특성이다. DWFG MOSFET을 적용한 연산증폭기의 전압이득이 14 dB 증가한 것을 확인할 수 있다. DWFG MOSFET의 향상된 g_m , g_{ds} 특성이 연산증폭기의 전압 이득을 증가시킨 것을 식 (2)을 통하여 확인할 수 있고, 전압 이득이 증가되면 밀러 효과에 의하여 -3 dB 주파수도 변경되는 것을 식 (3)을 통하여 확인할 수 있다 [1].

$$A_V = (g_{m,MN2}R_1)(g_{m,MP3}R_2) \quad (2)$$

$$\omega_{-3dB} \approx \frac{1}{g_{m,MN2}R_1R_2C_C} \quad (3)$$

$$R_1 = r_{o,MN2} \parallel r_{o,MP2}; R_2 = r_{o,MN5} \parallel r_{o,MP3}$$

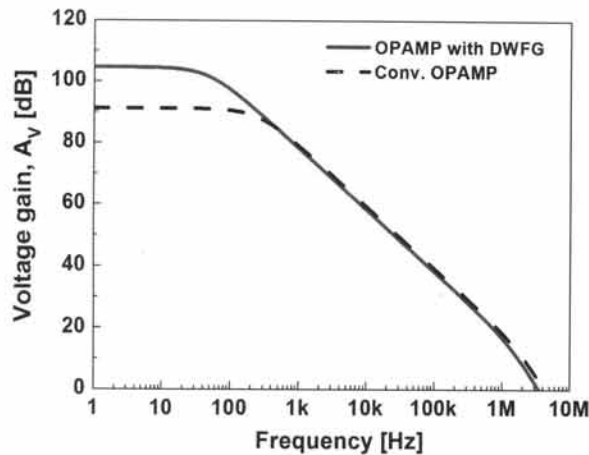


Fig. 9. Frequency response of operational amplifier.

Table 1. Simulation results of operational amplifier.

	Conv. OPAMP	OPAMP with DWFG
Supply voltage	4 V	4 V
Power consumption	400 μ W	400 μ W
Load capacitor	15 pF	15 pF
R_z, C_c	5 k Ω , 2 pF	5 k Ω , 2 pF
DC gain	91 dB	105 dB
Phase margin	51°	52°
Bandwidth	6.4 Mhz	5.8 Mhz
Output swing	53m ~ 3.98 V	1 ~ 3.98 V

매크로 모델의 g_m , 특성이 측정 결과보다 낮고 g_{ds} 특성은 높은 것을 감안할 때, 실제 OPAMP의 전압이득은 더 높을 것으로 예상된다.

표 1에서 연산증폭기의 특성을 정리하였다. 제안된 연산증폭기는 낮아진 g_{ds} 로 인해 높은 전압이득을 나타냈지만 최소 출력전압이 1 V로 기존 MOSFET으로 설계한 연산증폭기보다 높다. 높은 V_{th} 로 인하여, 출력 전압이 증가된 것으로 보이며, V_{th} 를 기존 MOSFET과 동일하게 조절된 DWFG MOSFET을 사용하면, 출력 전압도 낮출 수 있을 것으로 보인다.

4. 결론

본 논문에서는 아날로그 특성이 향상된 DWFG MOSFET의 회로 응용을 위하여 간단한 매크로 모델을 제안하고, 아날로그 회로에 적용하여 비교 검증하였다. 제안하는 매크로 모델은 이중 게이트 구조의 일함수 차이로 인해 증가한 문턱전압을 기존 MOSFET 모델에 반영하고 문턱전압이 다른 두 MOSFET을 연결한 간단한 구조이다. 매크로 모델의 모의실험 결과와 제작된 DWFG MOSFET의 측정 결과를 비교하였을 때 전류, 트랜스컨덕턴스, 드레인 컨덕턴스의 10% 정도의 오차는 보였으나, 기존 MOSFET 보다 향상된 트랜스컨덕턴스와 드레인 컨덕턴스 특성은 반영되었다. 제안하는 매크로 모델을 2단 연산증폭기에 적용해서 모의 실험한 결과 기존 MOSFET을 적용했을 때보다 전압이득이 14 dB 증가하였다. 기존 연산증폭기와 전력소모, 면적은 같으면서 전압이득을 높일 수 있다는 장점을 확인할 수 있었다. 제안하는 매크로 모델은 DWFG MOSFET을 사용하는 회로 응용에 적용 가능할 것으로 판단된다.

감사의 글

이 논문은 2011년도 정부 (교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (2011-0006764).

REFERENCES

- [1] R. J. Baker, *CMOS Circuit Design, Layout, and Simulation*, 3rd ed. (John Wiley & Sons, New Jersey, 2010) p. 287.
- [2] K. Y. Na, K. J. Baek, and Y. S. Kim, *IEEE Trans. Elec. Dev.*, 59, 3273 (2012).
- [3] M. S. Kim, K. J. Baek, Y. S. Kim, and K. Y. Na, *J. KIEEME*, 25, 671 (2012).
- [4] K. J. Baek, J. M. Gim, H. S. Kim, K. Y. Na, N. S. Kim and Y. S. Kim, *Electron. Lett.*, 49, 591 (2013).
- [5] W. Liu, X. Jin, X. Xi, J. Chen, M. C. Jeng, Z. Liu, Y. Cheng, K. Chen, M. Chan, K. Hui, J. Huang, R. Tu, P. K. Ko, and C. Hu, *BSIM3v3.3 MOSFET Model Users' Manual* (The Regents of the University of California, UC Berkeley, 2005)