

Phase Change Memory와 Capacitor-Less DRAM을 사용한 Unified Dual-Gate Phase Change RAM

김주연^{1,a}

¹ 울산과학기술대학교 전기전자공학부

Unified Dual-Gate Phase Change RAM (PCRAM) with Phase Change Memory and Capacitor-Less DRAM

Jooyeon Kim^{1,a}

¹ Faculty of Electrical & Electronic Engineering, Ulsan College, Ulsan 680-749, Korea

(Received January 7, 2014; Revised January 23, 2014; Accepted January 24, 2014)

Abstract: Dual-gate PCRAM which unify capacitor-less DRAM and NVM using a PCM instead of a typical SONOS flash memory is proposed as 1 transistor. VO_2 changes its phase between insulator and metal states by temperature and field. The front-gate and back-gate control NVM and DRAM, respectively. The feasibility of URAM is investigated through simulation using c-interpreter and finite element analysis. Threshold voltage of NVM is 0.5 V that is based on measured results from previous fabricated 1TPCM with VO_2 . Current sensing margin of DRAM is 3 μA . PCM does not interfere with DRAM in the memory characteristics unlike SONOS NVM. This novel unified dual-gate PCRAM reported in this work has 1 transistor, a low RESET/SET voltage, a fast write/erase time and a small cell so that it could be suitable for future production of URAM.

Keywords: Dual-Gate, NVM, Capacitor-less 1T-DRAM, URAM, PCM

1. 서론

국제 반도체기술 로드맵 (international technology road-map for semiconductors, ITRS)의 메모리의 특성 [1] 비교에 따르면 동작속도가 가장 빠른 DRAM은 메모리 셀 구성에 capacitor를 필요로 하여 셀의 면적이 크다는 단점이 있다. 이를 극복하는 방법으로

capacitor-less DRAM이 연구되고 있다 [2]. NVM (non-volatile memory)로서는 NOR와 NAND flash 메모리가 현재까지 시장을 주도하고 있으며 부유 게이트 (floating gate) 형과 전하 트랩 방식인 SONOS (silicon-oxide-nitride-oxide-silicon)형이 주된 구조이다 [3,4]. 1개의 transistor (1T)로 메모리 동작이 가능하여 작은 셀 면적을 갖지만 느린 쓰기/지우기 시간과 높은 쓰기 동작전압 및 신뢰성 등의 문제를 가지고 있다. 최근에 주목받고 있는 NVM으로는 PCM (phase change memory)가 있다 [5]. 빠른 쓰기/지우기 속도와 높은 신뢰성 및 낮은 쓰기 동작 전압을 갖는다. 이러한 장점에도 불구하고 메모리 셀에 직렬로 연결된 액세스 소자 (다이오드 혹은 FET)를 추가로

a. Corresponding author; joo@uc.ac.kr

필요로 하기 때문에 셀 면적이 크다는 단점을 가지고 있다. 이 단점을 극복하기 위해 기존의 부유 게이트형 플래시 메모리에서 부유 게이트를 phase change 물질 ($\text{Ge}_2\text{Sb}_2\text{Te}_5$ 혹은 VO_2)로 대체한 새로운 1TPCM (1 transistor phase change memory)이 보고되었다 [6,7]. 지금까지의 메모리는 RAM과 ROM이 별도의 소자에서 구현되었다면 최근에는 RAM과 ROM를 하나로 합친 URAM (unified RAM)이 보고되고 있다 [8]. Fully (혹은 partially)-depleted SONOS FinFET에서 NVM과 capacitor-less 1T-DRAM을 구동시키는 URAM은 높은 셀 집적도를 보이나 두 소자간의 간섭이 발생하는 문제를 가지고 있다. Impact ionizing 방법으로 프로그램되는 capacitor-less DRAM이 동작하는 동안 NVM의 ONO 층에서 전하가 축적되는, 의도하지 않는 soft program 현상 [8]이 발생한다.

본 논문에서는 RAM과 ROM을 1개의 트랜지스터로 개발하기 위해 FG (front-gate)는 NVM을 제어하고 BG (back-gate)는 DRAM을 제어할 수 있는 dual-gate URAM을 제안하였다. 특히 NVM으로 사용되는 SONOS 대신 1TPCM을 채용하였다. 1TPCM의 상 변화 게이트 유전막으로 VO_2 (vanadium dioxide)를 사용하였다. 비정질과 결정질 사이에서 상 변화를 일으키는 GST ($\text{Ge}_2\text{Sb}_2\text{Te}_5$)와는 달리 VO_2 는 온도와 전압 필드가 상 변화를 일으키는 팩터이며 절연 상 (insulator phase)과 금속 상 (metal phase) 사이에서 상 변화를 일으킨다. 또한, VO_2 는 상대적으로 낮은 온도에서 상 변화를 일으키므로 열 발산으로 인한 문제를 줄일 수 있을 것으로 예상된다.

줄 (joule) 열에 의한 온도와 전압의 변화에 따른 상 변화가 게이트 유전막의 저항율과 유전율을 변화시키고, 이것이 문턱전압 윈도우를 갖도록 한다. 이는 SONOS의 hot-electron이 게이트 유전막에 트랩되는 전하트랩 방식이 아니어서 capacitor-less DRAM의 동작동안 NVM의 data가 영향을 받지 않을 것으로 사료되고 unified dual-gate PCRAM이라고 명명하였다. 시뮬레이션을 이용하여 소자의 동작 특성을 조사 분석하였다.

2. 실험 방법

2.1 소자 설계

시뮬레이션에 사용된 소자의 구조는 다음 그림 1과

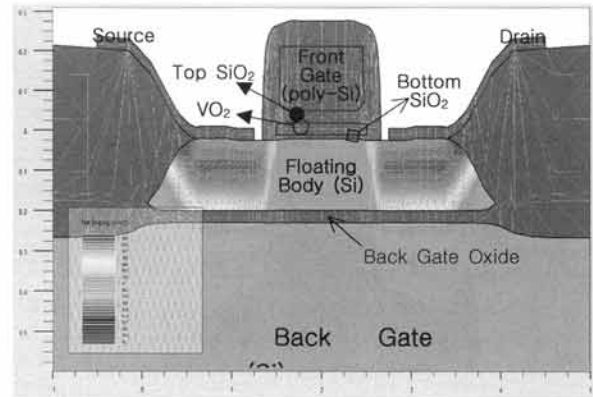


Fig. 1. Simulated unified dual-gate 1TPCM structure.

같다. 시뮬레이션은 Silvaco사의 TCAD 툴을 사용하였다. 연구에 사용된 공정은 (100) 벌크 Si wafer를 사용하였으며 back-gate 형성을 위해 Si 웨이퍼의 한 면을 $1 \times 10^{15}/\text{cm}^2$ dose의 As^+ ion 주입 후 다른 한 쪽 면에 SiO_2 를 열 산화를 통해 30 nm 성장시켰다. 그 위에 Si body 형성을 위해 비정질 Si를 130 nm 증착 후 600°C 에서 24시간 동안 N_2 분위기에서 어닐 공정을 거쳤다. Front-gate의 유전막은 VO_2 가 실리콘 산화막 (SiO_2)에 의해 샌드위치된 $\text{O}/\text{VO}_2/\text{O}$ 적층 구조이며 각각 30/30/9 nm 두께로 증착하였다. 채널 길이와 폭은 모두 90 nm로 하였다.

2.2 Finite element 모델링과 시뮬레이션

NVM 특성 조사를 위한 유한요소해석 (finite element analysis)에 식 (1)~(2)의 열 방정식을 사용하였다.

$$\rho C \frac{\partial T}{\partial t} - \nabla \cdot (k \nabla T) = Q \quad (1)$$

여기서, ρ 는 밀도, T 는 온도, C 는 열 용량 (heat capacity), k 는 열 전도도 (thermal conductivity)이고, t 는 시간이고, Q 는 heat flux이다 [9].

줄 (joule) 열에 의해 발생한 열 Q 는 다음 식 (2)에 의해 주어진다.

$$Q = \frac{1}{\sigma} |J^2| = \sigma |\nabla V|^2 \quad (2)$$

σ 는 전기 전도도 (electric conductivity)이고, J 는 전류밀도이고, V 는 전위 (electric potential)이다.

Table 1. Physical properties of materials used in simulation [7,9,10].

	T1	T2 (ΔT)	ρ1	ρ2 (Ratio)	ε	Eg	Transition Factors
	[°C]		[Ω·cm]			[eV]	
GST	-	150 @ACT 270 @CCT	25	0.025 (1000)		0.7 → 0.5	Heat
VO2	0 ~ 60	20 ~ 70 (10 ~ 20)	1e-2 ~ 1e-4	0.1 ~ 10 (100 ~ 1000)	10	0.65 → 0	Heat E-field
Doped IGT	-	280 ~ 300	1000 ~ 1e4	1 (Nor.)			Heat
TMO (NiO)	-	> 300	100 ~ 1000	1 (Nor.)			E-field Heat
CrO2	-	-60					Heat H-field
Nb2O5	350	530					Heat H-field

또한, C-interpreter을 이용하여 온도 변화에 따른 VO₂ 전도도와 유전율 변화가 열과 필드에 따른 이력 곡선을 갖도록 프로그램 하였다. 시뮬레이션을 위한 경계 조건 설정을 위하여 두 게이트 전극의 온도를 300 K로 하였다. 시뮬레이션에 사용한 물질의 물리적 특성 파라미터는 표 1에 나타났다.

3. 결과 및 고찰

3.1 DC 특성과 Capacitor-less DRAM 특성

그림 2에 V_{FG} (NVM의 게이트)와 V_{BG} (DRAM의 게이트) 전압에 따른 드레인 전류, I_D를 나타냈다. 게이트 유전막의 두께가 두꺼운 NVM이 DRAM 보다 상대적으로 더 높은 문턱전압 (V_{TH})과 낮은 I_{ON} (on current), 그리고, 더 큰 SS (subthreshold slop)과 더 큰 DIBL (drain induced barrier lowering)을 보여주고 있다.

그림 3(a)는 capacitor-less DRAM의 I_D-V_D 특성을 보여주고 있다. Floating-body 효과인 kink effect가 특성에서 보이고 있다. 드레인 전압이 증가하면 II (impact ionization)에 의해 과잉 홀 (excess hole)이 생기고 floating body에 축적된다 (그림 3(b)). 이 positive body가 문턱전압을 낮추어 드레인 전류가 증가한다. Capacitor-less DRAM의 동작 원리인 kink 효과는 과잉 홀이 생기고 축적됨을 확실하게 보여주고 있다.

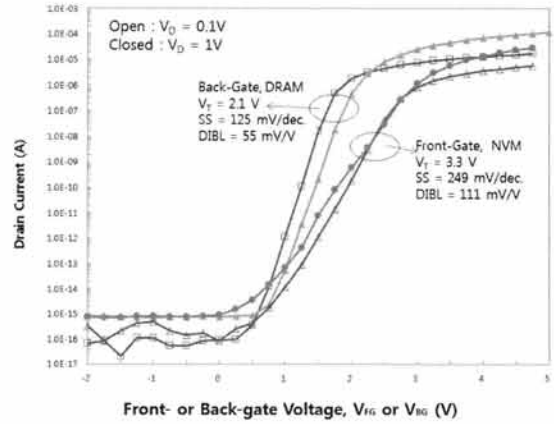


Fig. 2. I_D-V_{BG} or V_{FG} characteristics.

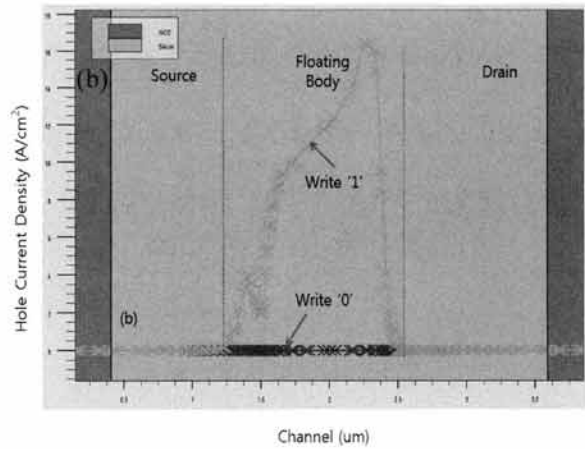
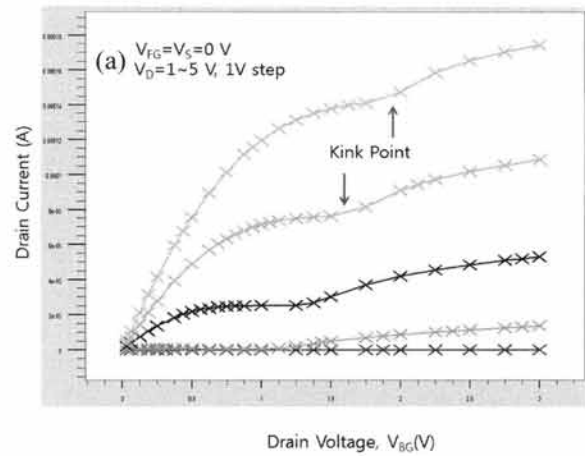


Fig. 3. (a) I_D-V_D characteristics of capacitor-less DRAM, (b) difference of hole distribution between write '1' and write '0'.

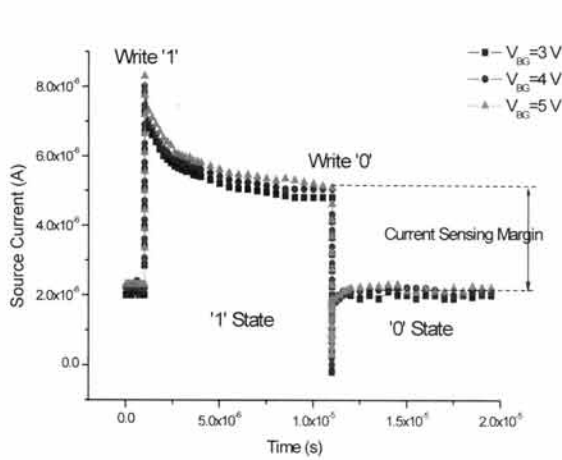


Fig. 4. Source current (I_S) characteristics of DRAM.

그림 4는 소오스 전류 (I_S)를 나타내고 있다. Write '1'과 write '0' 상태에서의 I_S 전류를 측정하여 current sensing margin을 구하였다. '1'을 쓰기 위해 $V_{FG}=0$ V, $V_D=3$ V, $V_S=0$ V로 하고, $V_{BG}=3, 4, 5$ V로 달리하여 50 ns 동안 전압을 인가하였고, '0' 상태로 돌리기 위해서는 각각의 전압을 $V_{FG}=0$ V, $V_D=0$ V, $V_S=-3$ V, $V_{BG}=2$ V로 하여 역시 50 ns 동안 인가하였다. 읽기 전압은 과잉 홀 발생이 생기지 않도록 $V_{FG}=0$ V, $V_D=0.5$ V, $V_S=0$ V, $V_{BG}=3$ V로 하였다.

'1'과 '0' 상태에서 I_S 의 차로부터 약 3 μ A의 전류 센싱 마진을 얻을 수 있었다. 전류 센싱 앰프가 감지할 수 있는 전류 차가 보통 3 μ A이므로 마진이 충분하다고 할 수는 없지만 실제 소자 제작에서 보완할 수 있을 여지가 충분함으로 capacitor-less DRAM으로서 충분히 동작 할 수 있을 것이라 기대된다.

3.2 1T PCM의 NVM 특성

Phase change 물질로 VO_2 를 이용한 1TPCM의 실험 결과는 온도와 필드에 의한 문턱전압 이동을 보고 하였다 [7].

그림 5(a)는 온도 변화에 따른 문 저항의 변화를 측정한 것이다. 약 30°C의 온도 윈도우 (thermal window)와 70°C에서 10^2 Ohm/sq의 문저항 차를 보이고 있다. 이 hysteresis 특성을 C-interpretor를 사용하여 시뮬레이션한 결과 NVM의 문턱전압 윈도우는 0.5 V의 다소 작은 윈도우를 나타내고 있다 (그림 5(b)).

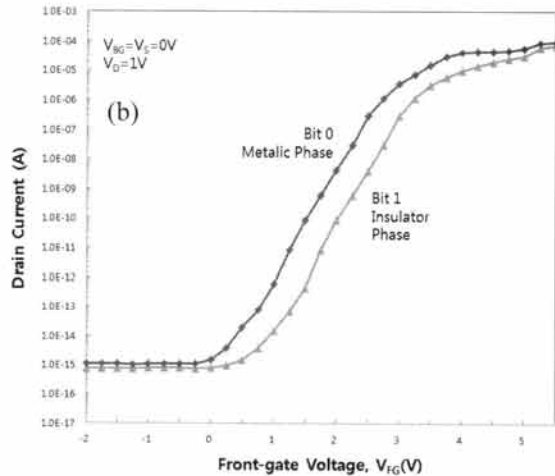
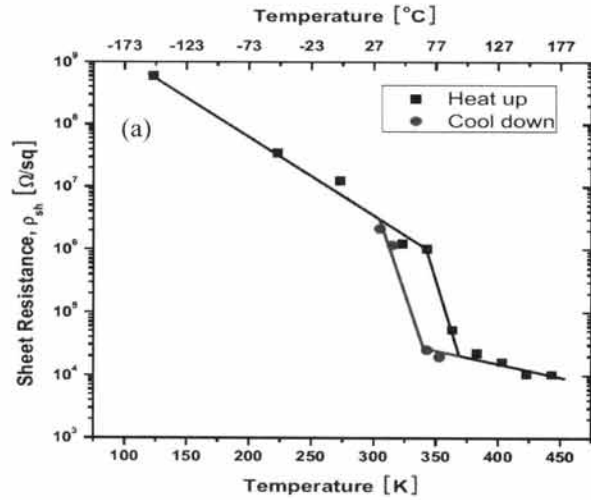


Fig. 5. (a) Electrical resistance measurement of a VO_2 . Sheet resistance changes by 10^2 Ohm/sq in the vicinity of 70°C [7]. (b) simulated V_{TH} shift of NVM.

3.3 NVM과 DRAM 사이 간섭 특성

DRAM 동작 동안 10^4 회 write '1'/'0' 반복 후 채널에서의 온도를 $V_{BG}=3, 4, 5$ V로 달리하여 측정하였다 (그림 6). 채널 내에서 최고 온도는 $V_{BG}=5$ V일 때 306 K로 가장 높게 나타났으며 back-gate를 사용함으로써 phase change 물질이 있는 front-gate 부근에서의 온도는 더욱 낮게 조사되었다. 이로부터 URAM 동작 시 문제가 되었던 NVM의 soft programming은 전혀 문제가 되지 않고, NVM과 DRAM이 서로 독립적으로 동작함을 확인할 수 있었다.

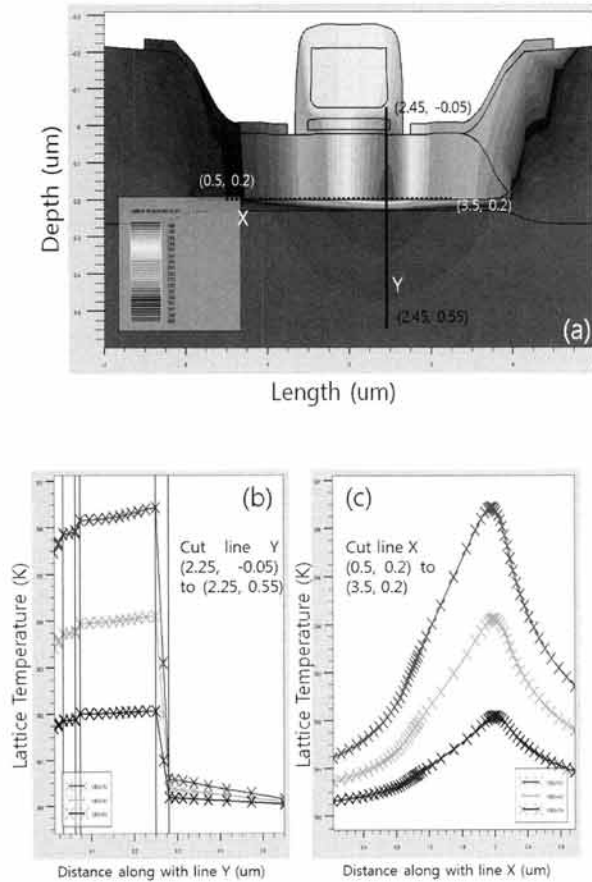


Fig. 6. (a) Lattice temperature, (b) & (c) lattice temperature along with vertical line Y and X in Fig. 6(a) respectively. After 10^4 cycles of write '1'/'0', the maximum temperature is 306 K in channel as $V_{BG}=5$ V.

4. 결론

Capacitor-less DRAM과 NVM을 하나의 소자로 연결한 URAM에서 NVM로 사용되는 SONOS 대신 1T PCM을 사용하는 unified dual-gate 1TPCRAM 소자를 제안했다. 전하트랩 방식 대신 온도와 전압에 따라 insulator phase와 metal phase 사이에서 상 변화가 발생하는 VO_2 를 사용하여 URAM으로서의 동작 가능 여부를 확인하였다. NVM은 실험 결과와 일치하도록 0.5 V의 V_{TH} 윈도우 갖도록 하였고, DRAM의 센싱 마진은 $3 \mu A$ 로 조사되었다.

특히, 전하트랩 방식의 SONOS와는 달리 DRAM 동작 동안 NVM에서 detrapping이 발생하지 않아 DRAM과 NVM 사이의 간섭(interference)이 거의 없음을 확인하였다. 또한, SONOS보다 1TPCM의 빠른 쓰기/지우기 동작으로 인하여 기존의 URAM보다 집적도와 기능면에서 모두 우수한 새로운 메모리의 가능성을 제시하였다. 향후, 실용화를 위하여 NVM으로 사용된 1TPCM의 문턱전압 윈도우를 좀 더 크게 하기 위한 작업이 필요할 것이다.

감사의 글

이 논문은 울산과학대학교 2010년 대학대표브랜드 사업비 지원에 의해 수행됨.

REFERENCES

- [1] *International Technology Roadmap for Semiconductors (ITRS)*, <http://public.itrs.net> (2009).
- [2] S. Okhonin, M. Nagoga, J. M. Sallese, and P. Fazan, *IEEE Electron Device Lett.*, 23, 85 (2002).
- [3] M. K. Kim, S. D. Chae, H. S. Chae, J. H. Kim, Y. S. Jeong, J. W. Lee, H. Siva, S. Tiwari, and C. W. Kim, *IEEE Trans. Nanotechnology*, 3, 417 (2004).
- [4] J. Y. Kim, B. C. Kim, and K. Y. Seo, *J. KIEEME*, 16, 372 (2003).
- [5] H.S.P. Wong and S. B. Kim, *Proc. of the IEEE*, 98, 2201 (2010).
- [6] S. H. Lee, M. K. Kim, J. Y. Kim, and S. Tiwari, *IEICE Trans. on Electronics*, 94-C, 676 (2011).
- [7] M. K. Kim, S. H. Lee, and S. Tiwari, *Proc. of 10th IEEE International Conference on Nanotechnology Joint Symposium with Nano Korea*, 439 (2010).
- [8] J. W. Han, S. W. Ryu, S. Kim, C. J. Kim, J. H. Ahn, S. J. Choi, K. J. Choi, B. J. Cho, J. S. Kim, K. H. Kim, G. S. Lee, J. S. Oh, M. H. Song, Y. C. Park, J. W. Kim, and Y. K. Choi, *IEDM Tech. Dig.*, 929 (2007).
- [9] F. P. Incropera and D. P. Dewitt, *Fundamentals of Heat and Mass Transfer*, 4th ed. (John Wiley & Sons, New York, 1996)
- [10] R. Warren, J. Reifenberg, and K. Goodson, *Thermal and Thermo Mechanical Phenomena in Electronic Systems*, 1018 (2008).