

Zinc Tin Oxide 투명 박막트랜지스터의 특성에 미치는 활성층 두께의 영향

마대영^{1,a}

¹ 경상대학교 전기공학과 및 공학연구원

Thickness Effects of Active Layers on the Properties of Zinc Tin Oxide Transparent Thin Film Transistors

Tae Young Ma^{1,a}

¹ Department of Electrical Engineering and ERI, Gyeongsang National University, Jinju 660-701, Korea

(Received May 7, 2014; Revised June 17, 2014; Accepted June 18, 2014)

Abstract: Transparent thin film transistors were fabricated on n⁺-Si wafers coated by Al₂O₃/SiO₂. Zinc tin oxide (ZTO) films deposited by rf magnetron sputtering were employed for active layers. The mobility (μ_s), threshold voltage (V_T), and subthreshold swing (SS) dependences on ZTO thickness were analyzed. The V_T decreased with increasing ZTO thickness. The μ_s raised from 5.1 cm²/Vsec to 27.0 cm²/Vsec by increasing ZTO thickness from 7 nm to 12 nm, and then decreased with ZTO thickness above 12 nm. The SS was proportional to ZTO thickness.

Keywords: Transparent thin film transistors, Zinc tin oxide, Mobility, Threshold voltage, Subthreshold swing

1. 서 론

평판디스플레이의 해상도를 높이는 방법의 일환으로 투명 박막트랜지스터 (transparent thin film transistor, TTFT) [1,2]에 대한 연구가 널리 진행되고 있다. 기존의 평판디스플레이는 능동형 (active matrix) 구동방식 [3]을 채택하고 있으며, 스위칭 소자로는 다결정실리콘 박막트랜지스터 (poly-Si TFT)를 주로 사용하여 왔다. 만약 스위칭 소자인 poly-Si TFT를 TTFT로 대체한다면, 불투명한 poly-Si 영역

에도 화소를 배치함으로써 디스플레이의 해상도를 증가시킬 수 있을 것이다.

K. Nomura [4], S. Masuda [5], R. L. Hoffman [6] 등의 연구팀이 TTFT에 대한 연구를 처음 시도할 때, 각 연구팀은 가격이 저렴하고 증착이 쉬운 ZnO를 TTFT의 활성층 (active layer)으로 사용하였다. 그러나 ZnO의 강한 c축 성장에 의해 발생하는 박막표면의 거친 입계 (grain boundary)가 전하이동도 개선의 걸림돌이 되어 연구자들은 다른 물질을 찾게 되었다. 2004년 K. Nomura 등 [7]은 원자의 외곽 전자분포가 (n-1)d¹⁰ns⁰ (n≥4)인 인듐(In), 갈륨(Ga)을 ZnO와 혼합시켜 비정질 상태에서도 높은 전하이동도를 갖는 TTFT를 개발하였다. Grain boundary가 없는 비정질 박막은 다결정 박막에 비해 평탄한 표면을 보이지만 불연속적인 원자배열에 의해 반송자의 이동도가 낮은

a. Corresponding author; tyma@gnu.ac.kr

것으로 알려져 있다. 그러나 외곽 전자가 $(n-1)d^{10}ns^0$ ($n \geq 4$) 궤도에 분포하고 있는 금속산화물의 경우, 구 모양인 ns 양자궤도들의 중첩으로 새로이 형성된 전자전도 경로 (path)에 의해 비정질임에도 불구하고 높은 전자이동도를 나타낸다 [7]. 이와 같은 비정질 금속산화물의 개발에 의해 TTFT의 낮은 이동도는 상당부분 해결되었으나, TTFT의 산업현장 적용을 위해서는 제조공정 최적화를 통한 안정도, 재현성 등의 개선이 여전히 요구되고 있다.

본 연구팀에서는 ZnO에 SnO₂를 혼합하여 (zinc tin oxide, ZTO) 비정질 박막을 얻은 후 ZTO 비정질 박막을 사용하여 20 cm²/V sec 이상의 높은 이동도를 갖는 TTFT를 개발한 바 있다 [9]. ZTO TTFT 개발 과정에서 active layer의 두께가 이동도, 문턱전압 등에 영향을 미친다는 것이 확인되었다. 따라서 본 연구에서는 ZTO TTFT의 공정 최적화에 도움을 주기 위하여 active layer의 두께가 이동도, 문턱전압 등에 미치는 영향을 조사하고 그 원인을 분석하였다.

2. 실험 방법

게이트 전극의 역할을 하는 낮은 저항률의 n⁺-Si 웨이퍼 위에 절연막을 기른 후 TTFT를 제작하였다. 게이트절연막으로 사용하기 위해 SiO₂와 Al₂O₃를 n⁺-Si 웨이퍼 위에 이중으로 증착하였다. 원자반경이 작은 Zn의 SiO₂로의 침투를 막기 위해 Al₂O₃를 원자층증착법 (atomic layer deposition, ALD)으로 습식산화된 SiO₂ 위에 성장시켰다. 이때 SiO₂ 및 Al₂O₃의 두께는 각각 ~130 nm 및 ~30 nm였다. ZTO막을 고주파 스퍼터링하여 TTFT의 활성층으로 사용하였다. ZTO 증착을 위하여 Zn와 Sn의 원자비가 2:1인 타겟을 제작하여 챔버압력 5 mtorr 및 고주파 전력 70 W의 조건에서 스퍼터링하였으며, ZTO막의 화학양론성을 향상시키기 위하여 50 sccm의 아르곤과 함께 7 sccm의 산소를 주입하였다. ZTO막의 두께를 조절하기 위하여 스퍼터링 시간을 3분~25분 사이로 변화시켰다. Tencor사의 α -step 500으로 ZTO막의 두께를 측정하였으며, 스퍼터링 시간의 변화에 따른 ZTO막의 두께는 각각 7, 12, 17, 24, 36, 60 nm였다. 증착한 ZTO막을 400°C에서 5분 동안 급속 열처리한 후 ~600 nm의 인듐을 진공 증착하여 소스/드레인 전극으로 사용하였다. 인듐은 ZTO막과 양호한 저항성 특성을 갖는다. 레이저 가공한 스테인레스 마스크를 사용

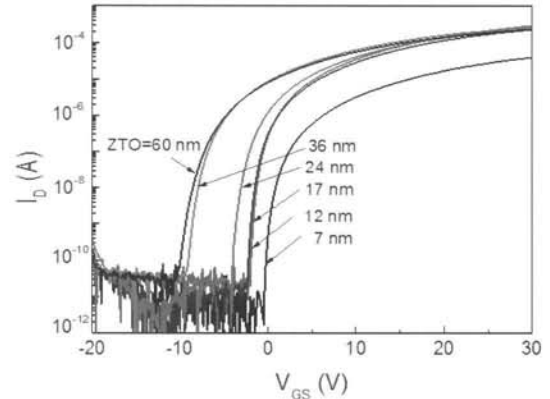


Fig. 1. Transfer characteristics of ZTO TTFTs as a function of ZTO thickness.

하여 패터닝한 TTFT의 채널 너비 및 길이는 0.4 mm였다. Kethley사의 semiconductor parameter analyzer를 사용하여 TTFT의 출력 특성 및 전달 특성을 측정하였으며, 그 측정 결과로부터 문턱전압 (V_T), 이동도(μ), subthreshold slope(SS)를 구하였다. ZTO 두께에 따른 TTFT의 μ , V_T , SS의 변화를 조사하고 그 원인을 분석하였다.

3. 결과 및 고찰

그림 1은 ZTO막의 두께에 따른 TTFT의 전달 특성 변화를 나타낸 것이다. 채널의 turn-on 전압은 ZTO막의 두께가 증가함에 따라 감소하였다. 드레인의 최저전류와 최대전류의 비인 I_{on}/I_{off} 는 ZTO막의 두께에 관계없이 10^6 이상이었다. 그러나 ZTO막의 두께를 7 nm로 줄일 때는 급격한 드레인 전류(I_D)의 감소가 나타났다. 이것은 ZTO의 두께에 따른 이동도의 변화가 감지되는 결과이다. TTFT의 이동도는 여러 가지 방법으로 구할 수 있으나, 본 연구에서는 포화영역의 전달 특성으로부터 구한 포화 이동도 (saturation mobility, μ_s)를 사용하였다. TTFT의 포화영역에서 I_D 와 게이트전압(V_{GS})의 관계는 아래와 같다 [8].

$$I_D = \frac{W\mu_s C_{ox}}{2L} (V_{GS} - V_T)^2 \quad (1)$$

여기서 W , L , C_{ox} 및 V_T 는 각각 채널의 너비, 길이, 게이트의 단위 면적당 용량 및 문턱전압을 나타낸다.

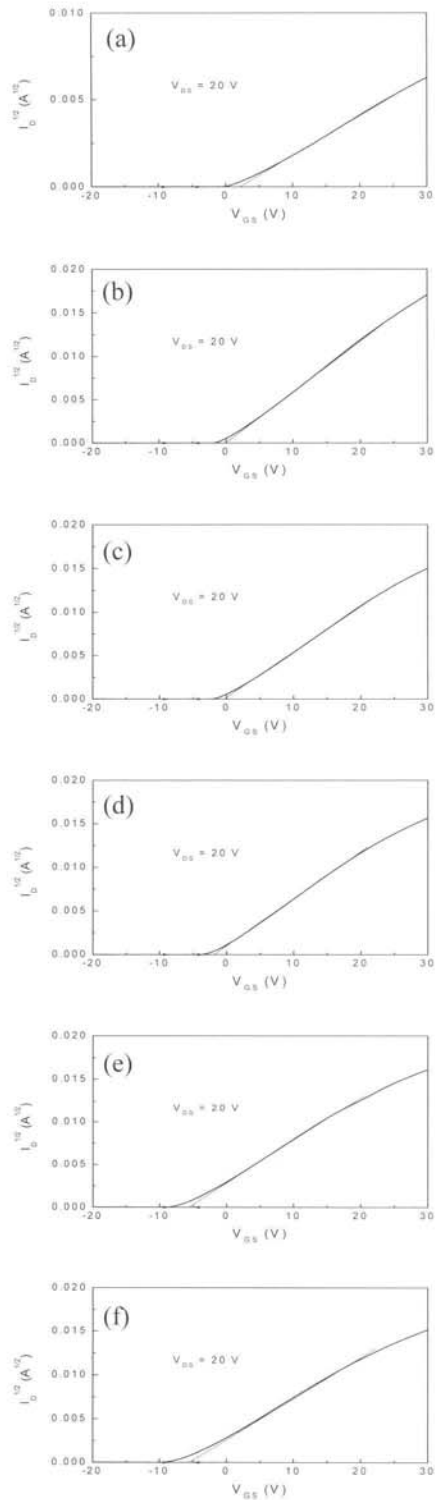


Fig. 2. $I_D^{1/2}$ vs. V_{GS} of ZTO TFTs. The thickness of ZTO is: (a) 7, (b) 12, (c) 17, (d) 24, (e) 36, and (f) 60 nm.

Table 1. Summaries of mobility, threshold voltage, subthreshold swing and I_{on}/I_{off} of ZTO TFTs.

ZTO (nm)	μ (cm^2/Vsec)	V_T (V)	SS (V/dec)	I_{on}/I_{off}
7	5.1	2.25	0.32	$\sim 10^6$
12	27.0	0.25	0.34	$\sim 10^7$
17	23.0	0.10	0.35	$\sim 10^7$
24	24.6	-1.00	0.41	$\sim 10^7$
36	21.4	-5.50	0.52	$\sim 10^7$
60	18.3	-5.75	0.54	$\sim 10^7$

식 (1)의 기울기로부터 μ_s 를 그리고 x축 절편으로부터 V_T 를 구할 수 있다.

그림 2는 $(I_D)^{1/2}$ 를 V_{GS} 의 함수로 나타낸 것이다. 그림 2에서 구한 이동도, 문턱함수 등을 표 1에 요약하였다. ZTO막의 두께가 증가함에 따라 V_T 가 감소하였다. 이것은 ZTO막의 자유 전자농도 변화에 기인한다. MOSFET의 V_T 는 아래의 식으로 표현된다 [9].

$$V_T = \phi_{ms} - \frac{1}{C_{ox}}(Q_i + Q_d) + 2\phi_F \quad (2)$$

여기서 ϕ_{ms} , Q_i , Q_d , 각각 게이트전극(n^+ -Si)과 ZTO의 일함수 차이, 계면의 양전하, 공핍영역의 전하이다. 그리고 ϕ_F 는 전성 레벨(E_i)과 페르미레벨(E_F)의 차이 ($E_i - E_F$)를 나타낸다.

그림 3은 ZTO TFT의 활성층 영역을 4군데로 구분한 것이다. 영역 I은 게이트절연막과 ZTO막의 계면, II는 공핍영역(반전층 포함), III은 ZTO막의 bulk 영역 그리고 IV는 ZTO막의 바깥쪽 표면을 의미한다.

그림 4에 게이트전극 (n^+ -Si) / 게이트절연층 ($\text{SiO}_2/\text{Al}_2\text{O}_3$)/ZTO의 에너지밴드 다이어그램을 개략적으로 나타내었다. 그림 3에서 제시한 4개 영역의 에너지밴드 다이어그램 변화를 설명하는 것이 목적이기 때문에 구체적인 수치를 기입하지 않았다. 영역 I 및 IV에는 dangling bond 등의 결함에 의해 다수의 트랩이 존재하고 이 트랩들이 전자를 포획함으로써 계면에 공핍영역을 발생시킨다. 따라서 ZTO막이 얇으면 영역 III은 사라지고 II만 남아 실질적인 ϕ_F 가 증가되며 이것이 V_T 를 증가시킨다(그림4(b)). ZTO막의 두께가 증가하여 영역 III이 충분한 두께로 형성되면, ZTO막은 n-type이기 때문에, 식 (2)의 ϕ_F 가 음의 값을 갖게 되며 V_T 는 최솟값으로 수렴하게 된다.

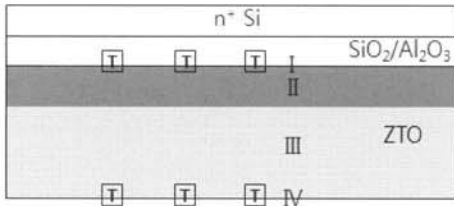


Fig. 3. Division of conduction area in ZTO active layer: interfaces, depletion, and bulk region. T means surface state.

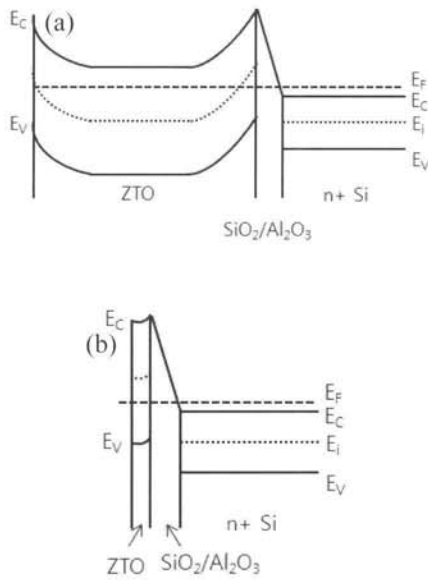


Fig. 4. Energy band diagram of n^+ -Si/SiO₂/Al₂O₃/ZTO in case of ZTO thickness is (a) thick, and (b) thin.

본 실험에서는 ZTO 두께가 24 nm에서 36 nm로 증가할 때 큰 폭의 V_T 감소가 일어났다. 그리고 ZTO 막의 두께를 60 nm로 증가시켰을 경우에는 V_T 의 감소가 미미하였다. 이것은 ZTO 두께가 36 nm 이상이 되면 ϕ_F 의 변화가 줄어들기 때문이다. 본 실험의 결과로 볼 때, 계면에 존재하는 공핍영역의 깊이는 17 ~ 24 nm인 것으로 추측한다.

이동도 μ_s 도 활성층 두께의 영향을 받는 것으로 확인되었다. ZTO막의 두께가 7 nm일 때 $5.1 \text{ cm}^2/\text{Vsec}$ 였던 μ_s 가 ZTO 두께를 12 nm로 증가시키면 $27.0 \text{ cm}^2/\text{Vsec}$ 으로 크게 증가하였다. 그러나 그 이상의 두께에서는 μ_s 가 다시 감소하였다. 이동도 μ_s 는 계면의 트랩농도, 막내의 전하농도, 채널의 전자농도 등의 영향을 받는다.

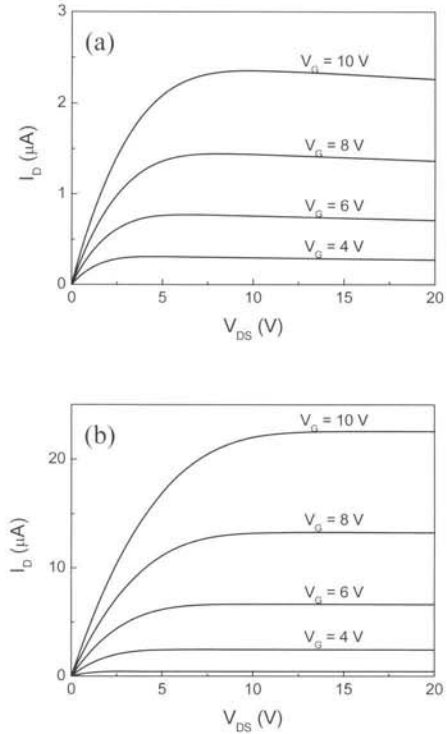


Fig. 5. Output characteristics of ZTO TFTs having different ZTO thickness: (a) 7, and (b) 12 nm.

ZTO막의 두께가 7 nm로 얇은 경우에 μ_s 가 감소하는 것은 채널을 이동하는 전자에 미치는 계면 I과 IV의 영향이 커지기 때문이다. ZTO막의 두께가 12 nm 이상으로 증가함에 따라 μ_s 가 다시 감소하는 것은 다음과 같이 설명할 수 있다. E. Fortunato 등 [10]의 보고에 의하면, μ_s 는 채널의 전자농도에 비례한다. 게이트전압에 의해 유기되는 채널의 전자농도는 $C_{ox}(V_{GS}-V_T)/d$ 이므로 ZTO막의 두께 d 가 증가하면 채널의 전자농도는 감소한다. 따라서 ZTO막의 두께가 증가하면 μ_s 는 감소하게 된다.

문턱전압 아래영역의 I_D 가 10배 증가하는데 필요한 게이트전압을 나타내는 subthreshold swing (SS, V/dec)은 ZTO막의 두께 7 nm에서 0.32 V/dec로 가장 낮았으며, 두께가 증가함에 따라 지속적으로 증가하였다. SS는 계면과 bulk 영역에 존재하는 state의 농도와 아래의 관계를 갖는다 [11].

$$SS = \frac{kT}{q \log(e)} \left[1 + \frac{q t_i}{\epsilon_i} (\sqrt{\epsilon_s N_b} + q N_s) \right] \quad (3)$$

여기서 T 는 절대온도, t_f 는 게이트절연막의 두께, ϵ_i 및 ϵ_s 는 게이트절연막 및 ZTO의 유전상수 그리고 N_b 및 N_s 는 각각 bulk 및 계면의 state 밀도이다. ZTO막의 두께가 증가하면 N_s 에 N_b 의 영향이 더해져 SS가 증가하는 것으로 판단된다.

그림 5는 ZTO막의 두께가 7 nm 및 12 nm일 때의 ZTO TFT의 출력 특성을 나타낸 것이다. ZTO막의 두께가 12 nm 이상인 TFT의 출력 특성은 모두 유사하였기에 추가로 제시하지 않았다. ZTO막의 두께가 7 nm로 얇은 경우에는 포화영역의 V_{DS} 가 증가함에 따라 I_D 가 감소하는 현상이 나타났다. 이것은 V_{DS} 의 증가에 의해 드레인영역의 공핍영역이 확대되어 I_D 의 흐름을 방해하기 때문이다. 본 실험의 결과로 볼 때, TFT의 활성층으로서 적절한 ZTO막 두께는 20 nm 부근인 것으로 판단된다.

4. 결론

본 연구에서는 활성층인 ZTO막의 두께가 TFT의 μ_s , V_T , SS에 미치는 영향을 조사하고 그 원인을 분석하였다. 문턱전압 V_T 는 ZTO막의 두께가 증가함에 따라 감소하였으며, V_T 의 감소는 ZTO막에 존재하는 전자농도의 증가가 원인인 것으로 판단된다.

ZTO막의 두께를 7 nm에서 12 nm로 증가시키면 μ_s 가 $5.1 \text{ cm}^2/\text{Vsec}$ 에서 $27.0 \text{ cm}^2/\text{Vsec}$ 로 크게 증가하였으며, 12 nm 이상의 두께에서는 μ_s 가 다시 감소하였다. ZTO막의 두께가 7 nm일 때 μ_s 가 낮은 것은 전자의 이동에 미치는 계면의 영향이 크기 때문이며, ZTO막의 두께가 12 nm 이상으로 증가함에 따라 μ_s 가 다시 감소하는 것은 μ_s 가 채널의 전자농도에 비례하기 때문인 것으로 해석된다.

SS는 ZTO막의 두께 7 nm에서 0.32 V/dec로 가장 낮았으며, 두께가 증가함에 따라 지속적으로 증가하였다.

ZTO막의 두께증가에 따른 SS의 증가는 계면에 의한 상태 (state)의 증가가 원인으로 보인다. ZTO TFT는 ZTO막 두께 12 nm에서 최고의 특성을 나타내었다.

감사의 글

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임 (No. 2010-0007697).

REFERENCES

- [1] T. Y. Ma, *J. KIEEME*, 25, 304 (2011).
- [2] S. Bang, S. Lee, J. Park, S. Park, Y. Ko, C. Choi, H. Chang, H. Park, and H. Jeon, *Thin Solid Films*, 519, 8109 (2011).
- [3] C. Lin, K. Chou, F. Chang, and C. Hung, *Solid-State Electronics*, 64, 10 (2011).
- [4] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, 300, 1269 (2003).
- [5] S. Masuda, K. Kitamura, Y. Okumura, and S. Miyatake, *J. Appl. Phys.*, 93, 1624 (2003).
- [6] R. L. Hoffman, B. J. Norris, and J. F. Wagner, *Appl. Phys. Lett.*, 82, 733 (2003).
- [7] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, 432, 488 (2004).
- [8] D. K. Schroder, *Semiconductor Material and Device Characterization* (A Wiley-Interscience Publication, 1990) p. 226.
- [9] B. G. Streetman, *Solid State Electronic Devices-4th ed.* (Prentice-Hall international, Inc., 1995) p. 312.
- [10] E. Fortunato, P. Barquinha, A. Pimentel, L. Pereira, G. Goncalves, and R. Martins, *Phys. Stat. Sol.*, (RRN), 1, R34 (2007).
- [11] A. Rolland, J. Richard, J. P. Leider, and D. Mencaraglia, *J. Electrochem. Soc.*, 140, 3679 (1993).