

JFET 영역의 이중이온 주입법을 이용한 Power MOSFET의 온저항 특성에 관한 연구

김기현, 김정한, 박태수, 정은식, 양창현^a

메이플세미컨덕터 신사업본부

Properties of Reducing On-resistance for JFET Region in Power MOSFET by Double Ion Implantation

Ki Hyun Kim, Jeong Han Kim, Tae-Su Park, Eun-Sik Jung, and Chang Heon Yang^a

R&D Center, Maple Semiconductor Inc., Bucheon 421-742, Korea

(Received February 3, 2015; Revised March 18, 2015; Accepted March 19, 2015)

Abstract: Device model parameters are very important for accurate estimation of electrical performances in devices, integrated circuits and their systems. There are a large number of methods for extraction of model parameters in power MOSFETs. For high efficiency, design is important considerations of a power MOSFET with high-voltage applications in consumer electronics. Meanwhile, it was proposed that the efficiency of a MOSFET can be enhanced by conducting JFET region double implant to reduce the On-resistance of the transistor. This paper reports the effects of JFET region double implant on the electrical properties and the decreasing On-resistance of the MOSFET. Experimental results show that the 1st JFET region implant diffuse can enhance the On-resistance by decreasing the ion concentration due to the surface and reduce the On-resistance by implanting the 2nd Phosphorus to the surface JFET region.

Keywords: Power MOSFET, Ion implant, On-resistance, Junction field area, JFET implant

1. 서론

최근 전기·전자 기기에서 에너지 절감을 위한 고효율화, 기기의 소형화를 위한 부품의 소형/슬림화, 신뢰성 향상을 위한 저 노이즈화 및 고조파 전류 억제, 스위칭 특성 향상을 위한 고속 부하 응답성(피크 부하전류 대응) 향상 등이 요구되고 있다 [1-4]. 이러한 추세

에 따라 전력공급 장치, 인/컨버터, 모터 제어 및 각종 전원 회로 등에 널리 사용 되는 전력 반도체의 특성 향상 방법이 주목되고 있다 [5-7]. 전력 반도체 중 power MOSFET (metal oxide semiconductor field effect transistor)은 낮은 소비 전력, 높은 항복 전압, 높은 입력 임피던스 및 높은 스위칭 속도를 가진 소자로써 폭 넓게 사용되며 전력 반도체 산업에서 중요한 소자이다 [8,9]. Power MOSFET은 매년 고속 스위칭 특성 향상, 저 온-저항($R_{ds(on)}$)화, 고전압/전류화 등의 연구가 진행 되고 있지만 더욱 높은 성능 향상이 요구 되고 있다 [10,11]. 일반적으로 power MOSFET의 주요 성능 지표는 전력 효율, 신뢰성, 제조비용, 스위칭

a. Corresponding author; chyang@maplesemi.com

속도, 항복전압 및 온-저항 등이 있으며, 스위칭 소자로써 power MOSFET이 동작 시 drain과 source간의 온-저항으로 인해 발생하는 손실로 전력 효율을 결정한다 [12]. 에피텍셜 층(epitaxial layer) 위에 제작된 power MOSFET의 온-저항을 개선하기 위하여 P-base와 gate에 사이인 JFA (junction field area)에 N형의 도펀트를 주입하여 JFET 영역을 추가하는 방법이 있다. JFET영역을 추가하면 주변보다 높은 농도로 채널 영역에서 많은 캐리어들이 존재하게 되어 같은 바이어스 조건에서 큰 전류를 흘릴 수 있다 [13].

본 논문은 power MOSFET의 온-저항을 감소시키기 위해 JFET 영역에 이중이온 주입 방법을 사용하였다. 이중이온 주입의 N형 도펀트로 인(phosphorus)을 사용하였으며, 단일이온 주입과 이중이온 주입으로 제작된 소자의 전기적 특성을 분석하였다.

2. 실험 방법

2.1 550 V급 Power MOSFET 구조 및 제작

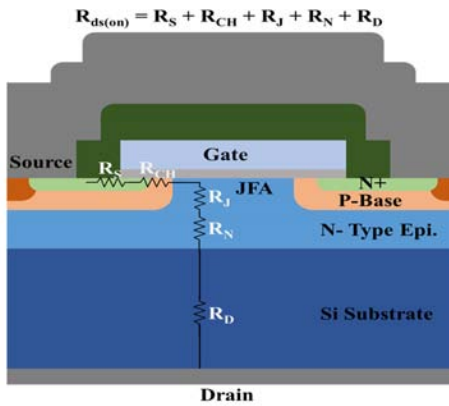


Fig. 1. Cross-sectional view of a power MOSFET with illustration of the internal resistance.

Power MOSFET에서 온-저항은 순방향 바이어스시 즉, source에서 drain으로 전류가 흐를 때 발생하는 소자 내부의 합성저항이다.

그림 1은 소자 내부의 저항 성분을 도시화하였다. 온-저항은 source와 N+확산층간의 저항(R_s), P-base에 형성되는 채널 저항(R_{ch}), JFA의 저항(R_j), 에피텍셜 층의 저항(R_n), N-기판과 drain간의 저항(R_d)의 합성 저항이다 [14].

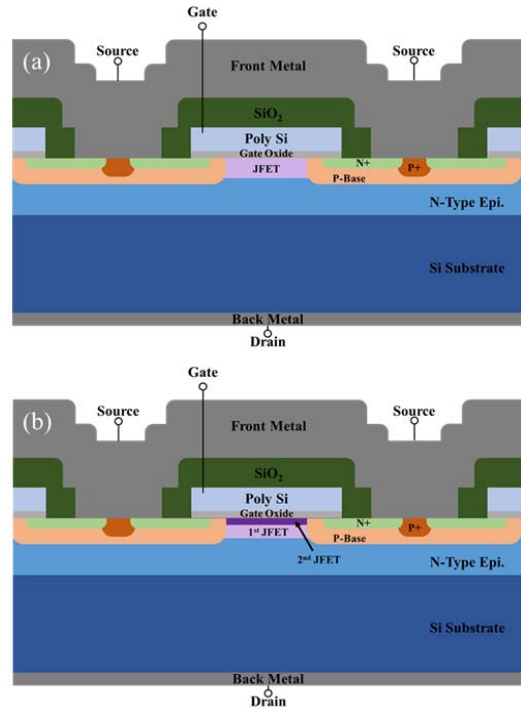


Fig. 2. Schematics of (a) single implant MOSFET and (b) double implant MOSFET.

Table 1. Devices parameters used in fabrication.

Parameters	Condition
Wafer	Si, 8 inch, 2 ea
Chip size	3,220 × 2,850 μm
JTE (junction termination extension) implant	Boron : 4.5 × 10 ¹³ cm ⁻³
1 st -JFET implant	Phosphorus : 1.0 × 10 ¹² cm ⁻³
Ion diffusion	N ₂ : O ₂ = 1 : 4, 1,150 °C
2 nd -JFET implant	Phosphorus : 5.0 × 10 ¹¹ cm ⁻³
P-base implant	Boron : 3.8 × 10 ¹³ cm ⁻³
N+ implant	Phosphorus : 5.0 × 10 ¹⁵ cm ⁻³
P+ implant	Boron : 3.0 × 10 ¹⁵ cm ⁻³

그림 2는 제작한 550 V급 MOSFET의 단면 구조도이다. 단일이온 주입 MOSFET과 이중이온 주입 MOSFET의 차이는 JFET영역의 이온 주입 방법 이외에 구조와 공정 방법은 동일하게 제작하였다. 주요 공정의 조건을 표 1에 정리하였다.

8인치 웨이퍼에 제작한 2가지 조건의 MOSFET 전기적 특성은 EDS (electrical die sorting system, STATEC사 : STA2050) 장치를 사용하여 웨이퍼당 각각 3,000개의 die chip을 분석하였다.

2.2 JFET영역의 이온 주입

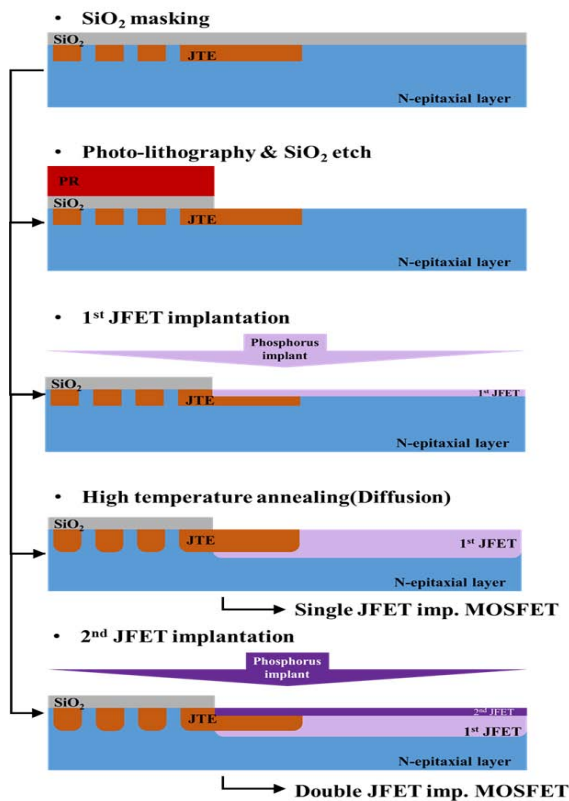


Fig. 3. Process flow of JFET implanting.

JFET 영역의 이온 주입을 위해 도펀트로 인을 사용하여 활성 영역(active area) 전면에서 이온 주입하였다.

그림 3에 JFET영역의 이온 주입 공정 흐름을 나타내었다. JFET영역의 1차 이온 주입 도핑 농도 $1.0 \times 10^{12} \text{ cm}^{-3}$, 2차 이온 주입 도핑 농도 $5.0 \times 10^{11} \text{ cm}^{-3}$ 로 이온 주입하였다. 1차 이온 주입 후 질소와 산소 분위기로 고온 열처리하여 인 이온을 확산하였다 [15]. 이온 확산공정 후 2차 이온 주입하여 JFET 이중 이온 주입 MOSFET을 제작하였다.

JFET영역 이온 주입 공정 이후 P-base, N+ 및 P+ 이온 주입 공정 등 추가 공정을 통하여 단일이온 주입 MOSFET과 이중이온 주입 MOSFET을 제작하였다.

3. 결과 및 고찰

2가지 방법으로 JFET영역에 인을 이온 주입 하여 제작한 550 V급 MOSFET의 전기적 특성을 EDS장치로 분석하였다.

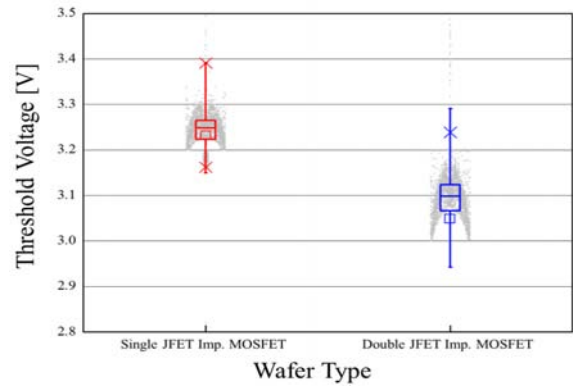


Fig. 4. Threshold voltage characteristics of single JFET implant and double JFET implant MOSFETs at I_D 250 μA .

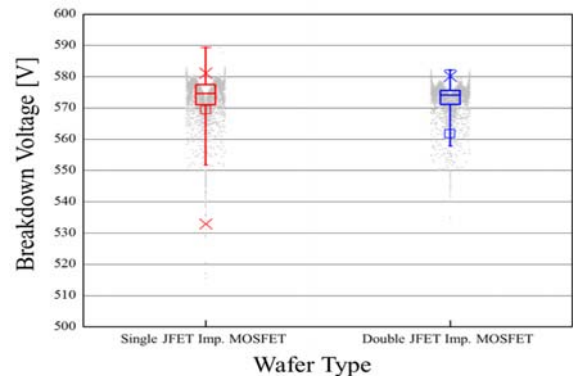


Fig. 5. Fabricated breakdown characteristics of MOSFETs reverse biased at 250 μA .

그림 4는 2가지 방법으로 제작한 MOSFET의 문턱 전압(threshold voltage : V_{th})을 drain 전류 250 μA 에서 측정하였다. 문턱전압은 단일이온 주입 MOSFET의 경우 중심값 3.25 V이며, 이중이온 주입 MOSFET은 중심값 3.10 V를 나타내었다.

그림 5는 제작한 MOSFET의 항복 전압(breakdown voltage : V_{BD})을 역방향 drain 전류 250 μA 에서 측정하였다. 단일이온 주입 MOSFET의 항복전압 중심값은 574 V이며, 이중이온 주입의 중심값은 573 V로 항복 전압의 차이는 없었다.

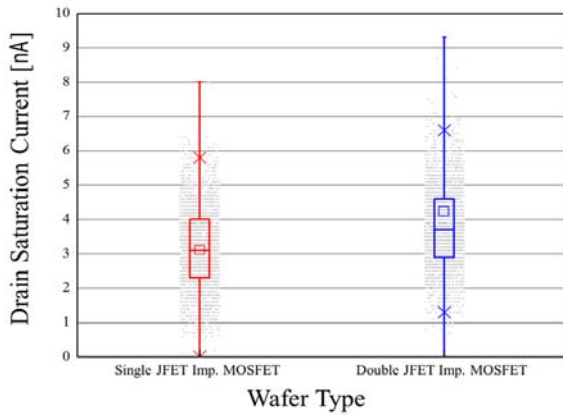


Fig. 6. Drain saturation current properties of fabricated MOSFETs with $V_{GS} = 0$ V and $V_{DS} = 500$ V.

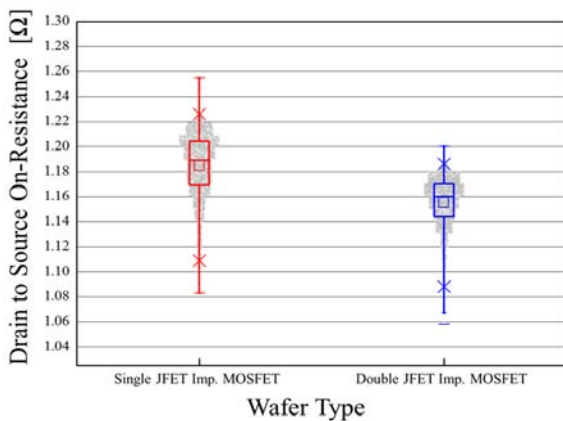


Fig. 7. On-state resistance characteristics of MOSFETs at $I_D = 1$ A.

그림 6은 drain 포화전류(drain saturation current : I_{DSS})값을 나타낸다. Gate와 source간의 전압이 0 V일 때, drain과 source간의 전압이 500 V에서 포화 전류값을 측정하였다. 단일이온 주입과 이중이온 주입 MOSFET의 포화전류 중심값은 각각 3.1 nA와 3.6 nA를 나타내었다.

그림 7은 제작한 MOSFET의 온-저항 특성을 측정하였다. 순방향 drain 전류가 1 A일 때 각 MOSFET의 온-저항을 측정하였다. 온저항의 중심값은 단일이온 주입 MOSFET의 경우 1.19 Ω 이며, 이중이온 주입 MOSFET의 경우 1.14 Ω 으로 나타났다. 제작한 JFET 영역에 이온 주입 MOSFET의 전기적 특성 분석 결과 이중이온 주입 MOSFET에서 온-저항 감소, 문턱전압

감소, 포화전류 증가함을 보였다. 이중이온 주입 MOSFET의 문턱전압 감소는 이중이온 주입으로 인하여 JFET영역의 주변보다 상대적으로 높은 농도로 채널 영역에서 많은 캐리어들이 존재하여 낮은 문턱 전압을 나타내었다.

일반적으로 항복전압은 온-저항과 trade-off 관계이다. 하지만 이중이온 주입 MOSFET의 경우 1차 JFET 이온 주입 후 고온 열처리로 인해 junction field 영역에서 인 이온이 확산되었으며, 인 이온 농도는 웨이퍼 표면에서 에피텍셀층으로 깊이가 깊어짐에 따라 감소할 것으로 예상된다.

1차 이온 주입 후 열처리로 인하여 확산된 인 이온의 농도 차이를 2차 JFET이온 주입으로 인하여 농도 차이를 보상한 결과로 온-저항이 감소한 것으로 사료된다. 또한 항복전압 역시 미미하게 감소하였으나, 목표 항복전압을 만족하였다. 결과적으로 JFET영역의 이중이온주입은 항복전압에 영향을 주지 않으며, 온-저항 개선할 수 있음을 보여주었다.

4. 결론

JFET영역에 인 단일이온 주입과 인 이중이온 주입 방법을 통하여 제작한 MOSFET의 전기적 특성을 비교 분석하였다. 제작한 2가지 형태의 MOSFET은 목표 항복전압 550 V를 만족하였으며, 단일이온 주입보다 이중이온 주입한 MOSFET에서 문턱전압, 포화전류 및 온-저항의 특성 개선을 보였다.

이러한 특성 변화는 1차 이온 주입 후 고온 열처리로 인 이온을 확산할 때 JFET영역에서 깊이에 따른 농도 차이를 2차 이온 주입한 인 이온이 보상한 결과로 특성이 향상됨을 확인하였다.

본 연구에서 얻어진 JFET 영역에 이중이온 주입 power MOSFET 제조 방법은 향후 반도체 전하 전달 체제 연구를 통하여 스위칭 특성 향상을 위한 반도체 소자 개발의 기초 자료로서 활용될 것으로 기대된다.

감사의 글

본 연구는 산업통상자원부 충청광역경제권 선도산업 R&D 사업의 지원에 의해 수행되었습니다. (과제 번호: R0001577).

REFERENCES

- [1] G. Borionetti, D. Gambaro, S. Santi, M. Borgini, P. Godio, and S. Pizzini, *Mater. Sci. Eng. B*, **B73**, 218 (2000).
- [2] D. K. Schroder (New Jersey Wiley, Hoboken, 2006).
- [3] A. Michez, J. Boch, S. Dhombres, and F. Saigné, *Microelectron Reliab.*, **53**, 1306 (2013).
- [4] H. Chen, B. Ji, V. Pickert, and W. Cao, *IEEE Trans Dev Mater Reliab*, **14**, 220 (2014).
- [5] Y. Özcelep and A. Kuntman, *Microelectron Int.*, **29**, 141 (2012).
- [6] K. N. Quader, C. C. Li, R. Tu, E. Rosenbaum, P. K. Ko, and C. Hu, *IEEE Trans Electron Dev.*, **40**, 2245 (1993).
- [7] R. Habchi, C. Salame, P. Mialhe, and A. Khoury, *Microelectron Reliab*, **47**, 1296 (2007).
- [8] B. Bernoux, R. Escoffier, and P. Jalbaud, *IEEE International Symposium on Industrial Electronics*, 2016 (2009).
- [9] F. Djahli, M. Bouchemat, and M. Kahouadji, *Microelectron J*, **31**, 333 (1999).
- [10] M. R. Seacrist, *Gate Dielectric Integrity: Material Process and Tool Qualification*, 102 (2000).
- [11] J. Niccol, *Solid State Phenomena*, **145**, 155 (2009).
- [12] D. Ueda, H. Takagi, and G. Kano, *IEEE Trans Electron Dev.*, **ED-32**, 2 (1985).
- [13] W. S. Tam, S. L. Siu, B. L. Yang, C. W. Kok, and H. Wong, *Microelectronics Reliability*, **51**, 2064 (2011).
- [14] S. Kumar and S. Jha, *Microelectronics Journal*, **44**, 884 (2013).
- [15] E. Pomès, J. M. Reynès, P. Tounsia, and J. M. Dorkel, *Materials Science and Engineering: B*, **177**, 1362 (2012).