

고이동도 산화물 반도체 박막 트랜지스터 구현을 위한 구동전류 향상

장경수, Jayapal Raja, 김태용, 강승민, 이소진, Nguyen Thi Cam Phu,
 Than Thuy Trinh, 이윤정^b, 이준신^a

성균관대학교 정보통신대학

A Review : Improvement of Operation Current for Realization of High Mobility Oxide Semiconductor Thin-film Transistors

Kyungsoo Jang, Jayapal Raja, Taeyong Kim, Seungmin Kang, Sojin Lee, Nguyen Thi Cam Phu,
 Than Thuy Trinh, Youn-Jung Lee^b, and Junsin Yi^a

College of Information and Communication Engineering, Sungkyunkwan University, Suwon 440-746, Korea

(Received May 19, 2015; Revised May 23, 2015; Accepted May 24, 2015)

Abstract: Next-generation displays should be transparent and flexible as well as having high resolution and frame number. The main factor for active matrix organic light emitting diode and next-generation displays is the development of TFTs (thin-film transistors) with high mobility and large area uniformity. The TFTs used for transparent displays are mainly oxide TFT that has oxide semiconductor as channel layer. Zinc-oxide based substances such as indium-gallium-zinc-oxide has attracted attention in the display industry. In this paper, the mobility improvement of low cost oxide TFT is studied for fast operating next-generation displays by overcoming disadvantages of amorphous silicon TFT that has low mobility and poly silicon TFT that requires expensive equipment for complex process and doping process.

Keywords: Next-generation displays, Transparent, Flexible, Thin-film transistor, Oxide semiconductor, High mobility

1. 서 론

현재의 디스플레이 산업은 TFT-LCD와 같은 기존 평판디스플레이를 벗어나 저비용, 대형화, 고속주파수 구동, 플렉서블, OLED 및 3D 디스플레이를 목표로 시

장 수요를 창출시키기 위해 노력하고 있다. 이와 같은 디스플레이 구현을 위해 디스플레이 백플레인용 구동 소자인 TFT의 소재 개발이 필수적이다. 현재까지 널리 이용 중인 비정질 실리콘(a-Si) TFT의 경우 대형화 및 저비용은 가능하지만, 낮은 이동도로 인해 고해상도 및 고속 구동에 적합하지 않으며, 폴리 실리콘(poly-Si) TFT의 경우 이동도는 높으나 공정이 복잡하고 고비용 도핑공정이 필요한 단점이 있다. 이에 반해 산화물 반도체를 채널층으로 하는 산화물 TFT는 3 eV 이상의 넓은 밴드갭을 가지고 있어 가시광의 흡수가 일어나지 않고 투과되어 투명한 디스플레이 소자의 응용이 가

a. Corresponding author; junsin@skku.edu

b. Corresponding author; younjlee2@daum.net

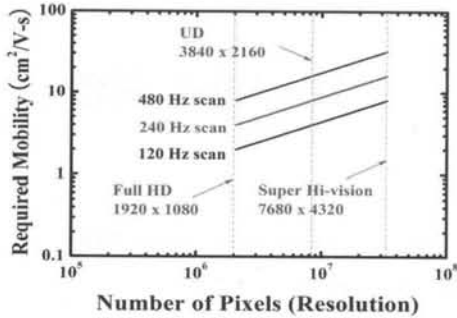


Fig. 1. Required mobility by high resolution and frame rate [2].

능하다. 높은 전자 이동도를 가지고 있어 높은 이동도를 요구하는 디스플레이 소자에도 적합하다. 또한, 고온의 도핑공정이 필요하지 않을 뿐만 아니라, 상온에서의 증착 공정 가능 및 낮은 온도에서의 열처리를 통해 대면적 기판에 적용될 수 있어 플렉서블 및 대면적 디스플레이에의 응용이 가능하다 [3,4]. 그 뿐만 아니라, 기존 Si 기반의 생산라인을 그대로 활용할 수 있다는 장점도 있어 성능, 공정, 투과성 및 가격 등 여러 가지 측면에서 차세대 디스플레이로의 발전이 기대된다. 산화물 반도체의 박막트랜지스터(TFT) 소자기술은 2003년 미국 Oregon대학의 Wager 교수 그룹의 산화아연(ZnO) 박막을 이용한 TFT의 연구 결과 발표 [5]와 2004년 일본 동경대학의 Hosono 교수 그룹에서 Nature지에 비정질 InGaZnO를 이용한 TFT 결과 발표한 후 세계적인 연구 및 개발이 진행되고 있다 [6]. 하지만, InGaZnO가 주를 이루는 기존의 산화물 반도체 연구는 대면적(>70인치), 고해상도(>UD, 4 k × 2 k), 그리고 높은 프레임 속도(>480 Hz) 디스플레이 패널 스위칭 소자에 응용되기에는 비교적 낮은 이동도를 가지고 있으며, 이를 위해서는 최소 30 cm²/V·s 이상의 고이동도가 필요하다고 보고되고 있다 [2,7].

그림 1은 앞서 언급된 해상도 및 프레임 속도에 따라 요구되어지는 이동도를 나타낸 것이다 [2]. 현재까지 고이동도를 위한 연구 방향을 크게 4가지로 분류하면 다음과 같다.

- 1) 채널층의 물질 개발을 통한 이동도 향상
 - 2) 절연층 개발을 통한 이동도 향상
 - 3) 구조 개선을 통한 이동도 향상
 - 4) 스퍼터링법 외의 공정을 이용한 이동도 향상
- 채널층에 관한 연구는 ZnO에서 출발하여 이동도 증

강 및 캐리어 농도 가변을 위해 Ga, Sn 및 Hf 등의 도펀트를 첨가하는 등의 시도를 통해 현재는 InGaZnO, InSnZnO 및 HfInZnO 등 다양한 채널층이 활발하게 연구 중이다. 절연층의 경우 양산성을 고려한 실리콘산화막(SiO₂) 및 실리콘질화막(Si₃N₄)에 대한 연구가 초기에 많이 연구되었으나, 최근에는 저전압 구동을 위해 high-k를 가진 박막을 이용하는 연구가 활발하게 진행되고 있다. 또한, 이동도 향상을 위해 채널층의 이중층 및 삼중층을 활용한 조절과 게이트 구조의 변화 등 다양한 구조 개선을 통한 이동도 향상 연구가 진행되고 있다. 마지막으로 현재까지의 산화물 반도체는 대부분 스퍼터링법을 이용하여 제조되고 있다. 향후 플렉서블 디스플레이를 위해 다양한 용액 기반의 연구가 진행되고 있으며, 기존 스퍼터링법을 통해 제조된 박막 대비 높은 발전을 이루었다. 또한, ALD, PLD, MOCVD 등의 증착법을 이용한 연구도 진행되고 있다.

2. 실험 방법

이번 논평에서 진행된 실험은 주로 스퍼터링법에 의한 방법을 이용하였으며, 최근에는 용액 기반의 제조법을 이용한 실험도 많이 진행되었다. 또한, 이외의 실험 방법으로 ALD, PLD, MOCVD 등의 증착 장비를 이용한 실험 방법도 진행되었다. 자세한 실험 내용은 참고 문헌을 확인하길 바란다.

3. 결과 및 고찰

3.1 고이동도 구현을 위한 구동전류 향상연구 개요

2003년 발표된 미국 Oregon대학 Wager 교수 그룹의 ZnO TFT [5] 및 2004년 발표된 일본 동경대학의 Hosono 교수 그룹의 IGZO TFT [6] 이후 2003년부터 2015년 현재까지 최근 12년 동안 산화물 반도체 TFT의 발표된 논문 수는 SCOPUS 인용 사이트에서 확인 시 산화물 TFT 및 이동도의 키워드를 바탕으로 1,000편이 넘으며 이를 그림 2에 나타내었다. 막대차트를 통해 2008년부터 출판된 논문 수의 급격한 증가를 확인할 수 있으며, 2010년 이후 매년 100편 이상의 관련 논문이 출판되고 있음을 알 수 있다.

최근 10년간 발표된 논문 약 1,000편 중에서 메모리 등 다른 소자와 관련된 논문 및 이번 논평과 관련성이

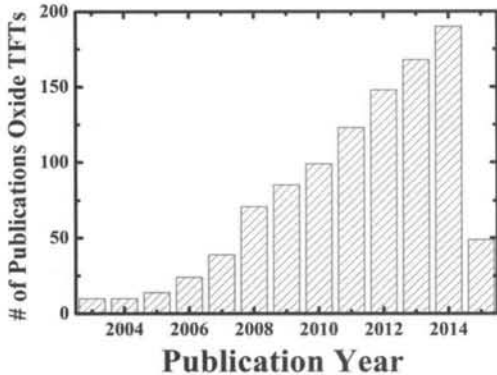


Fig. 2. Number of published papers related mobility of oxide TFTs.

떨어지는 논문을 제외한 논문을 살펴보면, 가장 많이 발표된 산화물이 ZnO와 IGZO 반도체이며, 출판된 논문 비중이 약 56% 정도이다. 출판된 논문의 경우 약 72% 정도가 스퍼터링법의 증착기술이 이용한 논문이며, 나머지는 용액, spin coating, 잉크젯, ALD, PLD, thermal evaporation 등의 공정을 이용한 논문이다. 또한, 스퍼터링법 외의 산화물 제조기술은 주로 2010년부터 많은 연구가 진행되었는데, 투명디스플레이에 적용시키기 위한 채널층 연구로부터 플렉서블 디스플레이에의 산화물 TFT의 응용에 대한 확장연구 분위기가 조성되었기 때문이라고 볼 수 있다.

이번 논평에서 산화물 TFT의 이동도를 비교하는 것이 주된 목적이지만, 실제 출판된 논문에서 이용되었던 반도체 채널의 종류뿐만 아니라, 게이트절연막, 소스/드레인, 구조 및 패터닝 공정 등도 다르므로 정확한 비교는 쉽지 않았다. 따라서 이번 논평에 이용된 이동도의 경우 이동도 추출을 위한 동일한 파라미터(채널 길이, 채널 넓이 및 게이트절연막 두께 등)가 아니므로 이를 고려하며 읽기를 바란다. 그리고 100 cm²/V·s 이상의 초고이동도의 논문보다는 가급적 객관성을 가지기 위해 20 cm²/V·s 이상의 고이동도 연구 동향을 바탕으로 산화물 TFT의 이동도에 관한 논평을 작성하였으며 이를 고려하여 자신의 연구에 참고하길 바란다.

3.2 채널층의 물질 개발 연구

채널층에 관한 연구는 비정질 및 결정질을 통한 분류가 되어야 한다. 초기에 결정질 ZnO가 300°C 이하의 저온에서 제작된 TFT가 보고되면서부터 산화물 TFT의 연구가 시작되었다. 이후, 상온 공정을 통해 완

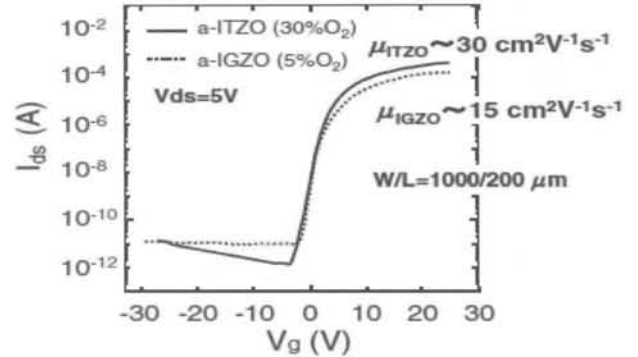


Fig. 3. Comparison of TFTs using InSnZnO and InGaZnO channels [15].

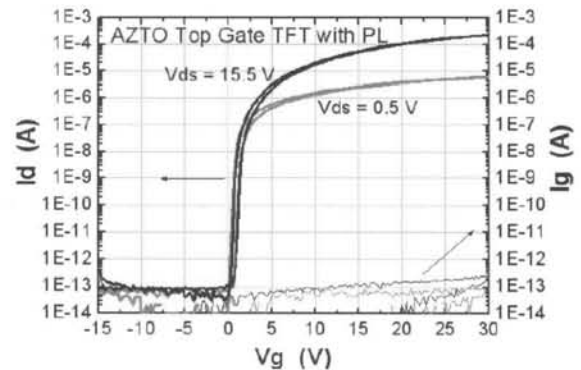


Fig. 4. Electrical characteristics of In-free AlSnZnO TFTs [26].

전 투명한 ZnO TFT의 이동도가 거의 20 cm²/V·s에 근접한 결과를 얻었다 [8]. 그러나 앞서 언급된 ZnO TFT의 경우 turn-on시키기 위해 높은 전압이 필요하다. 일반적으로 ZnO TFT는 결정화, 후속 열처리 및 게이트절연막의 최적화 등을 통해 이동도를 향상시킬 수 있다. 하지만, 결정성 ZnO는 결정립 경계에서의 결함을 형성시키기 때문에 디스플레이에의 응용 시 위치에 따른 비균일한 TFT 성능을 나타낼 수 있다. 또한, ZnO 반도체가 가지는 낮은 화학적 내구성으로 인한 문제도 발생하여 현재는 결정질 ZnO TFT에 관한 연구보다는 InGaZnO와 같은 비정질 산화물 TFT에 관한 연구로 개발이 변화하였다.

2004년 일본 동경대학의 Hosono 교수 그룹에서 발표한 상온에서 제작된 비정질 InGaZnO TFT는 8 cm²/V·s 이상의 높은 이동도 [6]를 나타내었으며, 이를 시작으로 수많은 연구가 진행되었다. 비정질 상태임에도 불구하고, 물질의 전자 오비탈 구조 때문에 높은 이동도를 갖는다. InGaZnO라는 반도체는 전도성의

IZO 물질에 캐리어억압자 및 관계 안정자로서의 역할을 하는 Ga이 추가되면서 나타났다 [9]. 이로 인해 높은 이동도를 가지고, 균일도를 통한 대형화가 가능하여 디스플레이로의 잠재력이 더 높아지게 되었다. InGaZnO TFT는 화학적 조성 변화, 게이트절연막의 최적화 및 다양한 변수를 통해 평균적으로 10~20 cm²/V·s 정도의 이동도를 나타낸다.

최근에는 InGaZnO가 아닌 대체 산화물 반도체를 이용하여 20 cm²/V·s 이상의 고이동도를 가지는 TFT에 대한 연구가 많이 이루어지고 있다. 이 중에서 가장 널리 연구되고 있는 물질은 InZnO [10-14]와 InSnZnO [15-18]이며 다수의 논문에서 30 cm²/V·s 이상의 초고이동도를 얻었다고 보고하고 있다 [11-18]. 이 박막 제조를 위해 기존 InGaZnO TFT 채널층에서 캐리어억압자 및 관계 안정자로서 역할을 하는 Ga이 제외되었으며, 추가적으로 이동도 증진 역할을 하는 Sn을 도핑시켰다. Top-gate 구조의 이용 [11,12], density-of-states 디자인 응용 [13], 접촉저항연구 [14], 결정화도 확인 [16], 열처리 효과 [17] 및 다양한 반응성 가스의 활용 [18] 등을 통해 고이동도를 갖는 TFT를 얻을 수 있었다. 또한 InZnO 및 InSnZnO 반도체에 Ti [19], C [20], Hf [13] 및 Al [21] 등의 원소를 추가적으로 도핑하여 고성능 산화물 TFT를 구현하기 위한 연구도 진행되었다. 이 밖에 고비용의 In을 대체하기 위한 In-free 산화물 반도체를 이용한 TFT연구도 진행 중이다. Sn, Al 및 F 등이 도핑된 SnZnO [22,23], AlZnO [24], FZnO [25] 및 AlSnZnO [26] 등을 채널층으로 활용한 TFT가 보고되었으며, 50 cm²/V·s 이상의 고이동도 특성을 나타내기도 한다 [23-25].

현재까지 TFT의 채널층에 응용된 산화물 반도체 종류만 30종 이상이 되므로 고이동도 성능을 가지는 산화물 TFT를 구현하기 위해서는 알맞은 채널층의 활용이 중요하다.

3.3 절연층 개발 연구

절연층의 경우 양산성을 고려한 실리콘산화막(SiO₂) 및 실리콘질화막(Si₃N₄)에 대한 연구가 초기부터 현재까지 널리 연구되고 있으며, 최근에는 저전압 구동을 위해 high-k를 가진 박막을 이용하는 연구도 활발하게 진행되고 있다. Al₂O₃, HfO₂, ZrO₂, HfO₂ 및 Ta₂O₅ 등의 high-k 물질뿐만 아니라, 새로운 high-k 물질인 YbTiO₃, HfLaO, HoTiO₃ 등 다양한 high-k 게이트절

연막을 이용한 논문도 출판되고 있다. 최근 10년 동안 출판된 산화물 반도체 TFT 중에서 우선적으로 출판된 논문수의 70% 이상인 ZnO와 InGaZnO를 채널층으로 이용한 TFT 논문을 선별하여 게이트절연막 및 계면 개발에 대해 정리하면 다음과 같다.

ZnO의 경우 기존 SiO₂ 및 Si₃N₄를 게이트절연막으로 이용한 TFT의 경우 증착조건가변을 통한 표면거칠기 및 수소농도가변 등을 진행하였지만, 10 cm²/V·s 이하의 낮은 이동도를 나타내는 경우가 많았다 [27-30]. 이는 ZnO 박막의 결정화도 및 이를 통한 결정립 경계에서 전자가 포획되거나 불순물 확산으로 인함이다. 또한, TFT의 turn-on을 위해 높은 구동전압이 필요하다. SiO₂ 게이트절연막을 이용하여 50 cm²/V·s 이상의 이동도를 얻었다는 보고가 있지만 이는 SiO₂ 박막의 품질보다는 소스/드레인에 phosphorus ion implantation [24] 및 500°C 이상의 고온 [31]을 이용한 결과이다. 고이동도를 위해 Ta₂O₅와 같은 high-k 물질의 게이트절연막으로의 이용 및 SiO₂/Ta₂O₅/SiO₂와 같은 적층 구조를 활용하여 누설전류 감소를 통해 50 cm²/V·s 이상의 이동도를 얻었다고 보고되었다 [32,33]. 또한, heterostructure를 이용한 ZnMgO를 게이트절연막으로 이용하여 20 cm²/V·s 이상의 이동도를 얻었다 [34].

InGaZnO의 역시 기존 SiO₂ 및 Si₃N₄를 게이트절연막으로 활용한 TFT가 많이 보고되고 있다 [35-38]. 고이동도를 위해 Al₂O₃ [39,40], Ta₂O₅ [41], HfO₂ [42] 및 ZrO₂ [43] 등의 high-k 물질을 게이트절연막으로 활용하거나 기존 high-k 게이트절연막에 La를 도핑한 게이트절연막 [44-46]도 연구되고 있다. 뿐만 아니라 시키거나, 희토류 원소를 게이트절연막으로 이용한 TFT 연구가 최근 들어 진행되고 있는데 Ti등을 함께 도핑한 YbTiO_x [47], HoTiO₃ [48,49], LuTiO₅ [50] 및 GdTiO₃ [51] 등의 게이트절연막이 연구되고 있다. 비정질 상태의 InGaZnO를 이용한 TFT는 결정질 상태의 ZnO를 이용한 TFT보다 이동도 측면에 있어서 확실히 우위에 있었으며, 게이트 종류에 따른 영향 역시 확연히 드러났다. 일반적인 SiO₂ 및 Si₃N₄를 게이트절연막으로 이용할 시 이동도는 평균 10~20 cm²/V·s이었다. high-k의 게이트절연막을 이용할 시 20 cm²/V·s 이상의 고이동도 특성 얻기가 쉬웠다. 하지만, 상대적으로 누설전류 및 off 전류가 높은 단점이 있었다. Ta₂O₅/Al₂O₃ [52] 및 SiO₂/TiO₂/SiO₂ [53] 등의 적층 구조를 이용하여 이동도를 높일 수도 있었다. 그러나, 기존 Si 기반의 게이트절연막이 아닌 high-k 물질을

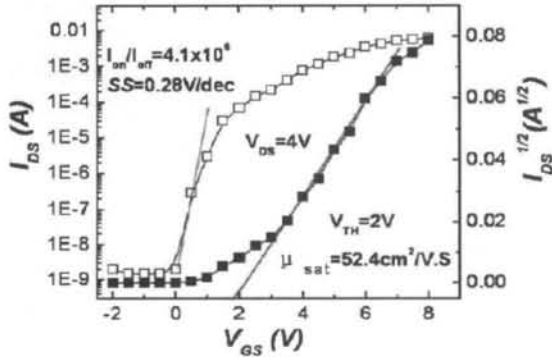


Fig. 5. Transfer characteristics of high mobility ZnO TFT with SiO₂/Ta₂O₅/SiO₂ gate dielectric stacks [33].

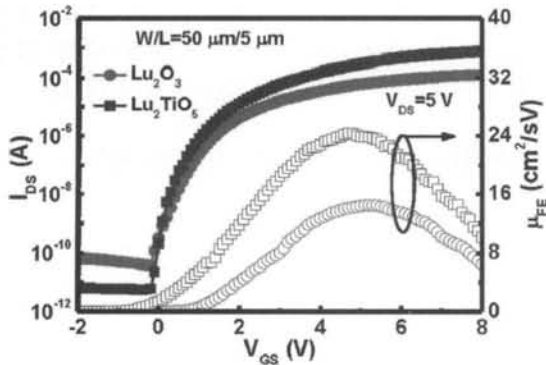


Fig. 6. Electrical characteristics of InGaZnO TFTs using rare earth Lu₂O₃ and Lu₂TiO₅ gate dielectrics [50].

이용할 경우 계면에서 발생하는 새로운 현상에 대한 부분을 고려해야한다.

이 밖에 고이동도를 위한 채널층의 가변과 게이트절연막의 가변을 동시에 진행하여 고이동도 향상에 대한 연구도 진행 중이며, 대표적으로 InZnO 채널층에 Al₂O₃/HfO₂의 적층형 high-k 게이트절연막을 이용하여 100 cm²/V·s 이상의 고이동도를 얻은 연구가 있다 [12].

앞서 언급된 내용을 바탕으로 산화물 TFT에서 게이트절연막이 미치는 영향에 대해 다음과 같이 정리할 수 있다. 일반적으로 TFT의 전반적인 성능은 게이트절연막에 매우 의존적이다. PECVD 장비를 이용하여 300~400°C에서 증착된 SiO₂ 박막을 주로 이용하는데, 이보다 낮은 공정온도가 필요한 전자소자에의 응용을 위해서는 대체 절연막 또는 공정 기술이 필수적이다.

이를 위해 저온 공정의 스퍼터링법을 이용한 절연막 증착이 가능하나, 고속 증착을 위해 저압 및 고전력의 필요로 인한 증착된 박막과 채널층 계면에 부정적인 영향을 미칠 수 있다. 또한, 유기물 역시 게이트절연막으로 사용할 수 있으나, 박막의 성장 및 후속 공정을 위해 상대적으로 고온 공정이 필요한 단점이 있다. 따라서 ALD 등을 이용한 high-k의 게이트절연막이 각광을 받고 있다. 200°C 이하의 공정온도에서 증착이 가능하며 높은 정전용량을 통해 subthreshold swing 값을 낮출 수 있을 뿐만 아니라, 동작 전압 역시 낮추는 장점이 있어 기존 SiO₂보다 계면포획밀도가 높은 단점을 보상시킬 수 있다. 하지만, high-k 게이트절연막을 이용할 시 다결정형태의 구조 및 표면 거칠기 뿐만 아니라, SiO₂ 보다 상대적으로 낮은 밴드갭 및 밴드오프셋으로 인해 전기적 성능 측면에서 누설전류가 높고 파괴전압이 낮아지는 단점이 있을 수 있다. 따라서 한 종류의 high-k의 게이트절연막을 이용하는 것이 아니라 기존 SiO₂ 및 Si₃N₄ 절연막과 high-k 절연막의 적층구조 연구와 high-k 절연막끼리의 적층구조 연구를 이용하여 고이동도와 고신뢰성을 갖는 산화물 TFT 연구가 진행되고 있다.

3.4 구조 개선 연구

이동도 향상을 위한 연구 중 하나가 TFT 각 요소별 구조 개선을 통한 이동도 향상이다. 채널층의 적층 구조 이용, dual-gate 이용을 통한 게이트 구조의 변화 및 소스/드레인 접촉저항 감소 등 다양한 구조 개선을 통한 이동도 향상 연구가 진행되고 있다.

적층형 채널 연구의 경우 게이트절연막과 채널층 사이에 전도도(캐리어 농도)가 높은 얇은 채널층을 삽입하는 적층 구조가 널리 연구되고 있다. InGaZnO 채널층과 게이트절연막 사이에 InZnO [54,55], InSnO [56] 및 InGaZnO [57] 등의 물질이 이용되며 높은 캐리어 농도를 바탕으로 전자의 이동을 빠르게 하는 전류경로를 만들어 이동도를 높인다. InGaZnO가 아닌 다른 종류의 채널층과 전도도가 높으면서 얇은 채널층의 적층 구조도 널리 연구 중이다 [58,59]. 일반적으로 단일 채널층을 이용한 TFT의 이동도보다 적층 채널층의 TFT를 제작하여 이동도를 측정할 시 약 2~3배 정도 높은 이동도를 얻을 수 있다고 보고된다 [54-57].

Dual-gate 구조를 이용하여 이동도 향상 결과를 얻을 수 있다는 보고가 있다 [60-62]. Dual-gate 구조를 이용할 시 전자의 채널축적층 조건이 채널층과 게이트

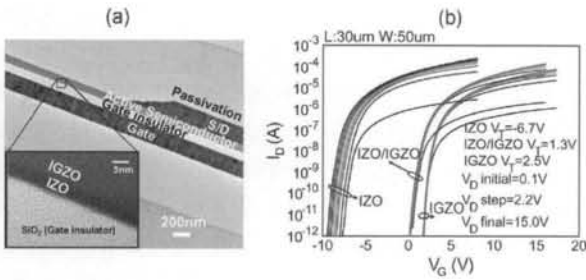


Fig. 7. Improvement of mobility of double layered InZnO/InGaZnO TFTs [54].

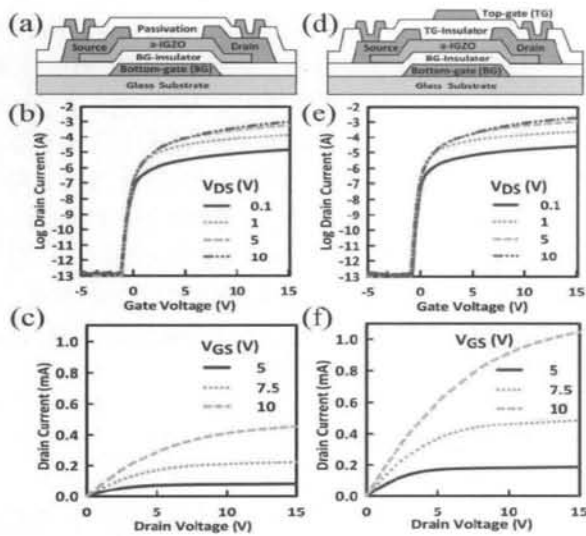


Fig. 8. Electrical characteristics of InGaZnO TFTs with single gate(left) and dual gate(right) structures [62].

절연막 사이의 계면에만 국한되는 것이 아니라 채널층 전체 깊이로 확장되는 벌크축적이 가능하다. 벌크축적을 이용한 TFT의 경우 단일 게이트 신호에 의해 조절되지만, 단일 게이트 TFT보다 S.S 및 turn-on 전압 등 전기적 특성에서 이점이 있으며, 특히 더 높은 on-current를 가짐으로 인해 이동도의 향상을 가져온다. 하지만, dual-gate 구조의 경우 역시 채널이 증가한 것이므로 결국은 단일채널에서의 이동도로 고려해야한다.

소스/드레인과 반도체 사이의 접촉저항의 조절을 통해 이동도와 같은 산화물 TFT의 전기적 성능을 향상시킬 수 있다. Si 기반의 TFT 경우 ion implantation을 통한 도핑공정 이후 약 400°C에서의 후속 열처리 공정을 통해 접촉 저항을 낮출 수 있었다. 하지만, 플

렉서블 디스플레이로의 전환 시점에서 고온공정은 불가능하며, 이의 해결을 위해 플라즈마 처리 및 저온에서의 후속 열처리 등을 통해 더 낮은 접촉저항을 얻기 위해 노력하고 있다. Ar, H₂ 및 NH₃ 플라즈마 처리를 통해 이동도를 높일 수 있다 [63-66]. 하지만, 플라즈마 처리의 경우 채널층에 damage가 발생할 수 있으므로 매우 조심히 다루어져야한다. 또한, 저온에서의 후속 열처리를 통해 이동도가 증가한 보고도 있다 [67]. 소스/드레인의 종류를 변화하거나 채널층과 소스/드레인 전극 사이에 얇은 중간층을 삽입하여 이동도를 높여주기도 한다 [68,69]. 최근에는 채널에 은나노 와이어를 채널층에 삽입하여 100 cm²/V·s 이상의 고 이동도를 얻었다는 연구도 보고되었다 [70].

마지막으로 etch stopper 등을 이용하여 신뢰성 뿐만 아니라 이동도를 높이는 연구도 많이 진행 중이며 [71-74], etch stopper의 사용 유/무에 따라 많게는 약 7배 정도의 이동도 차이가 발생하였다 [71].

3.5 스퍼터링법 외의 공정을 이용한 연구

출판된 논문수의 70% 이상은 스퍼터링법에 의해 제조된 산화물 반도체를 이용한 논문이다. 하지만, 스퍼터링법을 통해 만들어진 산화물 TFT의 경우 게이트절연막 증착, 패터닝, 식각, 채널층 증착 등 연속적인 공정이 필요하여 상대적으로 고비용이 든다. 저비용 생산을 위한 최근의 방법은 스프인코팅, 잉크젯 등을 이용한 직접적인 프린팅을 통한 방법이다. 2010년 이후 비스퍼터링법을 이용한 산화물 TFT의 제조가 크게 증가한 것을 볼 수 있는데 이는 플렉서블 TFT 제작을 위한 연구뿐만 아니라, 최근에는 상대적으로 높은 100 cm²/V·s이상의 이동도를 갖는 산화물 TFT 발표도 되고 있어 더욱 주목받기 때문이다 [75,76].

또한, 스퍼터링법보다 다양한 원소의 도핑이 쉬워 다양한 원소를 가지는 산화물 TFT가 많이 발표되었으며, 고비용의 인듐 원소를 사용하지 않으려는 노력도 진행 중이다 [77-79]. 하지만, 아직까지 스퍼터링법에 의한 산화물 TFT의 이동도보다 많이 낮으며 고이동도를 위한 채널층의 적층 연구 등의 진행은 거의 없고 신물질 혼합 연구가 주를 이루고 있을 뿐만 아니라, 상대적으로 공정온도가 높다는 단점이 있다.

비스퍼터링법에는 스프인코팅 및 잉크젯 등의 용액 기반뿐만 아니라, PLD [80], ALD [81], MOCVD [82] 및 evaporation [83] 기법도 이용 중이나, 아직까지는 괄목한 수준의 결과를 얻지는 못하고 있다.

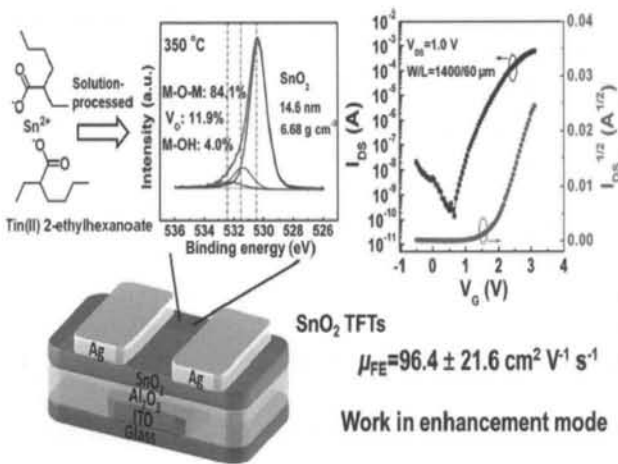


Fig. 9. Electrical characteristics of solution processed SnO_2 TFTs [75].

4. 결론

10여 년의 기간 동안 발표된 산화물 반도체를 이용한 TFT의 고이동도에 관한 연구를 살펴보았다. 다양한 채널층과 게이트절연막의 응용 및 구조 개선을 통한 이동도의 향상뿐만 아니라, 플렉서블 디스플레이를 위한 용액공정법 등의 비스퍼터링법을 이용한 이동도 향상에 관한 연구가 널리 진행 중이다. 신뢰성 부분에 대한 고려가 충분히 이루어져야하지만, 현재 발표된 최고 이동도는 $100 \text{ cm}^2/\text{V}\cdot\text{s}$ 이상으로 기존 poly-Si 기반의 TFT와 비교해도 거의 비슷한 수준까지 도달했다. 또한, poly-Si TFT보다 drain current 값이 낮을 뿐만 아니라, 저온 공정도 가능하며, 대화면 디스플레이에 적용하기 위한 비정질 상태의 장점까지 가지고 있어 충분히 향후 디스플레이의 채널층으로 사용하는데 있어 미래가 매우 밝다. 기존 실리콘 기반의 채널층을 이용한 TFT 및 이를 활용한 디스플레이에서 새롭게 산화물 반도체 기반의 TFT가 적용된 디스플레이로의 전환을 기대해 본다.

단, 이번 논평을 위해 조사되었던 연구의 경우 산화물 반도체를 이용한 TFT 소자에서 채널 너비, 채널 길이 및 게이트절연막 두께 등의 다양한 파라미터를 이용한 이동도 추출 시 모든 조건이 동일한 것이 아니므로 부디 비교 대상의 조건을 고려하면서 연구를 진행하길 바란다.

감사의 글

이 논문은 2014년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(NRF-2014R1A1A3053287). 이 논문은 2015년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(NRF-2010-0020210).

REFERENCES

- [1] T. Kamiya, K. Nomura, H. Hosono, *Sci. Technol. Adv. Mater.*, **11**, 044305 (2010).
- [2] T. Arai, *J. Soc. Inf. Display*, **20**, 156 (2012).
- [3] R. Martins, E. Fortunato, P. Barquinha, *Transparent Oxide Electronics: From Materials to Devices* (John Wiley and Sons, Chichester, UK, 2012).
- [4] J. Wagner, D. Keszler, R. Presley, *Transparent electronics*, (Springer, New York, USA, 2008).
- [5] J. F. Wagner, *Science*, **300**, 1245 (2003).
- [6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).
- [7] E. Fukumoto, T. Arai, N. Morosawa, K. Tojunaga, Y. Terai, T. Fujimori, and T. Sasaoka, *J. Soc. Inf. Display*, **19**, 867 (2011).
- [8] E. Fortunato, P. Barquinha, A. Pimentel, A. Goncalves, A. Marques, L. Pereira, and R. Martins, *Adv. Mater.*, **17**, 590 (2005).
- [9] H. Hosono, *J. Non-Cryst. Solids*, **352**, 851 (2006).
- [10] S. Lee, B. Bierig, and D. Paine, *Thin Solid Films*, **520**, 3764 (2012).
- [11] J. Park, H. Lee, and S. Im, *ACS Appl. Mater. Interfaces*, **5**, 6990 (2013).
- [12] Y. Song, R. Xu, J. He, S. Siontas, A. Zaslavsky, and D. Paine, *IEEE Electron Dev. Lett.*, **35**, 1251 (2014).
- [13] H. Kim, J. Park, H. Jeong, K. Son, T. Kim, J. Seon, E. Lee, J. Chung, D. Kim, M. Ryu, and S. Lee, *ACS Appl. Mater. Interfaces*, **4**, 5416 (2012).
- [14] S. Lee, H. Park, and D. Paine, *Thin Solid Films*, **520**, 3769 (2012).
- [15] S. Tomai, M. Nishimura, M. Itose, M. Matuura, M. Kasami, S. Matuura, H. Kawashima, F. Utsuno, and K. Yano, *Jpn. J. Appl. Phys.*, **51**, 03CB01 (2012).
- [16] K. Jang, J. Raja, Y. Lee, D. Kim, and J. Yi, *IEEE Electron Dev. Lett.*, **34**, 1151 (2013).
- [17] C. Fuh, P. Liu, W. Huang, and S. Sze, *IEEE Electron Dev. Lett.*, **33**, 1103 (2014).
- [18] J. Jia, Y. Torigoshi, E. Kawashima, F. Utsuno, K. Yano,

- and Y. Shigesato, *Appl. Phys. Lett.*, **106**, 023502 (2015).
- [19] H. Tan, G. Liu, A. Liu, B. Shin, and F. Shan, *Ceram. Int.* (In press).
- [20] S. Parthiban, S. Kim, and J. Kwon, *IEEE Electron Dev. Lett.*, **35**, 1028 (2014).
- [21] S. Yang, D. Cho, M. Ryu, S. Park, C. Hwang, J. Jang, and J. Jeong, *IEEE Electron Dev. Lett.*, **31**, 144 (2010).
- [22] Y. Chen, X. Cai, Z. Ye, X. Wang, B. Zhang, and H. Wu, *J. Electron. Mater.*, **42**, 2459 (2013).
- [23] Y. Chen, X. Wang, X. Cai, Z. Yuan, X. Zhu, D. Qiu, and H. Wu, *Chin. Phys. B*, **23**, 026101 (2014).
- [24] J. Cai, D. Han, Y. Geng, W. Wang, L. Wang, S. Zhang, and Y. Wang, *IEEE Trans. Electron Dev.*, **60**, 2431 (2013).
- [25] Z. Ye and M. Wong, *IEEE Electron Dev. Lett.*, **33**, 549 (2012).
- [26] D. Cho, S. Park, S. Yang, C. Byun, M. Ryu, J. Lee, C. Hwang, S. Yoon, H. Chu, and K. Cho, *IEICE Trans. Electron.*, **E92-C**, 1340 (2009).
- [27] L. Zhang, H. Zhang, Y. Bai, J. Ma, J. Cao, X. Jiang, and Z. Zhang, *Solid State Commun.*, **146**, 387 (2008).
- [28] L. Zhang, J. Li, X. Zhang, D. Yu, H. Lin, K. Haq, X. Jiang, and Z. Zhang, *Superlattice. Microst.*, **48**, 198 (2010).
- [29] K. Remashan, D. Hwang, S. Park, and J. Jang, *IEEE Trans. Electron Dev.*, **55**, 2736 (2008).
- [30] M. Surabi, J. Chandradass, and S. Park, *Mater. Manuf. Process.*, **30**, 175 (2015).
- [31] L. Lu, J. Li, and M. Wong, *IEEE Electron Dev. Lett.*, **35**, 841 (2014).
- [32] C. Brox-Nilsen, J. Jin, Y. Luo, P. Bao, and A. Song, *IEEE Trans. Electron Dev.*, **60**, 3424 (2013).
- [33] L. Zhang, J. Li, X. Zhang, D. Yu, X. Jiang, and Z. Zhang, *Phys. Status Solidi A*, **207**, 1815 (2010).
- [34] Dhananjay and S. Krupanidhi, *J. Appl. Phys.*, **101**, 123717 (2007).
- [35] J. Park, C. Kim, S. Kim, I. Song, S. Kim, D. Kang, H. Lim, H. Yin, R. Jung, E. Lee, J. Lee, K. Kwon, and Y. Park, *IEEE Electron Dev. Lett.*, **29**, 879 (2008).
- [36] J. Jeong, H. Chung, Y. Mo, and H. Kim, *J. Electrochem. Soc.*, **155**, H873 (2008).
- [37] A. Sato, M. Shimada, K. Abe, R. Hayashi, H. Kumomi, K. Nomura, T. Kamiya, M. Hirano, and H. Hosono, *Thin Solid Films*, **518**, 1309 (2009).
- [38] K. Takechi, M. Nakata, T. Eguchi, H. Yamaguchi, and S. Kaneko, *Jpn. J. Appl. Phys.*, **48**, 010203 (2009).
- [39] L. Lan and J. Peng, *IEEE Trans. Electron Dev.*, **58**, 1452 (2011).
- [40] S. Yang, J. Bak, S. Yoon, M. Ryu, H. Oh, C. Hwang, G. Kim, S. Park, and J. Jang, *IEEE Electron Dev. Lett.*, **32**, 1692 (2011).
- [41] C. Chiu, S. Chang, and S. Chang, *IEEE Electron Dev. Lett.*, **31**, 1245 (2010).
- [42] H. Hsu, C. Chang, C. Cheng, P. Chen, Y. Chiu, P. Chiou, and C. Cheng, *J. Display Technol.*, **10**, 875 (2014).
- [43] J. Lee, S. Chang, S. Koo, and S. Lee, *IEEE Electron Dev. Lett.*, **31**, 225 (2010).
- [44] L. Qian, X. Liu, C. Han, and P. Lai, *IEEE Trans. Dev. Mater. Reliab.*, **14**, 1056 (2014).
- [45] N. Su, S. Wang, and A. Chin, *IEEE Electron Dev. Lett.*, **30**, 1317 (2009).
- [46] L. Qian and P. Lai, *IEEE Trans. Dev. Mater. Reliab.*, **14**, 177 (2014).
- [47] T. Pan, C. Chen, F. Chen, Y. Huang, and J. Her, *J. Display Technol.*, **11**, 248 (2015).
- [48] T. Pan, C. Chen, and J. Liu, *RCS Advances*, **4**, 29300 (2014).
- [49] T. Pan, C. Chen, J. Liu, J. Her, and K. Koyama, *IEEE Electron Dev. Lett.*, **35**, 66 (2014).
- [50] T. Pan, C. Chen, J. Her, and K. Koyama, *J. Appl. Phys.*, **116**, 194510 (2014).
- [51] T. Pan, C. Chen, J. Liu, F. Chen, J. Her, and K. Koyama, *IEEE Trans. Electron Dev.*, **61**, 87 (2014).
- [52] G. Geng, G. Liu, F. Shan, A. Liu, Q. Zhang, W. Lee, B. Shin, and H. Wu, *Curr. Appl. Phys.*, **14**, 52 (2014).
- [53] H. Hsu, C. Chang, and C. Cheng, *IEEE Electron Dev. Lett.*, **34**, 768 (2013).
- [54] S. Jeon, S. Kim, S. Park, I. Song, J. Park, S. Kim, and C. Kim, *IEEE Electron Dev. Lett.*, **31**, 1128 (2010).
- [55] J. Park and H. Lee, *IEEE Electron Dev. Lett.*, **33**, 818 (2012).
- [56] M. Kim and D. Choi, *Microelectron. Reliab.*, **52**, 1346 (2012).
- [57] Y. Tian, D. Han, S. Zhang, F. Huang, D. Shan, Y. Cong, J. Cai, L. Wang, S. Zhang, X. Zhang, and Y. Wang, *Jpn. J. Appl. Phys.*, **53**, 04EF07 (2014).
- [58] Z. Chen, D. Han, N. Zhao, J. Wu, Y. Cong, J. Dong, F. Zhao, S. Zhang, X. Zhang, Y. Wang, and L. Liu, *Jpn. J. Appl. Phys.*, **54**, 04DF03 (2015).
- [59] G. Liu, A. Liu, F. Shan, Y. Meng, B. Shin, E. Fortunato, and R. Martins, *Appl. Phys. Lett.*, **105**, 113509 (2014).
- [60] M. Mativenga, S. An, and J. Jang, *IEEE Electron Dev. Lett.*, **34**, 1533 (2013).
- [61] X. Li, D. Geng, M. Mativenga, Y. Chen, and J. Jang, *IEEE Electron Dev. Lett.*, **35**, 1242 (2014).
- [62] Y. Chen, D. Geng, M. Mativenga, H. Nam, and J. Jang, *IEEE Electron Dev. Lett.*, **36**, 153 (2015).
- [63] B. Ahn, H. Shin, H. Kim, J. Park, and J. Jeong, *Appl. Phys. Lett.*, **93**, 203506 (2008).

- [64] W. Kim, J. Bang, H. Uhm, S. Lee, and J. Park, *Thin Solid Films*, **519**, 1573 (2010).
- [65] R. Navamathavan, R. Nirmala, and C. Lee, *Vacuum*, **85**, 904 (2011).
- [66] J. Kang, E. Cho, C. Kim, M. Lee, S. Lee, J. Myoung, and I. Yun, *Appl. Phys. Lett.*, **102**, 222103 (2013).
- [67] J. Park, *J. Electroceram.*, **25**, 145 (2010).
- [68] P. Barquinha, A. Vila, G. Goncalves, L. Pereira, and R. Martins, *IEEE Trans. Electron Dev.*, **55**, 954 (2008).
- [69] H. Hsu, C. Chang, C. Cheng, S. Chiou, and C. Huang, *IEEE Electron Dev. Lett.*, **35**, 87 (2014).
- [70] H. Liu, Y. Lai, C. Lai, B. Wu, H. Zan, P. Yu, Y. Chueh, and C. Tsai, *ACS Appl. Mater. Interfaces*, **7**, 232 (2015).
- [71] M. Kim, J. Jeong, H. Lee, T. Ahn, H. Shin, J. Park, J. Jeong, Y. Mo, and H. Kim, *Appl. Phys. Lett.*, **90**, 212114 (2007).
- [72] D. Geng, D. Kang, and J. Jang, *IEEE Electron Dev. Lett.*, **32**, 758 (2011).
- [73] S. Park, J. Kim, M. Ryu, J. Pi, C. Hwang, and S. Yoon, *Jpn. J. Appl. Phys.*, **52**, 100209 (2013).
- [74] J. Park, S. Ahn, and H. Lee, *ACS Appl. Mater. Interfaces*, **5**, 12262 (2013).
- [75] G. Huang, L. Duan, G. Dong, D. Zhang, and Y. Qiu, *ACS Appl. Mater. Interfaces*, **6**, 20786 (2014).
- [76] C. Avis, H. Hwang, and J. Jang, *ACS Appl. Mater. Interfaces*, **6**, 10941 (2014).
- [77] K. Kim, S. Park, K. Lim, C. Shin, J. Myoung and Y. Kim, *J. Mater. Chem.*, **22**, 23120 (2012).
- [78] Y. Kim, C. Avis, and J. Jang, *ECS Solid State Lett.*, **1**, Q23 (2012).
- [79] Y. Lee and W. Choi, *ACS Appl. Mater. Interfaces*, **6**, 11167 (2014).
- [80] Y. Kikuchi, K. Nomura, H. Yanagi, T. Kamiya, M. Hirano, and H. Hosono, *Thin Solid Films*, **518**, 3017 (2010).
- [81] S. Lim, S. Kwon, H. Kim, and J. Park, *Appl. Phys. Lett.*, **91**, 183517 (2007).
- [82] J. Jo, H. Choi, J. Yun, H. Kim, O. Seo, and B. Lee, *Thin Solid Films*, **517**, 6337 (2009).
- [83] L. Liang, Z. Liu, H. Cao, Z. Yu, Y. Shi, A. Chen, H. Zhangd, Y. Fang, and X. Sun, *J. Electrochem. Soc.*, **157**, H598 (2010).