

## 원자층 증착 기술을 이용한 TiO<sub>2</sub> 활성층 기반 TFT 연구

김성진<sup>1,2,a</sup>

<sup>1</sup> 충북대학교 전자정보대학

<sup>2</sup> 충북대학교 컴퓨터 정보통신연구소

### Study on the Thin-film Transistors Based on TiO<sub>2</sub> Active-channel Using Atomic Layer Deposition Technique

Sung-Jin Kim<sup>1,2,a</sup>

<sup>1</sup> College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 361-763, Korea

<sup>2</sup> Research Institute for Computer and Information Communication, Chungbuk National University, Cheongju 361-763, Korea

(Received June 2, 2015; Revised June 24, 2015; Accepted June 24, 2015)

**Abstract:** In this paper, TiO<sub>2</sub> based thin-film transistors (TFTs) were fabricated using by an atomic layer deposition with high aspect ratio and excellent step coverage. TiO<sub>2</sub> semiconducting layer was deposited showing a rutile phase through the rapid thermal annealing process, and exhibited TFT characteristics with a 200 μm channel length of low-leakage currents (none of current flow during off-state), stable threshold voltages (-10 V ~ 0 V), and a much higher on/off current ratio (<10<sup>5</sup>), respectively.

**Keywords:** TiO<sub>2</sub> active-channel thin-film transistors, Atomic layer deposition, Rapid thermal annealing

#### 1. 서 론

최근 비정질 산화물 반도체가 우수한 특성으로 큰 관심을 받고 있다. 기존의 실리콘 반도체에 비해 높은 이동도, 저렴한 가격, 우수한 소자 균일성 등을 가지고 있으며 active matrix organic light emitting diode, liquid crystal display와 같은 대면적화, 고해상도로 발전되는 최신 디스플레이의 구동소자로 응용할 수 있는 장점을 가지고 있기 때문이다 [1-3]. 이러한 산화물 반도체는 ZnO, InGaZnO, InZnO, ZnSnO, TiO<sub>2</sub>,

SrTiO<sub>3</sub> 등 다양한 물질로 제작되고 있으며, 이중에서도 TiO<sub>2</sub>는 넓은 밴드갭, 저렴한 가격, 그리고 외부광원 및 부식과 같은 외부환경을 견딜 수 있는 지속성 및 안정성이 다른 산화물 반도체에 비해 뛰어나기 때문에 각광받고 있다 [4-6].

N-type 반도체 특성을 가지는 TiO<sub>2</sub> thin film transistor (TFT)는 용액공정 (solution-process), 화학기상증착법 (metal-organic chemical vapor deposition), 펄스레이저증착법 (pulsed laser deposition), 스프레이 열분해법 (spray pyrolysis), 스퍼터 (magnetron sputtering)와 같은 다양한 방법으로 제작되어지고 있다 [7-12]. 하지만 널리 알려진 기존의 제작 방법으로는 이동도, 전류 점멸비 등의 낮은 전기적 특성을 가지는 한계점을 보이는 치명적인 단점이 있다. 이를 극복하기 위해 TiO<sub>2</sub> 산화물을 기반으로 한 반도체 소자

a. Corresponding author; [ksj@cnu.ac.kr](mailto:ksj@cnu.ac.kr)

Copyright ©2015 KIEEME. All rights reserved.  
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

의 전기적 특성을 높이기 위해서는 반도체 계면의 막질을 향상시키는 방법이 사용되는데, 이것은 막질을 향상시킴으로써 소자의 성능을 최적화할 수 있기 때문이다 [13-15].

따라서 본 논문에서는 atomic layer deposition (ALD) 기술을 이용하여 높은 종횡비 (aspect ratio)와 뛰어난 단차 피복성 (step coverage)을 가지는 TiO<sub>2</sub> 활성층 기반의 TFT를 제작하였다. 급속 열처리 기술인 RTA (rapid thermal annealing)를 통해 가장 높은 전기적 특성을 낼 수 있는 구조로 상변이 된 rutile TiO<sub>2</sub> 반도체 박막을 성장하였고, 소자의 성능을 최적화한 뒤 전기적인 특성을 평가하였다.

## 2. 실험 방법

비정질 산화물인 TiO<sub>2</sub> 기반의 TFT는 top-contact bottom-gate (TC-BG) 구조로 제작하였다. 기판으로는 heavily doped n-type 실리콘 웨이퍼를 사용하였고, thermal oxidation을 이용하여 100 nm의 두께를 가지는 SiO<sub>2</sub>를 절연막으로 형성하였다. Piranha cleaning을 이용하여 표준 세정을 실시하였으며 산화물 박막 트랜지스터의 active layer를 제작하기 위해 ALD 공정을 사용하였다.

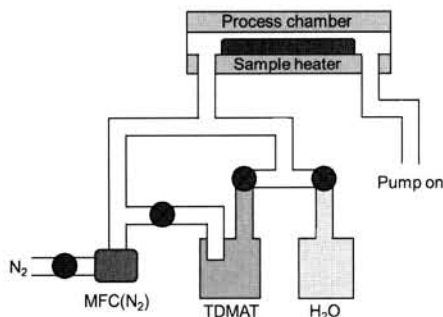


Fig. 1. Schematic illustration of ALD system.

그림 1은 본 실험에 사용된 ALD 시스템의 구조도이다. TiO<sub>2</sub>의 전구체인 tetrakis-dimethyl-amino-titanium (TDMAT)와 oxygen의 전구체인 H<sub>2</sub>O를 반복적으로 증착하여 박막을 성장시키는 원리이다. TiO<sub>2</sub> 증착을 위해 TDMAT 챔버를 60°C로 가열한 후, 유체의 양을 조절하는 mass flow controller를 통해 챔버로 50 sccm의

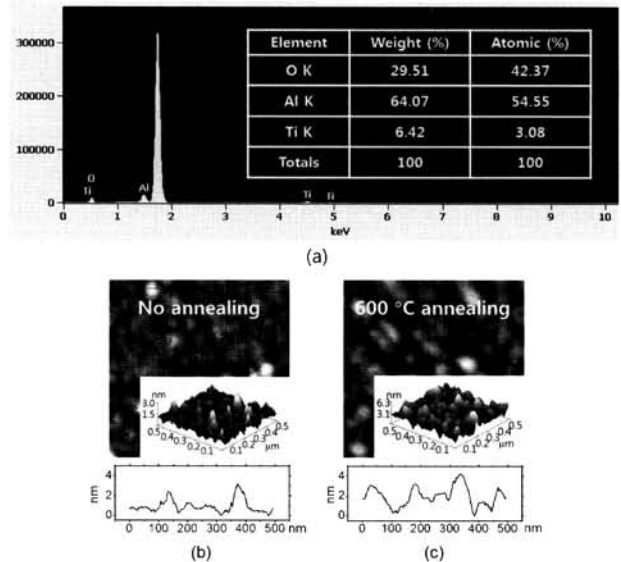


Fig. 2. (a) EDS analysis and (b), (c) AFM topography for TiO<sub>2</sub> film.

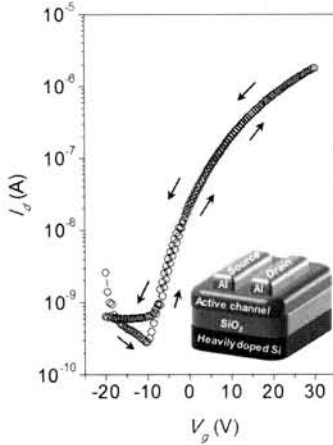
질소가스를 주입하여 TDMAT 증기를 process chamber로 이동시켰다.

TDMAT와 H<sub>2</sub>O의 증기가 주입되는 동안  $2.5 \times 10^{-2}$  torr의 압력과 200°C의 온도에서 공정을 진행하여 20 nm의 TiO<sub>2</sub>를 증착하였다. 이후 절연막으로 생성된 TiO<sub>2</sub> 층을 활성층으로 상변이 시키기 위해 급속 열처리 기술인 RTA를 600°C의 온도에서 5분 동안 진행하여 산소가 결핍된 TiO<sub>2-x</sub> 층을 제작하였다. 최종적으로 metal evaporator를 이용하여 Al을 100 nm의 source, drain 전극으로 진공 증착하였고, 반도체 측정 장비인 Agilent 4156C를 사용하여 소자의 전기적 특성을 공기 중에서 측정하였다.

## 3. 결과 및 고찰

그림 2(a)는 ALD로 증착된 TiO<sub>2</sub> 박막을 EDS (energy-dispersive X-ray spectroscopy)을 통해 정량, 정성 분석한 결과를 보여준다. EDS 분석 스펙트럼을 통해 TiO<sub>2</sub>의 박막은 TDMAT 전구체를 이용한 ALD 공정 조건에 따른 결과값임을 확인할 수 있었다.

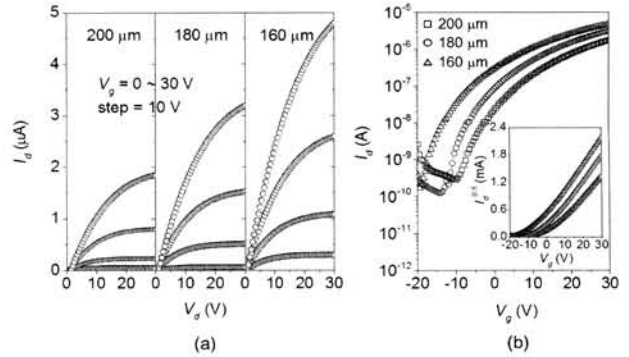
특히 가속된 X-ray를 통해 Ti, O의 peak이 검출되었고, 각각 6.42 wt.%, 29.51 wt.% 무게 비율을 차지하였다. 또한 Al peak가 검출되었는데, 이것은 TiO<sub>2</sub>



**Fig. 3.** Hysteresis of the TiO<sub>2</sub> active-channel TFTs under dual sweep of -20 to 30 V on the channel length of 200 μm (Inset: Structure of the TiO<sub>2</sub> active-channel TFTs).

박막의 상부 top metal의 성분이 Al 이기 때문에 함께 측정됨을 확인할 수 있었다. 그림 2(b)와 (c)는 ALD 공정후 TiO<sub>2</sub>의 박막을 rutile 형태로 상변화 시키기 위한 RTA 공정 전후의 표면 사진을 atomic force microscope (AFM) 으로 측정하였다. RTA 공정이 진행된 후의 TiO<sub>2</sub> 박막은 표면 굴곡이 심해졌고 100 nm 이하의 뚜렷한 grain들이 생기는 것을 확인하였다. 제작한 rutile 기반의 TiO<sub>2</sub> 산화물 박막 트랜지스터의 소자 성능을 확인하기 위하여 전기적 특성을 측정하였다.

그림 3은 ALD 기반의 TiO<sub>2</sub> 산화물 박막 트랜지스터의 전기적 특성을 보여주고 있으며 transfer curve 로 소자의 이력현상 또한 포함하고 있다. -20 V에서 30 V의 gate 전압을 왕복으로 걸어주었을 때 발생하는 이력현상을 관찰하였다. -7 V ~ 30 V 구간에서 이력현상이 발생하지 않아 정방향과 역방향으로 측정 한 그래프가 중복되어 하나처럼 보임을 확인할 수 있다. 그러나 off state를 유지하는 -18 V ~ -7 V 구간에서는 소자의 미세한 이력현상이 나타나며  $4.5 \times 10^{-9}$  A 이하의 작은 전류 이력현상을 보이고 있다. 이것은 산화물 반도체 내부에서는 전자 보다 정공이 쉽게 트랩이 일어난다고 보고되어 있는데 [16,17], 음전압이 걸렸을 경우 순간적으로 정공이 계면에 트랩되어 있어 양전압에 걸렸을 경우 축적된 전하의 이력현상의 통로 역할로 인해 관측됨을 알 수 있다. 일반적인 TiO<sub>2</sub> 기반의 트랜지스터 소자는 이력현상이 크게 나타나지만 본 연구에서의 ALD와 RTA 기법으로 트랩 위치를



**Fig. 4.** (a) Output and (b) transfer characteristics of the TiO<sub>2</sub> active-channel TFTs with various channel lengths (200, 180, and 160 μm).

막고 oxygen vacancy를 유도하여 이력현상의 개선을 예측하였다. Transfer curve에서의 왕복 측정을 통해 이력현상이 거의 발생하지 않음을 확인함으로써 소자의 안정성을 확인할 수 있었다. 그림 3에 포함된 삽화는 본 연구에 사용된 TC-BG 소자 구조를 보여주고 있다.

그림 4는 TiO<sub>2</sub> 산화물 박막 트랜지스터의 다양한 채널 길이에 따른 소자의 전기적 특성을 측정한 그래프이다. 그림 4(a)는 TiO<sub>2</sub> TFT의 채널 길이에 따른 output curve를 측정한 그래프다. 채널 길이가 가장 작은 160, 180 μm일 때의 output curve를 보면 drain current의 값이 다른 채널을 가진 소자에 비해 크지만 saturation이 되지 않으며, gate voltage의 값이 0 V에서도 drain current가 흐르는 상태임을 확인할 수 있다. 이는 채널 크기가 작아짐에 따라 불필요한 누설 전류 (leakage current)가 발생하는 문제임을 확인할 수 있다 [18].

반면 채널의 크기가 200 μm인 소자는 drain current의 값이 작지만 안정적으로 saturation이 되며, gate voltage의 값이 0 V에서도 drain current가 흐르지 않아 누설전류가 거의 없음을 확인할 수 있다. 그림 4(b)는 TiO<sub>2</sub> TFT의 채널 길이에 따른 transfer curve를 측정한 그래프다. 채널의 길이가 160, 180 μm인 소자는 off 상태에서 작은 값을 가지지만 문턱전압이 음의 방향으로 이동되어 -15 V 이하의 값을 가지고 있으며, 이는 불필요한 구간에서도 소자가 구동될 수 있는 문제를 가지고 있는 상태이다. 반면, 채널의 길이가 200 μm인 소자는 다른 채널에 비해 작은 전류 점멸비 값을 가지고 있지만 문턱전압이 -10 V 이상임을 확인할 수 있다.

그림 4에서의 다양한 채널 길이에 따른 소자의 output, transfer curve에서의 전기적 특성을 분석함으로써 TiO<sub>2</sub> 산화물 박막 트랜지스터가 안정적으로 구동할 수 있는 채널의 길이를 찾을 수 있었다.

#### 4. 결 론

본 연구에서는 ALD 기술을 이용하여 TiO<sub>2</sub> 산화물 반도체를 제작하였다. 20 nm의 두께를 가지는 절연체인 TiO<sub>2</sub>를 RTA 공정을 통해 효과적으로 활성 층으로 상변이 시킨 TiO<sub>2-x</sub> 산화물 반도체를 증착하였다. TC-BG 구조의 안정적인 전계 효과 트랜지스터로 제작하여, ALD로 증착된 TiO<sub>2</sub> 박막은 높은 종횡비와 100% 단차 피복성을 만족하며 안정적인 active channel로서의 역할을 수행함을 입증하였다. 또한 다양한 채널 길이에 따른 소자의 전기적 특성을 측정하였으며 효과적으로 작동함을 확인할 수 있었다. 특히 채널의 길이가 200 μm의 경우에 누설전류 (off 상태에서의 전류흐름이 없음) 및 문턱 전압 (-10 V ~ 0 V) 특성, 전류 점멸비 (<10<sup>5</sup>) 등이 우수하여 향후, 대면적 디스플레이의 고성능 backplane의 스위칭 전자 소자의 핵심 기술로 응용될 수 있다고 판단한다.

#### 감사의 글

이 논문은 2014년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음 (This work was supported by the research grant of the Chungbuk National University in 2014).

#### REFERENCES

- [1] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science*, **300**, 1269 (2003).  
[DOI: <http://dx.doi.org/10.1126/science.1083212>]
- [2] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).  
[DOI: <http://dx.doi.org/10.1038/nature03090>]
- [3] C. G. Van de Walle, *Phys. Rev. Lett.*, **85**, 1012 (2000).  
[DOI: <http://dx.doi.org/10.1103/PhysRevLett.85.1012>]
- [4] J. H. Na, M. Kitamura, and Y. Arakawa, *Appl. Phys. Lett.*, **93**, 063501 (2008).  
[DOI: <http://dx.doi.org/10.1063/1.2969780>]
- [5] W. B. Jackson, R. L. Hoffman, and G. S. Herman, *Appl. Phys. Lett.*, **87**, 193503 (2005).  
[DOI: <http://dx.doi.org/10.1063/1.2120895>]
- [6] B. S. Ong, C. Li, Y. Li, Y. Wu, and R. Loutfy, *J. Am. Chem. Soc.*, **129**, 2750 (2007).  
[DOI: <http://dx.doi.org/10.1021/ja068876e>]
- [7] Y. S. Rim, H. S. Lim, and H. J. Kim, *Appl. Mater. Interfaces*, **5**, 3565 (2013).  
[DOI: <http://dx.doi.org/10.1021/am302722h>]
- [8] M. Katayama, S. Ikesaka, J. Kuwano, Y. Yamamoto, H. Koinuma, and Y. Matsumoto, *Appl. Phys.*, **89**, 242103 (2006).
- [9] C. G. Choi, S. J. Seo, and B. S. Bae, *Electrochem. Solid-State Lett.*, **11**, H7 (2008).  
[DOI: <http://dx.doi.org/10.1149/1.2800562>]
- [10] P. C. Yao, J. L. Chiang, and M. C. Lee, *Solid State Sciences*, **28**, 47 (2014).  
[DOI: <http://dx.doi.org/10.1016/j.solidstatesciences.2013.12.011>]
- [11] C. Y. Koo, K.K.K. Song, T. H. Jun, D. J. Kim, Y. M. Jeong, S. H. Kim, J. W. Ha, and J. H. Moon, *Electrochem. Solid-State Lett.*, **157**, J111 (2010).
- [12] P. H. Wöbkenberg, T. Ishwara, J. Nelson, D.D.C. Bradley, S. A. Haque, and T. D. Anthopoulos, *Appl. Phys. Lett.*, **96**, 082116 (2010).  
[DOI: <http://dx.doi.org/10.1063/1.3330944>]
- [13] Q. Xie, Y. L. Jiang, C. Detavernier, D. Deduytsche, and R.L.V. Meirhaeghe, *J. Appl. Phys.*, **102**, 083521 (2007).  
[DOI: <http://dx.doi.org/10.1063/1.2798384>]
- [14] J. Y. Kim, Y. J. Choi, H. H. Park, S. Golledge, and D. C. Johnson, *JVST A*, **28**, 1111 (2010).
- [15] C. F. Zhu, W. K. Fong, B. H. Leung, C. C. Cheng, and S. Charles, *IEEE Electron Device*, **48**, 1225 (2001).  
[DOI: <http://dx.doi.org/10.1109/16.925252>]
- [16] Z. Y. Lu, C. J. Nicklaw, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, *Phys. Rev. Lett.*, **89**, 285505 (2002).  
[DOI: <http://dx.doi.org/10.1103/PhysRevLett.89.285505>]
- [17] H. S. Witham and P. M. Lenahan, *Appl. Phys. Lett.*, **51**, 1007 (1987).  
[DOI: <http://dx.doi.org/10.1063/1.98813>]
- [18] H. Klauk, G. Schmid, W. Radlik, W. Weber, L. Zhou, C. D. Sheraw, J. A. Nichols, and T. N. Jackson, *Solid-State Electron.*, **47**, 297 (2003).  
[DOI: [http://dx.doi.org/10.1016/S0038-1101\(02\)00210-1](http://dx.doi.org/10.1016/S0038-1101(02)00210-1)]