

Aging 효과가 Sol-gel 공정 기반 CuO 박막 트랜지스터의 전기적 특성에 미치는 영향

장재원^a

경북대학교 IT대학 전자공학부

Aging Effects on Electrical Characteristics of Sol-gel Processed CuO Thin Film Transistors

Jaewon Jang^a

School of Electronics Engineering, Kyungpook National University, Daegu 41566, Korea

(Received April 12, 2016; Revised June 28, 2016; Accepted June 29, 2016)

Abstract: In this study, p-type thin film transistors consisting of CuO channels were fabricated by sol-gel process, with copper (II) acetate monohydrate precursors. At 500°C, the deposited films were fully converted into monoclinic phase CuO. The fabricated CuO thin film transistors deliver field effect mobility in saturation regime of 0.015 cm²/Vs, and I_{on}/I_{off} of ~10³. The degradation of the performance of the fabricated CuO thin film transistor caused by the exposure to air has been studied.

Keywords: Sol-gel process, CuO, TFT, Ambient

1. 서 론

최근 산화물 반도체는 상대적으로 큰 밴드갭을 가지고, 우수한 전기적 특성으로, 투명 디스플레이 및 solar cell 등, 다양한 투명 전자소자 및 광소자용으로 연구되어 왔다. 특히 ZnO, In₂O₃나 SnO₂ 등은 대표적인 n-형 반도체 물질로, 이를 이용한 다양한 방법의 고성능 투명 트랜지스터가 제작되기도 하였다 [1-4]. 이러한 n형 기반의 트랜지스터는 고전류, 높은 전계 효과 이동도 및 고 온/오프 전류비 등으로 특히 active matrix display의 핵심 단위 소자로 고려되고 있다. 앞서 언급되어진 산화

물 반도체 물질들은 일반적으로는 진공 증착 장비를 이용하여 제작되었으나, 최근에는 다양한 액상 공정 방법이 도입되어, 저가격으로 대면적 소자 제작도 가능하게 되었다. 반면 p형 산화물, 특히나 액상 공법을 이용한 트랜지스터는 최근에서야 연구가 활발히 진행되고 있다. p형 산화물 기반의 전자소자의 경우, n형 반도체 물질과 함께 제작이 된다면 p/n 접합 소자 및 complementary 회로를 제작할 수 있기 때문에, 최근에 필요성이 대두되고 있다. 다양한 p형 산화물 중에서도 Cu_xO_y는 고이동도 특성과 우수한 광 특성으로 현재까지 연구되고 있는 대표적인 p형 산화물 반도체이다 [5,6]. 대표적으로 CuO, Cu₂O 및 Cu₃O₄가 있으며, 이들은 모두 p형 반도체 특성을 가지고 있다. 이러한 Cu_xO_y 반도체의 제작은 첫째, Cu 박막을 증착시킨 다음 표면을 산화시키는 방법이 있다 [7,8]. 또한 전형적인 진공 증착 방법 및 pulse 레이저 증착 방법을 이용하여 직접 기판에 증착시키는 방법이 있다 [9]. 이러한 증착 방법은 기판의 크기에 제

a. Corresponding author; jljang@knu.ac.kr

한이 있고, 여전히 고비용이 요구된다.

본 연구에서는 Copper (II) acetate monohydrate를 전구체로 한 sol-gel 방법을 이용하여 p-형 CuO 박막 트랜지스터를 제작하였다. 또한 제작된 박막 트랜지스터를 공기 중에 노출시켜 시간에 따른 트랜지스터의 성능 변화를 분석하였다.

2. 실험 방법

본 연구에 사용된 모든 시약은 Sigma-Aldrich 사에서 구입하였으며, 추가적인 공정 없이 구입된 시약을 사용하였다. 0.0015 mol의 copper (II) acetate monohydrate를 10 ml IPA 용액에 0.1 ml의 monoethanolamine와 0.5 ml DI water를 함께 혼합하여 전구체를 준비하였다. 준비된 전구체를 spin-coating 방법으로 기판 위에 박막을 형성시키고, 500°C에서 1시간 동안 열처리를 진행하였다. 형성되어진 필름의 phase 및 crystalline의 크기는 X-ray diffraction (XRD: SIEMENS D5000 X-ray diffractometer, with Cu K α radiation) 측정을 통하여 분석하였다. 열처리된 박막의 표면 분석 및 두께는 atomic force microscopy (AFM: DI AFM Nanoscope Dimension 3100, from Veeco, in tapping mode)을 통하여 진행하였다. CuO 박막 트랜지스터는 SiO₂ 100 nm가 성장되어진 Si 기판 위에 제작되었다. Bottom source/drain 전극으로 50 nm 두께의 Au 전극이 열증착 방법으로 제작되었으며, 제작된 박막 트랜지스터의 채널 길이와 폭은 200 μ m 및 100 μ m이다. Bottom source/drain 전극을 형성시킨 후, 전구체를 형성하기 전 10분의 UV/ozone 공정을 진행하였다. 전구체 형성은 spin-coating 방법으로 제작되었으며, 3,000 rpm에서 30초간 진행하였다. Spin-coating 공정이 끝난 뒤, 필름의 용액을 제거하기 위하여 100°C에서 10분 열처리를 하였으며, 500°C에서 예열되어진 전기로에서 1시간 열처리를 추가적으로 진행하였다. 또한 gate 누설전류 및 fringing 효과를 제거하기 위하여, 형성된 CuO 박막을 기계적으로 패터닝하였다. 제작된 CuO 박막 트랜지스터의 전기적 특성은 Agilent 4155 반도체 특성 분석장비를 통하여 측정하였다.

3. 결과 및 고찰

그림 1(a)는 500°C에서 열처리 된 CuO 박막의 XRD

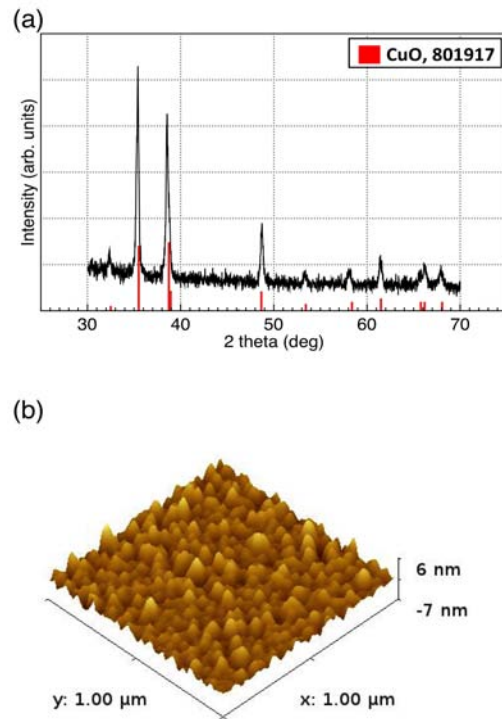


Fig. 1. (a) XRD spectra of sintered CuO films at 500°C for 1 hour in air and (b) an AFM image of sintered CuO films.

결과를 보여준다. 열처리 된 CuO 박막은 JCPDS 801917에 해당하는 Monoclinic CuO 패턴과 일치함을 확인할 수 있었다. Cu 및 Cu₂O 및 Cu₃O₄에 해당하는 XRD peak들은 확인되지 않았다.

Sol-gel 공정의 경우 열처리 공정 시, 온도를 서서히 증가시키는 경우와 미리 예열되어있는 상태에서 온도를 급격하게 증가시키는 경우는, 열처리 후의 필름의 배열이 달라지는 현상이 보고된 바가 있다. ZnO의 경우 예열되어 있는 전기로를 사용하여 열처리를 하는 경우에 ZnO 박막이 일정한 방향으로 정렬되는 배열 효과를 보여주었으며, 박막 트랜지스터를 제작한 경우 박막 트랜지스터의 전계 효과 이동도가 크게 향상됨을 동시에 확인할 수 있었다 [10]. 그러나, copper (II) acetate monohydrate 전구체를 사용한 경우, 온도를 서서히 올리는 경우 [11], 그리고 본 연구에서 진행한, 500°C에서 미리 예열된 전기로를 사용하는 경우에 대해서 XRD 분석을 진행하였으며, XRD 결과를 통해서도 ZnO 경우와 같은 열처리 온도 증가 시간에 따른 박막의 결정 배열 효과를 확인할 수 없었다. CuO 박막의 crystalline 크기는 Scherrer 공식에 의해서 계산하였다 (식 1).

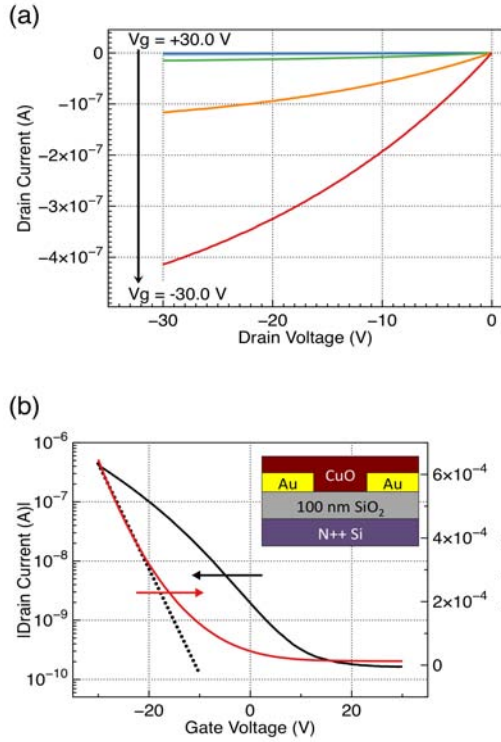


Fig. 2. Representative electrical characteristics of CuO thin film transistors. (a) $I_{DS}-V_{DS}$ curves and (b) $I_{DS}-V_{GS}$ (left axis) and $I_{DS}^{0.5}-V_{GS}$ (right axis) curves.

$$D = \frac{K\lambda}{\beta \cos\theta} \quad (1)$$

여기서 K는 모양 상수, λ 는 X-ray의 파장 길이, θ 는 bragg angle 값이며, β 는 XRD peak의 크기의 절반에 해당하는 angle 값이다. 계산되어진 CuO의 결정 크기는 20 nm이다. 열처리 후 CuO 필름의 두께는 ~ 200 nm였으며, AFM 이미지를 분석한 열처리된 CuO의 grain의 크기는 ~60 nm로 확인되었다. 그림 2(a)는 전형적인 p-채널 특성을 나타내는 CuO 박막 트랜지스터의 드레인-소스 전류-드레인-소스 전압 ($I_{DS}-V_{DS}$) 그래프이고, 그림 2(b)는 드레인-소스 전류-게이트-소스 전압 ($I_{DS}-V_{GS}$) 그래프이다. 제작되어진 소자의 전계 효과 이동도는 아래의 식을 이용하여 계산하였다.

$$I_{DS} = \frac{W\mu_{saturation}C_{OX}}{2L} [(V_{GS} - V_{TH})^2] \quad (2)$$

여기서 W/L은 채널의 폭과 길이의 비율, μ 는 전계

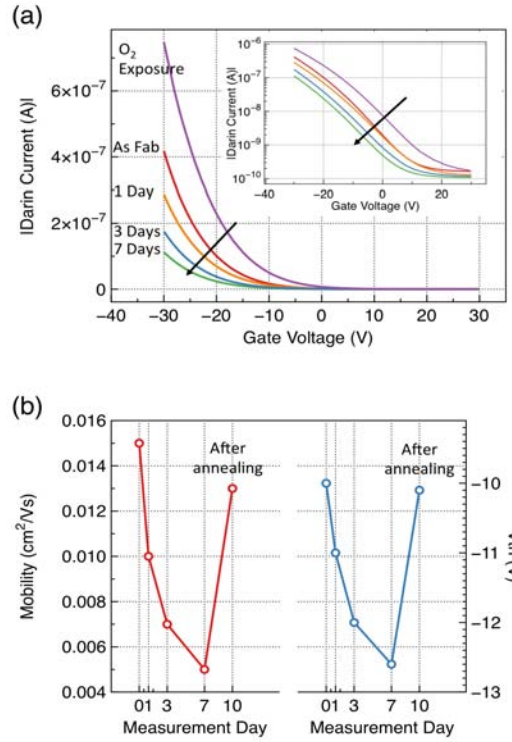


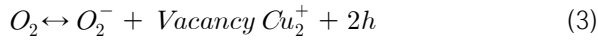
Fig. 3. Representative electrical characteristics of CuO thin film transistors, corresponding to exposed time to air. (a) $I_{DS}-V_{GS}$ in linear scale and log scale, (b) The extracted field effect mobility in saturation regime and threshold voltages of the fabricated CuO thin film transistors.

효과 이동도, C_{OX} 는 단위 면적당 게이트 유전체 커패시턴스, V_{TH} 는 문턱전압 (-10 V)을 나타낸다. 계산된 전계효과 이동도는 $0.015 \text{ cm}^2/\text{Vs}$ 이다.

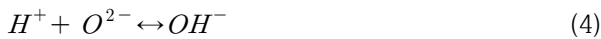
본 연구에서는 CuO 박막을 열처리 하는 과정에서, 500°C에서 예열된 전기로를 이용하여 빠른 시간에 500°C에 도달하게 하여 열처리를 진행하였다. ZnO의 경우처럼, 한 방향으로 배열되는 결과도 확인할 수 없었으며, 이로 인한 전계 효과 이동도의 증가도 확인할 수 없었다.

그림 3은 제작된 CuO 박막트랜지스터를 공기 중에 노출시킨 채로 7일 동안 시간에 따라서, 동일한 소자의 전기적 특성을 측정한 그래프이다. 공기 중에 노출된 시간이 오래될수록 전류가 감소하고 문턱 전압이 음의 방향으로 이동함을 확인할 수 있었다. 7일이 지난 후에 N_2 분위기에서 100°C에서 한 시간 열처리 한 후, 소자를 재측정 해보았다. 열처리 후의 CuO 박막

트랜지스터는 제작 직후와 유사한 전기적 특성을 다시 보여 주었다. 이는 제작된 CuO 박막 트랜지스터가 공기 중에 노출되면서 H₂O 및 O₂에 의한 영향으로 판단이 되며, 특히 O₂의 경우 CuO의 표면에 흡착이 되어 전기적 특성을 변화시키는 것으로 알려져 있다. n-채널의 ZnO 및 SnO₂와 달리 O₂의 경우 CuO의 표면에 흡착하여, 표면에 전자를 제거하여 자유 전공의 농도를 증가시키고, 이로 인하여, CuO 박막 저항값은 낮아지게 된다. 그림 3(a)의 결과처럼, 실제로 제작되었던 박막 트랜지스터를 O₂에 노출시킨 후 측정된 경우, 전류값이 증가하는 것을 확인하였다. 이러한 원리는 아래의 수식으로 설명할 수 있다.



반면에 다시 공기 중에 노출시킨 경우, 공기 중 수분과의 반응으로 아래의 수식에서처럼, 표면의 O₂로부터 OH⁻ 생성하게 된다. 감소되었던 O₂ 농도에 의해, 전자 농도가 증가하게 된다. 따라서 상대적으로, 자유 전공의 농도를 감소시키고, 이로 인하여, CuO 박막의 저항값이 증가하는 것으로 판단된다 [12,13].



특히, 외부 환경으로 부터의 분자에 의한 흡착은 표면/부피 비가 상대적으로 큰 나노 크기의 필름에서 크게 나타난다. 본 연구에서 제작된 nm 사이즈의 grain을 가지는 CuO 필름에서도 민감하게 반응할 것으로 판단된다. 제작된 CuO 박막 트랜지스터의 문턱 전압은 CuO 박막이 공기 중에 노출되는 시간이 증가함에 따라서 문턱전압이 음의 방향으로 이동함을 확인할 수 있었다. 박막 트랜지스터의 문턱 전압은 아래의 두 수식으로 설명할 수 있다 (식 5, 6).

$$V_{th} = \Phi_{ms} - \frac{Q_i}{C_i} - \frac{Q_d}{C_i} + 2\Phi_F \quad (5)$$

$$\Phi_F = \frac{E_i - E_F}{q} \quad (6)$$

여기서 Φ_{ms} 는 전극과 반도체 일함수와 에너지 차이이며, C_i 는 단위 면적당 게이트 유전체 커패시턴스, Q_i

는 박막트랜지스터의 반도체와 절연체 계면의 단위 면적당 전하량, Q_d 는 공핍 영역에서의 단위 면적당 전하량, E_i 는 진성 페르미 준위, E_F 는 페르미 준위를 나타낸다. CuO가 공기 중에 노출된 경우 흡착된 O₂와 수분의 추가적인 반응에 의해서 증가되었던 전자들이 박막 트랜지스터 구동 시 반도체와 절연층 사이의 계면에서의 단위 면적당 자유 전공 전하량을 감소시키게 되고, 이로 인하여 문턱 전압이 음의 방향으로 이동하게 된다. 100°C, N₂ 분위기에서 열처리를 하는 경우 자유 전공 전하량의 농도가 증가하여 저항값을 다시 낮추게 된다. 동시에, 자유 전공 전하량의 증가로 인하여 문턱 전압이 양의 방향으로 이동하는 것을 확인하였다.

4. 결론

본 연구에서는 copper (II) acetate monohydrate를 전구체로 이를 고온에서 열처리를 하여 CuO 박막을 형성시켰다. 또한 Au 전극을 S/D 전극으로 사용하여 박막 트랜지스터를 제작하고, 특성을 평가하였다. 제작된 p형 CuO 박막 트랜지스터는 0.015 cm²/Vs의 전계효과 이동도를 보여주었다. 제작 후 CuO 박막이 공기 중에 노출됨에 따라서 채널의 저항값이 증가하고 문턱전압이 음의 방향으로 이동함을 확인할 수 있었다. 이는 초기에 공기 중에서 흡착되었던 O₂가 수분에 의해서 추가적인 반응을 일으켜, 자유 전공 전하량의 감소에 의한 것으로 판단된다. 또한, 감소한 소자의 특성은 N₂ 분위기에서 열처리를 통하여 제작 직후의 특성을 다시 보여주었다.

REFERENCES

- [1] S. H. Park, K. A. Cho, H. G. Oh, and S. S. Kim *J. Korean Inst. Electr. Electron. Mater. Eng.*, **29**, 120 (2016). [DOI: <http://dx.doi.org/10.4313/JKEM.2016.29.2.120>]
- [2] G. Adamopoulos, S. Thomas, P. H. Wöbkenberg, D. D. C. Bradley, M. A. McLachlan, and T. D. Anthopoulos, *Adv. Mater.*, **23**, 1894 (2011). [DOI: <http://dx.doi.org/10.1002/adma.201003935>]
- [3] J. Jang, R. Kitsomboonloha, S. L. Swisher, E. S. Park, H. Kang, and V. Subramanian, *Adv. Mater.*, **25**, 1042 (2013). [DOI: <http://dx.doi.org/10.1002/adma.201202997>]
- [4] J. Jang, H. Kang, H.C.N. Chakravarthula, and V.

- Subramanian, *Advanced Electronics Materials*, **1** (2015).
[DOI: <http://dx.doi.org/10.1002/aelm.201500086>]
- [5] E. Fortin and F. L. Weichman, *Can. J. Phys.*, **44**, 1551 (1966). [DOI: <http://dx.doi.org/10.1139/p66-128>]
- [6] B. Balamurugan and B. R. Mehta, *Thin Solid Films*, **396**, 90 (2001). [DOI: [http://dx.doi.org/10.1016/S0040-6090\(01\)01216-0](http://dx.doi.org/10.1016/S0040-6090(01)01216-0)]
- [7] J. H. Park and K. Natesan, *Oxid. Met.*, **39**, 411 (1993).
[DOI: <http://dx.doi.org/10.1007/BF00664664>]
- [8] Z. Zang, A. Nakamura, and J. Temmyo, *Mater. Lett.*, **92**, 188 (2013). [DOI: <http://dx.doi.org/10.1016/j.matlet.2012.10.083>]
- [9] K. Matsuzaki, K. Nomura, H. Yanagi, T. Kamiya, M. Hirano, and H. Hosono, *Phys. Status Solidi A*, **206**, 2192 (2009). [DOI: <http://dx.doi.org/10.1002/pssa.200881795>]
- [10] B. S. Ong, C. Li, Y. Li, Y. Wu, and R. J. Loutfy, *J. Am. Chem. Soc.*, **129**, 2750 (2008).
[DOI: <http://dx.doi.org/10.1021/ja068876e>]
- [11] J. Jang, S. Chung, H. Kang, and V. Subramanian, *Thin Solid Films*, **600**, 157 (2016).
[DOI: <http://dx.doi.org/10.1016/j.tsf.2016.01.036>]
- [12] C. Wang, X. Q. Fu, X. Y. Xue, Y. G. Wang, and T. H. Wang, *Nanotechnology*, **17**, 145506 (2007).
[DOI: <http://dx.doi.org/10.1088/0957-4484/18/14/145506>]
- [13] H. T. Hsueh, T. H. Hsueh, S. J. Chang, F. Y. Hung, T. Y. Tasi, W. Y. Weng, C. L. Hsu, and B. T. Dai, *Sens. Actuators B*, **156**, 906 (2011).
[DOI: <http://dx.doi.org/10.1016/j.snb.2011.03.004>]