

용액 공정을 이용한 IZO 트랜지스터의 전기적 성능에 대한 박막 두께의 영향

김한상, 경동구, 김성진^a

충북대학교 전자정보대학

Effect of Thin-Film Thickness on Electrical Performance of Indium-Zinc-Oxide Transistors Fabricated by Solution Process

Han-Sang Kim, Dong-Gu Kyung, and Sung-Jin Kim^a

College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received May 25, 2017; Revised July 6, 2017; Accepted July 8, 2017)

Abstract: We investigated the effect of different thin-film thicknesses (25, 30, and 40 nm) on the electrical performance of solution-processed indium-zinc-oxide (IZO) thin-film transistors (TFTs). The structural properties of the IZO thin films were investigated by atomic force microscopy (AFM). AFM images revealed that the IZO thin films with thicknesses of 25 and 40 nm exhibit an uneven distribution of grains, which deforms the thin film and degrades the performance of the IZO TFT. Further, the IZO thin film with a thickness of 30 nm exhibits a homogeneous and smooth surface with a low RMS roughness of 1.88 nm. The IZO TFTs with the 30-nm-thick IZO film exhibit excellent results, with a field-effect mobility of $3.0(\pm 0.2)$ cm^2/Vs , high Ion/Ioff ratio of 1.1×10^7 , threshold voltage of $0.4(\pm 0.1)$ V, and subthreshold swing of $0.7(\pm 0.01)$ V/dec. The optimization of oxide semiconductor thickness through analysis of the surface morphologies can thus contribute to the development of oxide TFT manufacturing technology.

Keywords: IZO thin-film transistors, Solution-processed, Sol-gel, Electrical properties

1. 서론

최근 LCD, PDP, OLED와 같은 평판 디스플레이가 발전하면서 산화물 박막 트랜지스터는 가시광선이 투과되어 투명하고, 기존의 비정질 실리콘 반도체에 비해 우수한 전기적 특성을 가지며 낮은 온도에서 제작이 가능하다는 장점으로 디스플레이 분야에서 활발히 연구되고 있으며 차세대 디스플레이 구현에 사용이 가능하다 [1,2].

산화물 반도체 중에서도 IZO (indium zinc oxide), SIZO (silicon zinc oxide), ZTO (zinc tin oxide), IGZO (indium gallium zinc oxide)와 같은 많은 금속 산화물 반도체가 TFT의 flexible 기판에서 투명한 성능을 갖는 active channel의 물질로서 주목 받고 있다 [3-7].

산화물 박막을 형성하는 방법에는 진공 공정법과 용액 공정법이 존재하는데, 진공 공정법에는 원자층 증착법(atomic layer deposition, ALD), 펄스레이저 증착법(pulsed laser deposition, PLD), 플라즈마 강화 화학증기증착법(plasma enhanced chemical vapor deposition, PECVD), 스퍼터링(sputtering) 등이 존재하며, 용액 공정법에는 스프인코팅(spin-coating), 딥 코

a. Corresponding author; ksj@chungbuk.ac.kr

팅(dip-coating), 잉크 제트식 인쇄(ink-jet printing) 등이 존재한다 [8-11].

용액 공정은 가격이 저렴하고 공정이 간단하여 짧은 시간 내에 높은 성능의 소자를 제작할 수 있으며 또한 비정질 구조임에도 불구하고 빠른 mobility와 높은 전류 on/off ratio를 가지는 장점을 가진다 [12-14]. 이러한 용액 공정을 거친 IZO TFT는 낮은 가격, 높은 이동도, 외부 환경에 대한 높은 안정성, 그리고 저온 공정에 대해 용이한 장점을 가지며 산업적으로 많은 분야에 응용이 되고 있다.

IZO TFT의 성능은 어닐링 온도와 스핀코팅 속도, 그리고 이로 인해 제작된 소자의 박막 두께 등 다양한 요인에 의해서 영향을 받는데, 본 논문에서는 IZO TFT의 성능에 영향을 주는 요인 중 박막 두께를 달리 하여 IZO 박막을 제조한 후 용액 공정을 거친 IZO TFT의 전기적인 특성에 대해서 분석하였다.

2. 실험 방법

본 연구에서는 용액 공정 기반의 IZO 산화물 활성층을 제작하기 위해 시약으로 0.1 M의 $\text{In}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}$ 와 0.1 M의 $\text{Zn}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}$ 를 용질로 준비하였다. $\text{In}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}$ 를 준비하기 위해 2.5 ml의 2-methoxyethanol을 용매로, 50 μl 의 acetylacetone을 각 용액에 안정제로서 첨가한 후에, 22.5 μl 의 NH_3 을 촉매로 시약병에 담아 93 mg의 indium powder에 혼합하였다. 추가로 $\text{Zn}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}$ 를 준비하기 위해 1.5 ml의 2-methoxyethanol과 30 μl 의 acetylacetone을 다른 시약병에 33 mg의 zinc powder에 혼합하였다. 두 용액이 준비된 후 60°C에서 700 rpm으로 1시간 동안 stirring을 실시하였다. 그 후에 $\text{In}(\text{NO}_3)_3 \cdot x\text{H}_2\text{O}$ 를 2.1 ml, $\text{Zn}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}$ 를 0.9 ml로 7:3의 비율로 준비하였고 IZO 용액을 만들기 위해 27°C에서 500 rpm으로 2시간 동안 stirring을 실시하였다.

그림 1은 이번 연구에서 제작한 IZO 산화물 박막 트랜지스터의 간략한 구조를 나타낸다. Top-contact bottom-gate 구조로 제작하였으며, 기판의 역할과 함께 게이트(gate) 전극으로 사용하기 위해 과도핑된 n^{++} 실리콘(Si) 기판을 사용하였다. 절연막을 형성하기 위해 실리콘을 가열로(furnace)에서 열산화(thermal oxidation)를 진행하여 두께 100 nm의 SiO_2 를 제작하였고 이후 wafer 세정을 위해 표준 세정과 피라냐 세정(piranha cleaning)을 실시하였다. 그 후에 IZO 용액을

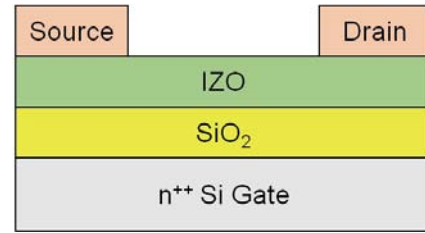


Fig. 1. Schematic representation of the IZO-TFT structure.

기판에 떨어뜨려 30초 동안 각각의 다른 RPM 속도로 스핀코팅(spin coating)을 실시하여 25 nm, 30 nm, 40 nm의 IZO 박막을 형성하였다. 박막의 두께는 브루커사의 DektakXT surface profiler를 통해 각각 측정하였다. 이후에 120°C에서 20분 동안 soft bake를 실시하여 용액을 증발시키고, 400°C에서 2시간 동안 hard bake를 실시하였다. 또한 금속 증착기(metal evaporator)를 이용해 100 nm의 Al을 source, drain으로 진공 증착하였다. 그 후에 전기적인 특성을 분석하기 위해 실온의 암실에서 Agilent 1500 B를 이용해 반도체 파라미터를 추출하였고, 브루커사의 ICON atomic force microscope (AFM)을 이용하여 표면의 morphology 상태를 확인하였다.

3. 결과 및 고찰

그림 2는 박막 두께에 따른 변화를 관찰하기 위해서 IZO oxide transistor의 $2 \times 2 \mu\text{m}$ 표면을 AFM 장비를 이용해 관찰한 결과를 보여주고 있다. 특히 제곱평균제곱근(root-mean-square, RMS)을 이용해 박막의 표면 거칠기를 구하여 본 연구에서 제작한 소자의 표면 결과에서 확인할 수 있듯이 박막 두께가 낮은 경우

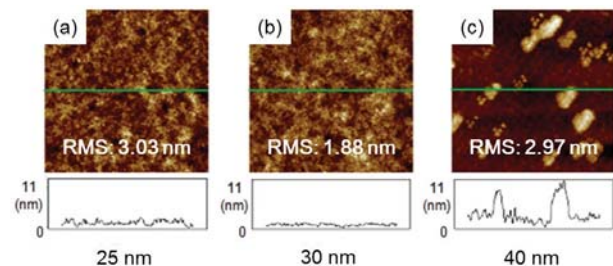


Fig. 2. AFM image of a IZO thin film with (a) 25 nm, (b) 30 nm, and (c) 40 nm thickness.

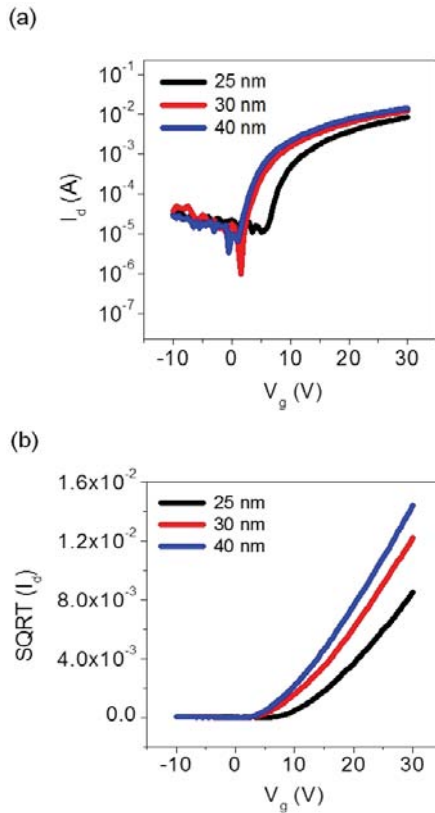


Fig. 3. (a) Transfer characteristics of the IZO TFTs and (b) VTH characteristics of the IZO-TFTs.

IZO 산화물 박막은 매끄럽고 단조로운 표면을 가지는 것을 확인할 수 있다.

그림 2(a)는 박막 두께가 25 nm인 경우 표면의 상태를 측정된 것이며, 박막의 표면이 단조로우나 낮은 전기적 특성을 가지는 것을 확인하였다. 그림 2(b)는 박막 두께가 30 nm일 때의 표면의 상태를 측정된 것이며, 표면이 매끄러우며 RMS를 이용한 표면 거칠기도 1.88 nm로 가장 좋은 특성을 가지는 것을 확인하였다. 박막 두께가 두꺼우면 표면이 거칠고 전자의 이동을 방해하는 interface trap charge 현상으로 전하이동도를 감소시켜 소자의 전기적 특성이 떨어진다. 그림 2(c)는 박막 두께가 40 nm인 경우 표면의 상태를 측정된 것이며, 결정의 크기가 매우 크게 나오는 것을 확인하였다. 최종적으로 박막 두께가 30 nm인 경우에 결정이 박막 전체에 고루 분포하고 뛰어난 특성을 가지는 것을 확인하였다.

그림 3(a)는 25 nm, 30 nm, 40 nm의 박막 두께에 따라서 drain-to-source voltage (V_{DS})가 25 V일 때

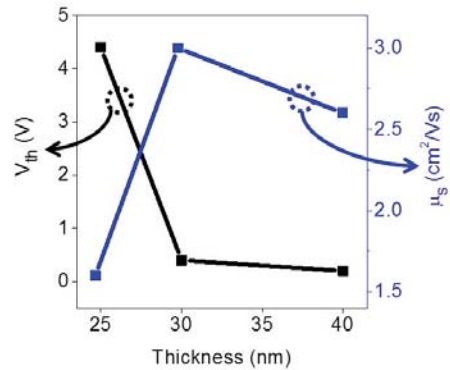


Fig. 4. Electrical properties of IZO TFT with mobility and threshold voltage as a function of different thickness.

gate voltage에 따른 drain current를 측정된 transfer curve를 나타낸 그래프이다. 박막 두께가 30 nm인 경우 25 nm, 40 nm인 경우에 비해 높은 전류점별비 특성을 가지는 것을 확인할 수 있다. 그림 3(b)는 접선을 이용하여 문턱전압(V_{th})을 구하기 위해 transfer curve의 drain current에 대하여 제곱근 연산을 한 그래프이다. 박막 두께가 30 nm인 경우의 V_{th} 값은 박막의 두께가 25 nm, 40 nm인 경우에 비해 0 V에 가까우므로 보다 뛰어난 특성을 가지는 것을 확인할 수 있다.

그림 4에서 보듯이 박막의 두께는 문턱전압에 반비례 하며 30 nm의 두께에서 가장 좋은 전하이동도를 나타내었다.

$$S/S = \frac{dV_{GS}}{d(\log I_D)} \quad (1)$$

수식 (1)은 subthreshold swing (S/S)을 계산한 것이며, V_{GS} 는 gate-to-source voltage이며, I_{DS} 는 drain current 값이다.

$$I_{DS} = \frac{\mu_s C_{ox} W}{2L} (V_{GS} - V_{th})^2 \quad (2)$$

수식 (2)는 drain source current (I_{DS})를 계산한 것이며, C_{ox} 는 산화물의 정전 용량이고 W 및 L 은 전하의 흐름이 움직이는 유효 채널의 너비와 길이를 의미한다. V_{th} 는 문턱전압을 의미하며, μ_s 는 포화이동도를 나타낸다. 표 1은 위의 식을 기반으로 하여 IZO 기반 산화물 트랜지스터의 주요 4가지 전기적인 파라미

Table 1. Summary of the electrical characteristics of IZO TFTs.

Thickness (nm)	Mobility (cm ² /Vs)	I _{on} /I _{off}	V _{th} (V)	S/S (V/decade)
25	1.6 (±0.1)	10 ⁶ ~10 ⁷	4.4 (±0.5)	0.9 (±0.3)
30	3.0 (±0.2)	1.1×10 ⁷	0.4 (±0.1)	0.7 (±0.01)
40	2.6 (±0.01)	1.5×10 ⁶	0.2 (±3.0)	1.4 (±0.4)

터에 대하여 정리한 결과를 나타낸다. 본 연구에서 제작한 SiO₂ 절연막을 가지는 IZO 소자의 source와 drain을 하나는 ground, 다른 하나는 25 V로 고정시킨 후에 gate에 -10 V에서 30 V의 전압을 지속적으로 인가하여 측정하였다. IZO의 박막 두께가 30 nm인 경우 다른 값에 비해 오차가 적고 mobility와 전류점멸비 특성 값이 박막 두께가 25 nm, 40 nm인 경우보다 더 높은 것을 확인할 수 있다.

4. 결론

본 논문에서는 25 nm, 30 nm, 40 nm의 각각 다른 두께의 박막을 가진 IZO 산화물 박막 트랜지스터를 제작하여 전기적인 성능을 비교하였다. IZO 산화물 박막 트랜지스터의 박막 두께가 30 nm인 경우 25 nm와 40 nm에 비교하여 표면이 매끄러우며 보다 높은 전기적 특성을 가지는 것을 확인하였다. 향후 디스플레이 및 투명 전자 소자의 성능 향상을 위해 빠른 이동도를 가진 소자를 제작하기 위한 기술로 응용될 것으로 판단한다.

감사의 글

This research was supported by the Human Resources Development of the Korea Institute of Energy Technology Evaluation and Planning (KETEP) grant funded by the Korea government Ministry of Trade, industry & Energy (No. 20144030200450). This research was also supported by the MSIP (Ministry of Science, ICT and Future Planning), Korea, under the ITRC (Information Technology Research Center) support program (IITP-2017-2015-0-00448) su-

pervised by the IITP (institute for information & communications technology promotion).

REFERENCES

- [1] M. Ito, C. Miyazaki, M. Ishizaki, M. Kon, N. Ikeda, T. Okubo, R. Mastsubara, K. Hatta, Y. Ugajin, and N. Sekine, *J. Non-Cryst. Solids*, **354**, 2777 (2008). [DOI: <https://doi.org/10.1016/j.jnoncrsol.2007.10.083>]
- [2] T. Iwasaki, N. Itagaki, T. Den, H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, *Appl. Phys. Lett.*, **90**, 242114 (2007). [DOI: <https://doi.org/10.1063/1.2749177>]
- [3] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004). [DOI: <https://doi.org/10.1038/nature03090>]
- [4] E. Chong, K. C. Jo, and S. Y. Lee, *Appl. Phys. Lett.*, **96**, 152102 (2010). [DOI: <https://doi.org/10.1063/1.3387819>]
- [5] E. Chong, Y. S. Chun, and S. Y. Lee, *Electrochem. Solid-State Lett.*, **14**, H96 (2011). [DOI: <https://doi.org/10.1149/1.3518518>]
- [6] E. Fortunato, A. Pimentel, A. Gonçalves, A. Marques, and R. Martins, *Thin Solid Films*, **502**, 104 (2006). [DOI: <https://doi.org/10.1016/j.tsf.2005.07.311>]
- [7] B. D. Ahn, J. H. Kim, H. S. Kang, C. H. Lee, S. H. Oh, K. W. Kim, G. E. Jang, and S. Y. Lee, *Thin Solid Films*, **516**, 1382 (2008). [DOI: <https://doi.org/10.1016/j.tsf.2007.03.072>]
- [8] H. Q. Chiang, J. F. Wager, R. L. Hoffman, J. Jeong, and D. A. Keszler, *Appl. Phys. Lett.*, **86**, 013503 (2005). [DOI: <https://doi.org/10.1063/1.1843286>]
- [9] B. S. Ong, C. Li, Y. Li, Y. Wu, and R. Loutfy, *J. Am. Chem. Soc.*, **129**, 2750 (2007). [DOI: <https://doi.org/10.1021/ja068876e>]
- [10] C. S. Li, Y. N. Li, Y. L. Wu, B. S. Ong, and R. O. Loutfy, *J. Phys. D: Appl. Phys.*, **41**, 125102 (2008). [DOI: <https://doi.org/10.1088/0022-3727/41/12/125102>]
- [11] D. H. Lee, Y. J. Chang, G. S. Herman, and C. H. Chang,

Adv. Mater., **19**, 843 (2007). [DOI: <https://doi.org/10.1002/adma.200600961>]

[12] W. B. Jackson, R. L. Hoffman, and G. S. Herman, *Appl. Phys. Lett.*, **87**, 193503 (2005). [DOI: <https://doi.org/10.1063/1.2120895>]

[13] C. G. Choi, S. J. Seo, and B. S. Bae, *Electrochem. Solid-*

State Lett., **11**, H7 (2008). [DOI: <https://doi.org/10.1149/1.2800562>]

[14] C. Y. Koo, K. K. Song, T. H. Jun, D. J. Kim, Y. M. Jeong, S. H. Kim, J. W. Ha, and J. H. Moon, *J. Electrochem. Soc.*, **157**, J111 (2010). [DOI: <https://doi.org/10.1149/1.3298886>]