

Soft-Baking 처리를 통한 용액 공정형 In-Zn-O 박막 트랜지스터의 전기적 특성 향상

김한상, 김성진^a

충북대학교 전자정보대학

Improvement in Electrical Characteristics of Solution-Processed In-Zn-O Thin-Film Transistors Using a Soft Baking Process

Han-Sang Kim and Sung-Jin Kim^a

College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received June 13, 2017; Revised July 25, 2017; Accepted July 28, 2017)

Abstract: A soft baking process was used to enhance the electrical characteristics of solution-processed indium-zinc-oxide (IZO) thin-film transistors (TFTs). We demonstrate a stable soft baking process using a hot plate in air to maintain the electrical stability and improve the electrical performance of IZO TFTs. These oxide transistors exhibited good electrical performance; a field-effect mobility of 7.9 cm²/Vs, threshold voltage of 1.4 V, sub-threshold slope of 0.5 V/dec, and a current on/off ratio of 2.9×10⁷ were measured. To investigate the static response of our solution-processed IZO TFTs, simple resistor load type inverters were fabricated by connecting a resistor (5 or 10 MΩ). Our IZO TFTs, which were manufactured using the soft baking process at a baking temperature of 120°C, performed well at the operating voltage, and are therefore a good candidate for use in advanced logic circuits and transparent display backplanes.

Keywords: IZO, Thin-film transistors, Soft baking temperature, Solution processing, Electrical properties

1. 서론

최근 차세대 디스플레이의 구동 소자로 응용이 가능하여 주목 받고 있는 산화물 반도체는 금속 산화물로 이루어진 반도체로서 높은 밴드갭으로 인해 투명한 특성을 지니고 있으며, 주로 능동 구동 디스플레이용 백플레인(backplane) 소자로 연구되고 있다. 또한 대면적 공정이 용이하여 디스플레이 산업에서 TV AMOLED

(active matrix organic light emitting diode)의 백플레인 박막 트랜지스터(thin-film transistor, TFT)와 고속 구동을 위한 LCD의 백플레인 TFT로도 크게 각광 받고 있다 [1-3].

이러한 산화물 반도체를 이용한 TFT 소자의 채널층을 형성하는 방법 중 기존의 진공 챔버에서 유기 재료를 기화시켜 증착시키는 진공 증착법에 비해서, 용액 공정(solution process)을 이용한 방법은 유기 재료의 낭비를 크게 줄여 경제적이고 대면적화 및 대량 생산이 가능한 특징을 가지고 있다. 또한 컬러 필터가 필요하지 않기 때문에 재료비를 낮출 수 있고, 공정 과정 또한 매우 간단하다는 장점을 가지고 있기 때문에 많은 관심이 집중되고 있다 [4-9]. 그러나 박막 형성 과

a. Corresponding author; ksj@chungbuk.ac.kr

Copyright ©2017 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

정에서 프리커서(precursor)와 유기용매(solvent)에 함유되어있는 금속 유기 증착 용액에서의 불순물은 다량의 염소기(Cl)와 탄소기(C)가 포함되어 있기 때문에 소자의 전기적 특성 열화를 초래한다. 그러므로 이를 해결하기 위해서 감광제에 남아있는 유기 용매를 제거하고 접합을 향상시키기 위한 건조 과정인 소프트 베이킹(soft baking) 과정을 통해서 원심력에 의한 stress를 완화하고 PR 밀도를 높여줄 수 있다.

한편 차세대 디스플레이 및 전자 소자 연구에 있어서 최근에는 ZnO (zinc oxide) [10-12], ZTO (zinc tin oxide), IGZO (amorphous indium gallium zinc oxide), 그리고 IZO (indium zinc oxide) [13-16] 등과 같은 금속 산화물 트랜지스터 소자에 대한 연구가 활발히 이루어지고 있다. 그 중에서 특히 IZO 박막은 상온에서 제작할 때도 낮은 비저항값과 높은 이동도 ($1-100 \text{ cm}^2/\text{Vs}$), 가시광 영역에서 높은 광투과율 특성을 나타낸다. 또한 제작된 박막의 표면 관찰시 거칠기가 매우 낮고, 저온 공정에서 큰 기판 크기에 대해서 높은 전기 균일도를 가지며, 좋은 에칭 특성을 보이는 등의 장점 때문에 전망 있는 재료로 많은 주목을 받고 있다 [17,18].

따라서 본 연구에서는 90, 120, 150°C의 비교적 낮은 온도에서의 soft baking 과정을 통해 제조된 용액 공정 기반 IZO TFT의 전기적 특성을 분석하였고, soft baking 열처리 온도가 IZO TFT의 전기적 특성에 미치는 영향을 조사하였다.

2. 실험 방법

본 연구에서는 metal-insulator-semiconductor 구조의 트랜지스터를 제작하였으며 [19], 소자의 기판으로는 고농도 n-type Si (silicon) 웨이퍼 기판을 사용하였다. 그림 1에서는 본 실험에서 기판 상에 IZO 활성층 기반의 상부-전극(top-contact), 하부-게이트(bottom-gate) 구조로 제작한 소자를 간략하게 나타낸다. 기판 제작 후 절연막을 형성하기 위해 실리콘을 가열로 (furnace)에서 열산화(thermal oxidation)를 진행하여 100 nm 두께의 SiO_2 를 제작하였고, 이후 wafer 세정을 위해 피라냐 세정(piranha cleaning)을 이용하여 표준 세정을 실시하였다.

용액 공정 기반의 IZO 산화물 활성층을 제작하기 위해서는 시약으로 0.1 M indium nitrate hydrate [$\text{In}(\text{NO}_3)_3 \cdot \text{H}_2\text{O}$]와 0.1 M zinc acetate dehydrate

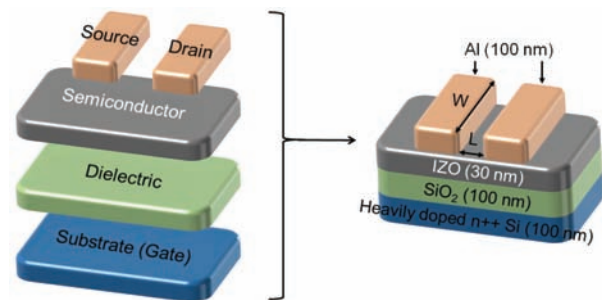


Fig. 1. Schematic structure of bottom gated IZO-TFTs.

[$\text{Zn}(\text{CH}_3\text{COO})_2 \cdot 2\text{H}_2\text{O}$]를 사용하여 프리커서 용액을 제조하였다. 먼저 93 mg의 indium 분말을 시약병에 넣은 후 용매로서 2.5 ml의 2-methoxyetanol과 50 μl 의 acetylacetone을 용액에 안정제로써 첨가한 후 시약을 용해시키기 위해 22.5 ml의 NH_3 와 혼합하여 안정된 indium nitrate hydrate 용액을 제조하였다. 이후 똑같은 순서로 33 mg의 zinc 분말을 시약병에 넣은 후 1.5 ml의 2-methoxyetanol을 30 μl 의 acetylacetone과 혼합하여 zinc acetate dehydrate 용액을 만들었다. 또한 두 용액의 용해 공정을 촉진하기 위해서 자석 교반기(magnetic stirrer)를 사용하여 60°C에서 700 rpm으로 1시간 동안 두 용액을 혼합하였다. 용해 후에 7:3의 비율을 만들기 위해 2.1 ml의 indium nitrate hydrate 용액과 0.9 ml의 zinc acetate dehydrate 용액으로 이루어진 IZO 용액에 대하여 상온에서 stirring을 2시간 동안 충분히 진행하여 투명한 용액을 만들었다.

그 후 기판에 박막을 제작하기 위해서 준비한 IZO 용액을 30초 동안 1,500 rpm으로 스핀 코팅(spin coating)을 진행하여 IZO 산화물 박막을 30 nm의 두께로 기판에 증착하였다. 스핀 코팅 후 박막을 공기 중의 hot plate 상에서 각각 90, 120, 150°C로 20분 동안 soft baking을 진행하여 용매를 증발시키고 Si 웨이퍼에 대한 접착력을 향상시켰다. 이후 vacuum furnace에서 2시간 동안 400°C로 hard baking을 진행하였다. 열처리 공정이 끝난 후 금속 증착기(metal evaporator)를 이용하여 Al source, drain을 IZO 층의 상부에 진공 열증착하여 100 nm 두께의 상부 전극을 제작하였고, length 200 μm , width 2,000 μm 인 TFT 소자 channel을 생성하였다.

위 결과를 바탕으로 실온의 암실에서 반도체 파라미터 분석기인 Agilent 1500B를 사용하여 제조한 IZO TFT의 파라미터를 추출하여 전기적 성능을 측정하였다.

제작한 산화물 반도체를 기반으로 한 트랜지스터 소자의 특성을 평가하기 위해 I-V curve를 측정 후 제작한 소자를 이용하여 부하 저항으로 5, 10 MΩ의 저항과 supply voltage (V_{DD}) 3 V로 load type inverter [20,21]를 구성한 후 static test를 진행하였다.

3. 결과 및 고찰

IZO 박막을 증착 후 film 상에 잔류하는 용매를 제거하기 위한 soft baking 공정은 고성능의 IZO 박막을 합성하기 위해서 간단하고 유연하며, 비용 효율적인 제조 방법이다. 또한 soft baking 공정은 Al 전극과 IZO 박막 사이의 접촉 저항이 증가하지 않도록 하며, IZO 박막으로의 Al 전극 열 확산을 효과적으로 방지할 수 있다 [22,23].

그림 2는 90, 120, 150°C의 soft baking 온도에 따라서 제조된 IZO TFT의 전기적 특성을 상세하게 조사하기 위해 drain-to-source voltage (V_{DS})가 25 V일 때, IZO TFT의 gate voltage (V_G)가 0, 10, 20, 30 V에서의 output curve, transfer curve를 나타내는 그래프이다. 그림 2(a)는 90°C의 hot plate에서 soft baking 공정을 진행한 소자의 output curve, transfer curve를 나타내는 그래프이며, on/off current ratio

가 1.5×10^1 로 전기적 성능이 완전히 붕괴되고 성능이 낮아서 연구 가치가 손실된 것을 알 수 있다. 그림 2(b)는 120°C에서 soft baking 공정을 진행한 소자에 대한 output curve, transfer curve이다. 각각 90, 150°C에서의 soft baking 공정을 진행한 소자에 대한 그래프인 그림 2(a), (c)와 비교하였을 때, 반도체의 특성을 나타내는 요소 중 하나인 output curve가 saturation 되는 경향을 보다 잘 보여주고 있다 [24]. 또한 120°C에서의 soft baking을 진행한 소자의 전류 점멸비는 2.9×10^7 이며, 2.7×10^6 인 150°C에서의 소자보다 값이 크므로 최대와 최소 전류 값 차이가 더 큰 것을 확인하였다. 이것은 IZO 용액 공정을 주도하는 용매인 2-methoxyethanol의 끓는점이 124°C이므로 이때 가장 안정적인 sol-gel networking 반응이 일어난 것으로 판단된다. 따라서 120°C에서 soft baking을 진행한 소자가 가장 향상된 특성을 나타내는 것을 확인할 수 있었다.

표 1은 90, 120, 150°C의 hot plate에서 soft baking 공정을 진행한 IZO TFT의 주요 특성을 나타내는 4개의 추출한 파라미터에 대하여 정리한 결과를 나타낸다. 결과적으로 4개의 파라미터인 mobility, on/off current ratio, V_{th} , S/S를 추출하여 비교해보았을 때, 120°C에서 soft baking을 진행한 소자의 mobility는 $7.9 \text{ cm}^2/\text{Vs}$ 로 가장 높게 나왔으며, threshold

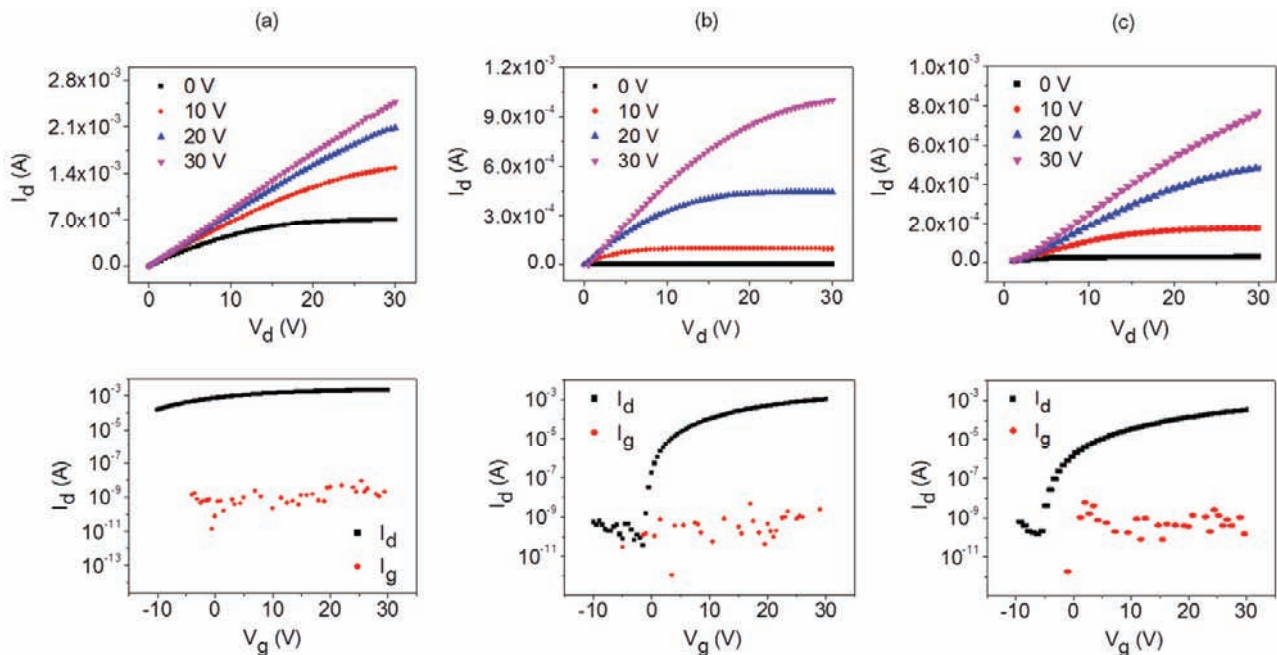


Fig. 2. Output and transfer characteristics of the IZO TFT with a soft baking process at (a) 90°C, (b) 120°C, and (c) 150°C.

Table 1. Comparison of the electrical parameters of the IZO TFTs with a different soft baking temperature.

Soft baking temperature	μ_{sat} (cm^2/Vs)	$I_{\text{on}}/I_{\text{off}}$	V_{th} (V)	S/S (V/decade)
90°C	-	1.5×10^1	-17.8	10.6
120°C	7.9	2.9×10^7	1.4	0.5
150°C	5.6	2.7×10^6	-0.2	0.7

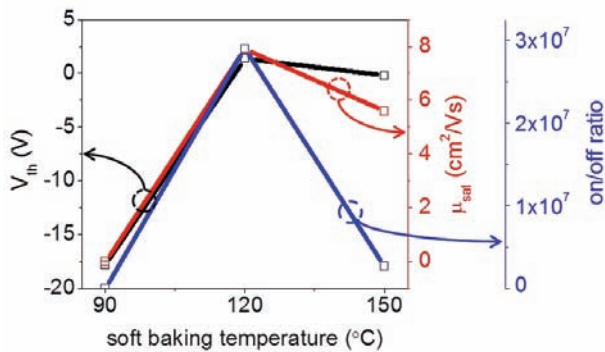


Fig. 3. Electrical properties of IZO TFT with mobility, current on/off ratio, and threshold voltage as a function of different soft baking temperature.

voltage (V_{th}) 값은 0 V에 비교적 가까운 1.4 V임을 확인할 수 있다. 또한 subthreshold slope (S/S) 값은 0.5 V/decade로 가장 낮게 나왔으며, on/off current ratio가 2.9×10^7 로 가장 높게 나온 것을 통해 90°C, 150°C에서 soft baking 공정을 진행한 소자에 비하여 좋은 특성을 가지는 것을 확인할 수 있다.

그림 3은 90, 120, 150°C의 hot plate에서 soft baking 공정을 진행한 IZO TFT의 주요 파라미터 중에서 V_{th} 와 mobility, on/off current ratio 수치를 나타내는 그래프이다. 150°C에서의 soft baking 공정을 진행한 IZO TFT는 프리커서의 분해를 위해 더 높은 soft baking 온도를 가했음에도 불구하고 전기적 특성에서 이 보다 낮은 온도에서 soft baking을 진행한 경우보다 많은 향상을 보이지 않는 것을 확인할 수 있었다. 결과적으로 그림 3의 파라미터 값을 비교한 후, 120°C의 hot plate 온도가 다른 soft baking 온도로 진행된 소자들 보다 가장 두드러지는 특성이 나오는 것을 알 수 있었다. 그러므로 IZO 박막을 120°C에서 soft baking을 진행하였을 때 가장 향상된 반도체 특성을 가진 것을 확인할 수 있다.

그림 4는 120°C의 hot plate에서 soft baking 공정을 진행한 IZO TFT에 대하여 보다 자세한 논리 성능

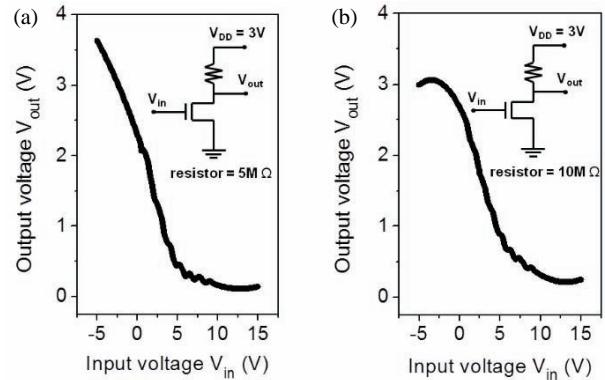


Fig. 4. Static characteristics of (a) 5 MΩ and (b) 10 MΩ resistive load inverters based on IZO TFTs.

분석하기 위해서, V_{DD} 값을 3 V로 적용한 5, 10 MΩ의 부하 저항 load type inverter를 구성한 후에 static test를 진행한 그래프를 나타낸다. 그림 4(a)는 5 MΩ의 부하 저항에서의 load type inverter를 나타내며, -5 V에서 15 V까지의 입력 전압에 따라 3.8 V에서 0 V까지 반전되어 출력되는 것을 확인할 수 있다. 출력 신호는 입력 신호가 -5 V에서 15 V로 가해졌을 때 “1” 상태에서 “0” 상태로 전환되었다. 또한 그림 4(b)는 10 MΩ의 부하 저항에서의 load type inverter를 나타내며, -5 V에서 15 V까지의 5 MΩ 부하 저항에서와 같은 입력 전압에 따라서 3.2 V에서 0 V까지 반전되어 출력되는 것에 대해 inverter로써 활용이 가능한 것을 확인할 수 있다.

4. 결론

본 논문에서는 높은 전기적 성능을 가지는 IZO TFT에 대해서 비교적 저온의 다양한 온도에서의 soft baking 공정의 효과에 대해 분석하였다. IZO 박막은 경제적이고 간단한 공정 과정인 용액 공정을 통해서 제작되었으며, 90, 120, 150°C에서의 soft baking을

통해서 얻은 전기적 특성에 대한 비교 분석을 진행하였다. 결과적으로 120°C의 저온에서 soft baking을 진행한 IZO TFT가 7.9 cm²/Vs의 mobility, 1.4 V의 V_{th}, 0.5 V/decade의 S/S, 그리고 2.9×10⁷의 on/off current ratio 값을 가지며 90°C, 150°C에서 soft baking을 진행한 IZO TFT에 비해서 좋은 전기적 성능을 가지는 것을 확인하였다. 또한 120°C에서 soft baking을 진행한 IZO TFT의 static response를 조사하기 위해서 5, 10 MΩ의 부하 저항을 연결하여 간단한 load type inverter를 제작하였다. 비교적 저온인 120°C에서 soft baking을 진행한 IZO TFT가 좋은 전기적 성능을 가지는 것을 통해서, 향후 저가의 제조 과정을 거치며 우수한 광투과율과 높은 이동도를 필요로 하는 차세대 디스플레이 백플레인에 응용될 수 있다고 판단한다.

감사의 글

This research was supported by the Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2017R1D1A3B03029782) and by a Human Resources Development, Korea Institute of Energy Technology Evaluation and Planning (KETEP) grant funded by the Korea government Ministry of Trade, industry & Energy (No. 20144030200450). This research was also supported by the Ministry of Science, ICT and Future Planning (MSIP), Korea, under the Information Technology Research Center (ITRC) support program (IITP-2017-2015-0-00448) supervised by the Institute for Information & communications Technology Promotion (IITP).

REFERENCES

- [1] J. F. Wager and R. Hoffman, *IEEE Spectrum*, **48**, 42 (2011). [DOI: <https://doi.org/10.1109/MSPEC.2011.5753244>]
- [2] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science*, **300**, 1269 (2003). [DOI: <https://doi.org/10.1126/science.1083212>]
- [3] C. G. Van de Walle, *Phys. Rev. Lett.*, **85**, 1012 (2000). [DOI: <https://doi.org/10.1103/PhysRevLett.85.1012>]
- [4] K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, *Jpn. J. Appl. Phys.*, **45**, 4303 (2006). [DOI: <https://doi.org/10.1143/JJAP.45.4303>]
- [5] N. Itagaki, T. Iwasaki, H. Kumomi, T. Den, K. Nomura, T. Kamiya, and H. Hosono, *Phys. Status Solidi A*, **205**, 1915 (2008). [DOI: <https://doi.org/10.1002/pssa.200778909>]
- [6] S. Hwang, J. H. Lee, C. H. Woo, J. Y. Lee, and H. K. Cho, *Thin Solid Films*, **519**, 5146 (2011). [DOI: <https://doi.org/10.1016/j.tsf.2011.01.074>]
- [7] S. J. Seo, Y. H. Hwang, and B. S. Bae, *Electrochem. Solid-State Lett.*, **13**, H357 (2010). [DOI: <https://doi.org/10.1149/1.3474606>]
- [8] Y. Kikuchi, K. Nomura, H. Yanagi, T. Kamiya, M. Hirano, and H. Hosono, *Thin Solid Films*, **518**, 3017 (2010). [DOI: <https://doi.org/10.1016/j.tsf.2009.10.132>]
- [9] J. S. Kim, B. S. Oh, M. Piao, M. K. Joo, H. K. Jang, S. E. Ahn, and G. T. Kim, *J. Appl. Phys.*, **116**, 245302 (2015). [DOI: <https://doi.org/10.1063/1.4904843>]
- [10] S. Lee, H. Kim, D. J. Yun, S. W. Rhee, and K. Yong, *Appl. Phys. Lett.*, **95**, 262113 (2010). [DOI: <https://doi.org/10.1063/1.3280864>]
- [11] S. Kim, H. Moon, D. Gupta, S. Yoo, and Y. K. Choi, *IEEE Trans. Electron Dev.*, **56**, 696 (2009). [DOI: <https://doi.org/10.1109/TED.2009.2012522>]
- [12] J. W. Seo, J. W. Park, K. S. Lim, S. J. Kang, Y. H. Hong, J. H. Yang, L. Fang, G. Y. Sung, and H. K. Kim, *Appl. Phys. Lett.*, **95**, 133508 (2009). [DOI: <https://doi.org/10.1063/1.3242381>]
- [13] R. L. Hoffman, B. J. Norris, and J. F. Wager, *Appl. Phys. Lett.*, **82**, 733 (2003). [DOI: <https://doi.org/10.1063/1.1542677>]
- [14] V. Subramanian, J.M.J. Frechet, P. C. Chang, D. C. Huang, J. B. Lee, S. E. Molesa, A. R. Murphy, D. R. Redinger, and S. K. Volkman, *Proc. IEEE*, **93**, 1330 (2005). [DOI: <https://doi.org/10.1109/JPROC.2005.850305>]
- [15] E.M.C. Fortunato, P.M.C. Barquinha, A.C.M.B.G. Pimentel, A.M.F. Gonçalves, A.J.S. Marques, L.M.N. Pereira, and R.F.P. Martins, *Adv. Mater.*, **17**, 590 (2005). [DOI: <https://doi.org/10.1002/adma.200400368>]
- [16] H. Q. Chiang, J. F. Wager, R. L. Hoffman, J. Jeong, and D. A. Keszler, *Appl. Phys. Lett.*, **86**, 013503 (2005). [DOI: <https://doi.org/10.1063/1.1843286>]
- [17] E. Fortunato, P. Barquinha, and R. Martins, *Adv. Mater.*, **24**, 2945 (2012). [DOI: <https://doi.org/10.1002/adma.201103228>]
- [18] E.M.C. Fortunato, L.M.N. Pereira, P.M.C. Barquinha, A.M.B. do Rego, G. Gonçalves, A. Vilà, J. R. Morante, and R.F.P. Martins, *Appl. Phys. Lett.*, **92**, 222103 (2008). [DOI: <https://doi.org/10.1063/1.2937473>]
- [19] Q. H. Li, Q. Wan, Y. X. Liang, and T. H. Wang, *Appl.*

- Phys. Lett.*, **84**, 4556 (2004). [DOI: <https://doi.org/10.1063/1.1759071>]
- [20] G. H. Gelinck, H.E.A. Huitema, E. van Veenendaal, E. Cantatore, L. Schrijnemakers, J.B.P.H. van der Putten, T.C.T. Geuns, M. Beenhakkers, J. B. Giesbers, B. H. Huisman, E. J. Meijer, E. M. Benito, F. J. Touwslager, A. W. Marsman, B.J.E. van Rens, and D. M. de Leeuw, *Nat. Mater.*, **3**, 106 (2004). [DOI: <https://doi.org/10.1038/nmat1061>]
- [21] H. Klauk, U. Zschieschang, J. Pflaum, and M. Halik, *Nature*, **445**, 745 (2007). [DOI: <https://doi.org/10.1038/nature05533>]
- [22] M. G. Kim, M. G. Kanatzidis, A. Facchetti, and T. J. Marks, *Nat. Mater.*, **10**, 382 (2011). [DOI: <https://doi.org/10.1038/nmat3011>]
- [23] J. A. Greenwood and J.B.P. Williamson, *Proc. R. Soc. London, Ser. A*, **295**, 300 (1966). [DOI: <https://doi.org/10.1098/rspa.1966.0242>]
- [24] J. H. Jeong, H. W. Yang, J. S. Park, J. K. Jeong, Y. G. Mo, H. D. Kim, J. Song, and C. S. Hwang, *Electrochem. Solid-State Lett.*, **11**, H157 (2008). [DOI: <https://doi.org/10.1149/1.2903209>]