

이온성 첨가제 도입을 통한 고이동도 고분자 반도체 특성 구현과 유기전계효과트랜지스터 및 유연전자회로 응용 연구

이동현, 문지훈, 박준구, 정지윤, 조일영, 김동은, 백강준^a

부경대학교 인쇄정보공학과

High-Mobility Ambipolar Polymer Semiconductors by Incorporation of Ionic Additives for Organic Field-Effect Transistors and Printed Electronic Circuits

Dong-Hyeon Lee, Ji-Hoon Moon, Jun-Gu Park, Ji Yun Jung, Il-Young Cho, Dong Eun Kim,
 and Kang-Jun Baeg^a

Department of Graphic Arts Information Engineering, Pukyong National University, Busan 48547, Korea

(Received January 16, 2018; Revised January 22, 2018; Accepted January 22, 2018)

Abstract: Herein, we report the manufacture of high-performance, ambipolar organic field-effect transistors (OFETs) and complementary-like electronic circuitry based on a blended, polymeric, semiconducting film. Relatively high and well-balanced electron and hole mobilities were achieved by incorporating a small amount of ionic additives. The equivalent P-channel and N-channel properties of the ambipolar OFETs enabled the manufacture of complementary-like inverter circuits with a near-ideal switching point, high gain, and good noise margins, via a simple blanket spin-coating process with no additional patterning of each active P-type and N-type semiconductor layer.

Keywords: Organic field-effect transistors, Ionic additive, Ambipolar, CMOS-like, Printed circuits

1. 서 론

유기물 반도체를 활용한 트랜지스터는 차세대 플렉서블 디스플레이의 구동소자 및 백-플레인, 플래시 메모리, 웨어러블 디바이스용 각종 센서, RFID 및 스마트 태그 등에 폭넓게 응용 가능하며, 유연/신축성을 지닌 인쇄전자 기술 구현에 매우 중요한 핵심 전자소자이다 [1]. 고성능 유기전계효과트랜지스터(organic field-effect transistors, OFETs) 구현을 위해서는 고이동도의 전하 이동 특성 구현이 선행되어야 하며, 공기나 고

온 노출 등 구동 환경에서의 안정성 역시 확보되어야 한다 [2]. 인쇄전자 회로 구현을 위해서는 P형과 N형 OFET의 균형 있는 전하이동 특성이 필요하며, 이를 활용해 complementary metal oxide semiconductor (CMOS) 기반의 인버터(inverter)를 우선 구현하고, 이를 집적화해 복잡한 논리/연산 회로, 집적회로 구현이 가능하다 [3]. 이를 위해서는 P형과 N형 특성이 균형 있게 구현 가능한 고이동도 유기반도체 소재 개발이 필요하다. 또한 복잡한 반도체 회로를 구현하기 위한 정교한 인쇄 및 패턴 형성 기술 개발도 요구된다. 하지만 복잡한 패턴 형성 공정은 Roll-to-Roll 공정을 활용한 저가(low-cost) 대면적 인쇄전자 응용 제품에 직접 적용하기 어렵다는 기술적인 한계가 있다 [3].

양극성(ambipolar) 유기반도체는 동일한 반도체 채널을 통해 인가되는 외부 전압 조건에 따라 전자

^a Corresponding author; kangjun100@pknu.ac.kr

(electron)와 정공(hole)이 이동할 수 있도록 제어 가능한 물질이며, 이를 이용해 전자회로를 제작할 경우 추가적인 반도체 패턴 공정 없이 단순 코팅 공정만으로도 인쇄전자 회로를 구현할 수 있다는 장점이 있다 [4]. 고성능 양극성 반도체 OFET 소자를 구현하기 위해서는 우선 전자 도너(donor)와 억셉터(acceptor) 역할을 할 수 있는 분자구조가 유기물 반도체 주-골격에 포함되어 있어야 하고, 소스/드레인(source/drain) 전극으로부터 원활한 전자와 정공의 주입이 이루어져야 한다. 또한 반도체와 게이트 절연체 사이의 계면에서 전자의 트랩이 발생하지 않도록 적절한 절연 소재 선정과 최적의 소자 구조를 설계하는 것이 중요하다. 이를 위해 다양한 방법의 연구가 진행되어 왔으며 비교적 성공적으로 CMOS와 유사한 구조의 CMOS-like 인버터가 구현되었다 [3]. 하지만 실질적으로 인쇄전자 제품에 활용되기 위해서는 여전히 상대적으로 낮은 전하 이동도(mobility)를 높이기 위한 기술이 필요하며, 특히 P형과 N형 OFET 특성의 불균형 문제도 해결되어야 한다.

최근 공액(π -conjugated) 구조의 고분자 반도체의 전하 이동도를 높이기 위한 한 가지 전략으로 유기물 단분자 또는 금속염 등을 이용한 도핑(doping) 방법이 활발히 연구되고 있다 [5]. P형 또는 N형 도펀트(dopant)를 반도체와 혼합하여 선택적으로 전하밀도를 증가시키고, 이를 통해 OFET 소자 특성을 향상시킬 수 있다. 하지만 양극성 고분자 반도체의 경우 전하 이동도를 높이기 위한 이러한 도핑 방법은 일반적으로 상보성을 지니고 있는데, 즉, P형 혹은 N형 특성을 높이기 위해서는 각각 상대 전자와 정공의 이동 특성 감소를 감안해야 된다. 따라서 전자와 정공의 이동 특성을 동시에 향상시키기 위한 기술 개발이 필요하다. 작은 양의 유기 분자들은 고분자 반도체의 전하 트랩을 채워 주고, 분자 배열 구조를 변화시켜 OFET 소자 내에 전하 이동을 원활히 하도록 도울 수도 있다 [6].

본 논문에서는 이온성 첨가제(ionic additive)를 양극성 고분자 반도체에 도입하여 OFET 소자의 P형과 N형 전하 이동 특성을 동시에 향상시키는 방법을 연구하였다. 이를 통해 전자와 정공의 이동 특성이 균형을 이루는 고이동도의 CMOS-like 인버터 회로를 제작하였다. 고분자 반도체와 단분자 구조의 유기 물질을 혼합한 혼합물 반도체는 플래시 메모리, 마이크로프로세서 및 전자회로 구현을 위한 핵심 요소 기술로서 유연/인쇄전자 구현을 위해 매우 중요한 핵심 기술이 될 것으로 기대된다.

2. 실험 방법

2.1 OFET device fabrication

그림 1은 Top-gate/bottom-contact 구조의 OFET 소자의 모식도이다. 양극성 OFET 소자의 소스/드레인 전극 제작을 위해 우선 포토리소그래피 공정을 이용하여 유리 기판 위에 15 nm 두께의 금(Au) 전극과 4 nm 두께의 니켈(Ni) 전극 패턴을 형성하였다. 형성된 반도체 채널의 넓이와 길이는 각각 1 mm와 20 μm 이다. Au/Ni 전극이 형성된 기판을 아세톤과 이소프로필알코올을 이용하여 각각 10분 동안 초음파 세척기를 이용해 클리닝하였으며, 이후 고압 질소를 이용해 기판을 건조하였다.

본 연구에 사용된 양극성 고분자 반도체인 poly[4-(4,4-dihexadecyl-4H-cyclopenta[1,2-b:5,4-b']dithiophen-2-yl)-alt-[1,2,5]thiadiazolo-[3,4-c]pyridine] (PCDTPT)는 1-materials사에서 구매하여 사용하였으며, 후처리 과정 없이 그대로 사용하였다. PCDTPT 고분자 반도체를 10 mg/ml 농도로 1,2-dichlorobenzene에 용해시켰으며, 이온성 첨가제로 tetramethylammonium iodide (NMe₄I)를 10 mg/ml 농도로 toluene에 용해시켰다. 이후 PCDTPT 대비 이온성 첨가제 함량을 각각 2.5, 5.0, 10.0 wt.% 비율로 혼합한 반도체 용액을 제조하였다. 혼합된 용액을 이용해 Au/Ni 전극이 패턴된 기판 위에 스핀 코팅을 이용해 기판 전면에 도포하였으며, 이후 150, 200, 250°C 조건에서 어닐링(annealing)을 통

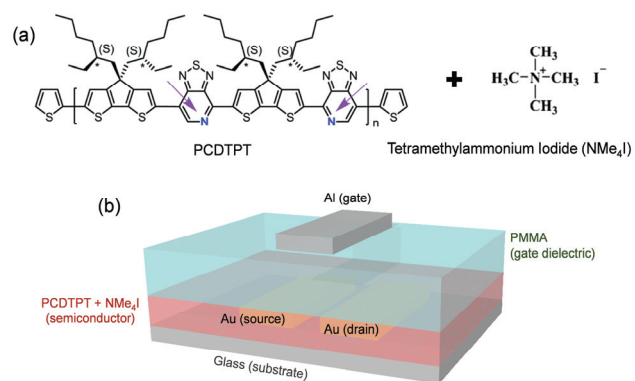


Fig. 1. (a) Chemical structures of PCDTPT ambipolar polymer semiconductor and NMe₄I ionic additive. (b) Top-gate/bottom-contact OFET device structure with gold (Au) source/drain electrodes and PMMA polymer gate dielectric.

해 잔류 용매 제거 및 반도체 고분자 박막의 결정성 증가와 전하 이동에 적합한 분자구조 배열을 유도하였다.

반도체 채널 위에 poly (methyl methacrylate) (PMMA) 고분자 절연체를 약 500 nm 두께로 형성하였다. 이때, 80 mg/ml 농도의 butyl acetate (nBA) 용매에 용해시킨 후 스핀 코팅을 통해 절연 박막을 형성하였다. 이후 잔류 용매 제거를 위해 80°C hot plate를 이용해 약 30분간 열처리하였다. 마지막으로, 게이트(gate) 전극 패턴 제작을 위해, 35 nm 두께의 알루미늄(Al)을 고진공(6.2×10^{-7} Torr) 열증착기를 이용해 증착하여 최종적으로 OFET 소자를 완성하였다.

2.2 CMOS-like inverter fabrication

PCDTPT 양극성 반도체를 이용해 CMOS-like 인버터를 제작하기 위해 앞서 OFET 소자 제작과 동일한 방법으로 15 nm 두께의 금(Au)/니켈(Ni) 소스/드레인 전극을 포토리소그래피 방법을 이용해 형성하였다. 이때 P형과 N형 OFET 소자의 채널 길이와 넓이는 모두 10 μm , 1 mm로 동일하게 유지하였다. PCDTPT 대비 2.5 wt.% 함량의 이온성 첨가제(NMe₄I)를 PCDTPT 용액과 혼합한 후 스핀 코팅 방법을 이용해 기판 전면에도포하였다. 이후, 질소 분위기의 글러브 박스에서 200°C 30분간 열처리 공정을 한 후, PMMA 절연체를 약 500 nm 두께로 반도체 박막 전면에도포하였다. PMMA는 80°C에서 약 30분간 가열하여 잔류 용매를 완전히 제거하였으며, 마지막으로 약 35 nm 두께의 알루미늄을 게이트 전극으로 사용하여 열-증착 방법과 금속 웨도우 마스크를 이용해 형성한 후 인버터 소자 제작을 완료하였다.

2.3 Characterization of OFET devices

제작된 OFET 소자와 CMOS-like 인버터 회로는 질소 분위기의 글러브박스 내에 설치된 probe station과 Keithley 4200 반도체 특성분석기를 이용해 전기적 특성을 평가하였다.

3. 결과 및 고찰

3.1 이온성 첨가제를 도입한 고이동도 OFETs

최근 개발되고 있는 고이동도 고분자 반도체는 주로

도너(D)와 억셉터(A) 분자가 주기적인 배열에 의해 고분자 사슬 골격을 이룬다 [7]. 이러한 D-A 구조는 분자 사슬 간 쿨롱 인력 증가에 의한 분자 사슬 간 거리 감소와 평판한 골격구조 형성 등에 의해 높은 전하 이동도 구현이 용이하다. 또한 이러한 구조의 공액성 유기분자는 전자와 정공의 이동에 관여하는 성분이 모두 포함되어 있기 때문에, P형과 N형 특성이 모두 구현 가능한 양극성 반도체 특성을 나타낸다. 하지만 수분(H₂O)이나 수산기(OH-group) 등 전자를 트랩(trap)하기 쉬운 외부적인 요인에 의해 이러한 고유 특성이 제한되고 한쪽 극성만 나타나는 경우가 많다 [8]. 반면에 TG/BC OFET 소자는 다른 소자 구조에 비해 비교적 원활한 전자와 정공의 주입이 가능하고, 반도체 채널 위에 형성된 소수성 절연체로 인한 전자와 정공 축적 모두의 용이성, 또한 절연체와 게이트 전극층을 통한 self-encapsulation 효과 등에 의해 유기물 반도체 고유의 양극성 전하 이동 특성 구현이 수월하다.

이러한 구조적인 장점으로 인해 본 연구에서는 TG/BC 구조의 OFET를 제작하여 PCDTPT 고분자 반도체의 양극성 전하이동 특성을 분석하였다. 그림 2의

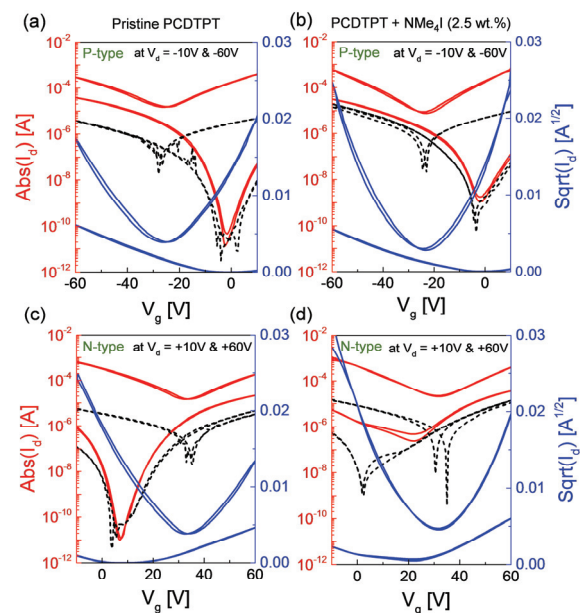


Fig. 2. Transfer characteristics of ambipolar OFETs using (a, c) pristine PCDTPT and (b, d) 2.5 wt.% NMe₄I-incorporated PCDTPT in (a, b) P-channel region at $V_d = -10$ V and -60 V, (c, d) N-channel region at $V_d = +10$ V and $+60$ V. Channel width and length, dielectric capacitance of the ambipolar OFETs is 1 mm, 10 μm , 6.2 nF cm^2 , respectively.

OFET transfer 특성에서 확인할 수 있는 바와 같이 P형과 N형 특성이 모두 잘 나타나는 전형적인 양극성 OFET 소자를 보여준다. 150°C 열처리 조건에서 제작된 PCDTPT OFET 소자는 정공과 전자의 전하 이동도(문턱전압, threshold voltage)가 각각 $0.78 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (-27.1 V)와 $0.41 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (31.9 V) 정도이며, 250°C로 높은 온도로 어닐링을 하여 고분자 사슬의 분자 재배열을 유도하게 되면 최대 $2.6 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 의 높은 전하 이동도 값을 얻을 수 있었다. 이러한 이동도 증가는 250°C 이상의 고온에서 열처리하였을 경우, rigid한 D-A 구조의 고분자 사슬들이 유리전이온도 이상에서 활발하게 움직일 수 있고, 이를 통해 OFET 전하 이동에 적합한 in-plane 방향으로 분자 배열이 이루어졌기 때문으로 해석된다.

그림 2(c), (d)에 나타난 바와 같이, 이온성 첨가제인 NMe₄I를 2.5, 5.0, 10.0 wt.% 비율로 PCDTPT와 혼합하여 동일한 구조의 OFET를 제작하였을 경우, P형과 N형 구동 모드에서 모두 OFET 소자의 성능이 크게 향상됨을 확인할 수 있었다. 초기 전하 이동도에 비해 P형의 경우 0.78에서 평균 $3.0 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (최대 $5.7 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$)로, N형은 0.41에서 $2.6 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (최대 $3.25 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$)로 크게 상승하였다. 특히, 선택적 도핑에 의해 P형 혹은 N형 특성만 향상시키는 도펀트들과 달리 이온성 첨가제인 NMe₄I의 경우 양극성 모두를 균형 있게 향상시킬 수 있는 것을 알 수 있다.

표 1은 다양한 이온성 첨가제 함량과 반도체 열처리 조건에서 PCDTPT OFET 소자의 P형과 N형 특성을

정리한 것이다. 표를 통해 2.5 wt.%의 이온성 첨가제 함량에서 가장 높은 양극성 반도체 특성이 나타난 것을 알 수 있다.

그림 3은 2.5 wt.%의 이온성 첨가제가 함유된 PCDTPT 반도체 OFET 소자에서 이온성 첨가제 함량에 따른 전자와 정공의 이동도와 문턱전압을 나타낸 것이다. 따라서 PCDTPT OFET의 전기적 특성은 이온성 첨가제와 반도체 간의 최적의 혼합 비율에서 가장 높은 성능을 얻을 수 있으며, 과량의 이온성 첨가제의 경우 고분자 사슬의 결정성과 분자 배열을 오히려 방해함으로써 소자 성능의 감소를 유발하게 된다. 본 연구에서도 5.0 wt.% 이상의 NMe₄I 함량은 2.5 wt.%에 비해 감소된 전하 이동도 값을 보여주었으며, 10 wt.% 이상에서는 이온성 첨가제가 없는 순수한 반도체(pristine PCDTPT)보다 낮은 결과를 나타낸다. 이러한 결과는 소량의 이온성 첨가제는 PCDTPT 고분자 박막 내부에 존재하는 수분과 같은 전하이동 트랩을 제거시키고 분자들 간의 배열을 향상시키는 효과가 있지만 과량의 이온성 첨가제가 포함될 경우 고분자 사슬의 결정 구조 형성을 해치는 요인으로 작용하는 것으로 보인다 [9].

결과적으로 PCDTPT와 같은 D-A 구조의 고분자 반도체에 이온성 첨가제를 도입함으로써 전자와 정공 이동도를 동시에 향상시킬 수 있으며, 이는 여러 작용의 동반 효과에 의한 것으로 파악된다. 우선, 스핀 코팅과 같은 용액 공정에 의해 비교적 빠른 시간 내에 박막이 형성될 때 PCDTPT 박막은 주로 비정질 부분이 많고 고분자 사슬이 라멜라 구조의 결정 구조를 형성하기

Table 1. Fundamental device parameters of ambipolar OFETs based on pristine PCDTPT and NMe₄I-incorporated PCDTPT.

Semiconductor	Thermal annealing temp.	P-channel		N-channel	
		Saturation mobility [cm ² /Vs]	Threshold voltage [V]	Saturation mobility [cm ² /Vs]	Threshold voltage [V]
Pristine PCDTPT	150°C	0.78 (±0.47)	-27.1 (±2.44)	0.41 (±0.16)	31.9 (±1.9)
	200°C	1.19 (±0.19)	-32.2 (±0.78)	0.89 (±0.16)	35.0 (±1.0)
	250°C	2.60 (±0.30)	34.9 (±2.60)	1.90 (±0.32)	37.0 (±0.75)
PCDTPT + NMe ₄ I (2.5 wt.%)	150°C	0.66 (±0.15)	-28.1 (±1.0)	0.53 (±0.24)	38.7 (±1.5)
	200°C	3.0 (±2.70)	-36.6 (±5.0)	2.05 (±1.20)	37.3 (±3.0)
	250°C	0.54 (±0.33)	-24.6 (±3.60)	0.46 (±0.23)	28.6 (±2.0)
PCDTPT + NMe ₄ I (5.0 wt.%)	150°C	0.43 (±0.20)	-26.5 (±1.60)	0.29 (±0.08)	35.5 (±0.11)
	200°C	0.84 (±0.40)	-31.7 (±0.50)	0.75 (±0.50)	34.2 (±1.10)
	250°C	2.0 (±0.60)	-30.0 (±2.50)	0.93 (±0.05)	35.4 (±1.90)
PCDTPT + NMe ₄ I (10.0 wt.%)	150°C	0.17 (±0.02)	-25.3 (±0.30)	0.16 (±0.02)	36.6 (±0.20)
	200°C	0.35 (±0.03)	-28.7 (±0.11)	0.30 (±0.05)	35.6 (±3.50)
	250°C	0.26 (±0.11)	-27.3 (±1.50)	0.36 (±0.10)	33.1 (±0.37)

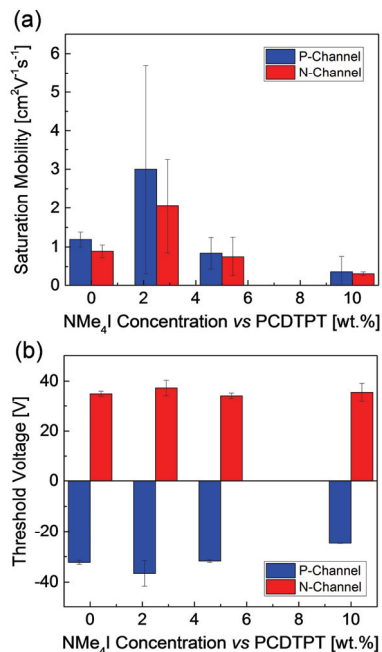


Fig. 3. (a) Charge carrier mobilities and (b) corresponding threshold voltage at saturation region at $V_d = \pm 60$ V for OFET devices with increasing concentration of NMe_4I ionic additives in PCDTPT.

전에 고체화되어 결정 구조가 제한되기 때문이다. 이 경우 이온성 첨가제가 가소제(plasticizer)와 비슷한 역할을 해 주어 고분자 사슬들이 좀 더 원활히 움직일 수 있고, 낮은 공정온도에서 결정 구조의 분자 간 배열을 효과적으로 유도할 수 있다 [6]. 또한 제조된 유기반도체 박막 내 존재할 수밖에 없는 소량의 H_2O , 산소 등의 여러 전하 트랩 지점들이 이온성 첨가제에 의해 채워지며 이동 가능한 전하의 수가 증가되기 때문으로 보인다 [9].

3.2 CMOS-like 인버터 소자 특성

이온성 첨가제를 활용해 성능을 향상시킨 PCDTPT 반도체를 이용해 다양한 인쇄전자 소자 및 집적회로를 간편하고 저렴하고 쉽게 제작할 수 있다. 그림 4는 2.5 wt.%의 NMe_4I 를 첨가시킨 PCDTPT 양극성 반도체를 이용해 복잡한 반도체 패턴 형성 공정 없이 단순 코팅만으로 제작한 CMOS-like 구조의 인버터 특성이다. 인버터는 전자회로에서 가장 기본적이며 중요한 소자이며, '0'과 '1'의 디지털 신호를 상호 변환시키는 기능을 수행한다. 일반적으로 제작되는 CMOS 인버터는 P형과 N형 구동 모드에서 동작하는 두 개의 트랜지스터(pull-up 트

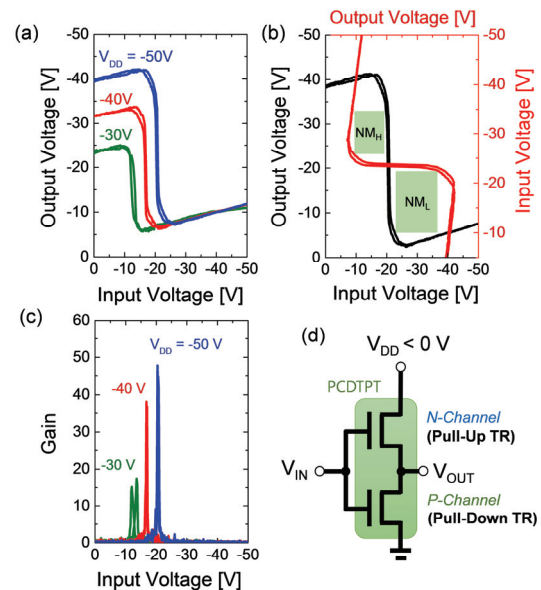


Fig. 4. CMOS-like inverter characteristics based on 2.5 wt.% NMe_4I -incorporated PCDTPT ambipolar semiconductor. (a) Voltage transfer curves and (c) corresponding gains at various supplied bias (V_{DD}). (b) Noise margins at high level (NM_H) and low level (NM_L) at $V_{DD} = -50$ V. (d) Schematic configuration of corresponding CMOS-like inverter circuit.

랜지스터와 pull-down 트랜지스터)로 회로가 구성되며, 이들 두 트랜지스터의 상보적(complementary) on & off 동작에 의해 이뤄진다. 따라서 인버터를 구성하는 트랜지스터의 이동도와 문턱전압에 따라 스위칭 특성, 즉 스위칭 속도, 이득(gain), 잡음 여유(noise margin, NM) 등이 결정된다. 이상적인 인버터는 공급 전압(V_{DD})의 1/2 지점에서 스위칭이 발생하며, 이때 dV_{OUT}/dV_{IN} 으로 표시되는 높은 이득 값과 high-level과 low-level 모두에서 잡음 여유를 충분히 얻을 수 있다 [3].

이온성 첨가제를 첨가한 PCDTPT 소자는 약 $3.0 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (-36.6 V)와 $2.05 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ (37.3 V)의 정공과 전자의 이동도(문턱전압)를 가지고 있기 때문에 비교적 균형을 이루는 P형과 N형 OFET로 구성된 인버터 회로를 제작할 수 있다. 그림 4(a)에서는 인버터 소자의 주입전압(input voltage, V_{IN})에 따른 출력전압(output voltage, V_{OUT}) 특성을 나타내며, $V_{DD} = -30 \sim -50$ V 조건에서 전형적인 Z-shape의 양극성 반도체에 의한 스위칭 특성을 보여 준다. 스위칭이 일어나는 지점(inverting point, V_{inv})은 -50 V의 V_{DD} 조건에서 약 -21 V로서 약 -4 V 정도 양(+)의 방향으로 이동된 것을 볼 수 있으며, 이는 P형 OFET의 이동도가 N형보다는 조금 높게 나타나기 때문이다. 하지만 이상적인 스위칭 지점인 -25 V와 큰 차

이가 나지는 않는데 이는 P형과 N형 트랜지스터의 이동도와 문턱전압이 비교적 잘 균형을 이루었기 때문에 가능하다. 그림 4(b)는 $V_{DD} = -50$ V에서 high-level (NM_H)과 low-level (NM_L)에서의 잡음 여유 값을 나타낸 것이다. NM_H 과 NM_L 은 각각 최댓값 대비 약 38.8%와 45.2%로서 회로의 신호 전달에 충분한 값을 확보하였다. 그림 4(c)는 여러 V_{DD} 조건에서 해당 인버터 소자가 갖는 이득 값을 보여주며, -50 V의 V_{DD} 에서 50 정도의 가장 높은 이득 값을 보였다.

이상적인 CMOS 인버터에 비해 양극성 반도체를 활용한 CMOS-like 인버터는 정적인(static) 상태에서 약 10 V의 비교적 큰 V_{OUT} 손실(loss)을 유발하는데, 이는 P형이나 N형 트랜지스터가 on 상태로 동작할 때 반대편 극성의 트랜지스터가 완전히 off 되지 못하고 상당량의 누설(leakage) 전류가 발생하기 때문이다. 이러한 누설 전류에 의한 V_{OUT} 손실과 그에 수반하는 소비 전력 증가는 양극성 반도체가 전자와 정공 모두를 운반할 수 있는 능력이 있는 데서 파생되는 문제이며, 인버터 소자에서는 개선되어야 하는 문제이다. 이를 해결하기 위해 소스/드레인 전극으로부터의 선택적인 전하 주입 특성 조절, 반도체와 절연체 사이의 계면에서 쌍극자 배열 방향 제어를 통한 선택적 전하 축적 유도 또는 반도체의 선택적 P도핑 혹은 N도핑 기술 등이 제시되어 활용되고 있다 [3]. 본 연구를 통해 제작된 인버터 소자에 대해서도 향후 이러한 방법들을 이용하여 개선된 특성의 인버터를 제작할 수 있을 것이다. 이를 통해 복잡한 패턴 공정이 배제된 저가의 단순 코팅 공정을 통해서도 구현 가능한 고성능 고집적 인쇄 전자 회로를 개발할 수 있을 것으로 기대된다.

4. 결론

본 논문에서는 이온성 첨가물인 NMe_4I 를 PCDTPT 고분자 반도체와 혼합하여 P형과 N형 특성이 모두 우수한 양극성 OFET를 제작하였다. 2.5 wt.%의 NMe_4I 농도와 200°C 열처리 조건에서 각각 최대 5.0과 3.0 $cm^2V^{-1}s^{-1}$ 이상의 높은 정공과 전자 이동도를 구현하였다. 이러한 소자 특성 향상은 소량의 이온성 첨가제 농도에서 반도체 박막에 함유된 여러 전하 트랩 작용을 억제하고 평탄하고 경직된 D-A 구조의 고분자 사슬을 상대적으로 낮은 온도에서 원활히 움직일 수 있게 도와 전하 이동에 적합한 분자 배열을 갖도록 유도했기 때문으로 해석된다. P형과 N형 OFET 특성이 균

형을 이루는 특성을 이용해 번거로운 반도체 채널 패턴 형성 공정 없이 단순 코팅 방법을 통해서도 CMOS 구조의 인버터 회로와 유사한 기능을 하는 CMOS-like 인버터 회로를 구현할 수 있었다. 향후 고성능 고집적 유연/인쇄 전자회로 개발에 활용될 수 있을 것으로 기대되며, 보다 높은 성능 향상을 통해 인쇄전자 기술을 활용한 고성능 집적회로 및 마이크로프로세서 등의 개발도 가능케 할 것으로 기대된다.

감사의 글

이 논문은 산업통상자원부의 국민안전증진기술개발사업(과제번호: 10065651), 산업핵심기술개발사업(과제번호: 10062694), 제조혁신전문인력양성사업(과제번호: N0001363), 과학기술정보통신부의 개인기초연구사업(과제번호: 2016R1C1B2014421) 연구 과제의 지원을 받아 연구되었음.

REFERENCES

- [1] Y. Guo, G. Yu, and Y. Liu, *Adv. Mater.*, **22**, 4427 (2010). [DOI: <https://doi.org/10.1002/adma.201000740>]
- [2] J. Zaumseil and H. Sirringhaus, *Chem. Rev.*, **107**, 1296 (2007). [DOI: <https://doi.org/10.1021/cr0501543>]
- [3] K. J. Baeg, M. Caironi, and Y. Y. Noh, *Adv. Mater.*, **25**, 4210 (2013). [DOI: <https://doi.org/10.1002/adma.201205361>]
- [4] Y. Zhao, Y. Guo, and Y. Liu, *Adv. Mater.*, **25**, 5372 (2013). [DOI: <https://doi.org/10.1002/adma.201302315>]
- [5] I. E. Jacobs and A. J. Moulé, *Adv. Mater.*, **29**, 1703063 (2017). [DOI: <https://doi.org/10.1002/adma.201703063>]
- [6] M. Kang, J. S. Yeo, W. T. Park, N. K. Kim, D. H. Lim, H. Hwang, K. J. Baeg, Y. Y. Noh, and D. Y. Kim, *Adv. Funct. Mater.*, **26**, 8527 (2016). [DOI: <https://doi.org/10.1002/adfm.201603617>]
- [7] A. Facchetti, *Chem. Mater.*, **23**, 733 (2011). [DOI: <https://doi.org/10.1021/cm102419z>]
- [8] L. L. Chua, J. Zaumseil, J. F. Chang, E.C.W. Ou, P.K.H. Ho, H. Sirringhaus, and R. H. Friend, *Nature*, **434**, 194 (2005). [DOI: <https://doi.org/10.1038/nature03376>]
- [9] H. Luo, C. Yu, Z. Liu, G. Zhang, H. Geng, Y. Yi, K. Broch, Y. Hu, A. Sadhanala, L. Jiang, P. Qi, Z. Cai, H. Sirringhaus, and D. Zhang, *Sci. Adv.*, **2**, e1600076 (2016). [DOI: <https://doi.org/10.1126/sciadv.1600076>]