

n-InGaAs MOSFETs을 위한 Pd 중간층을 이용한 Ni-InGaAs의 열 안정성 개선

이 맹¹, 신건호¹, 이정찬¹, 오정우², 이희덕^{1,a}

¹ 충남대학교 전자전파정보통신공학과

² 연세대학교 글로벌융합공학부 미래융합기술연구소

Improvement of Thermal Stability of Ni-InGaAs Using Pd Interlayer for n-InGaAs MOSFETs

Meng Li¹, Geonho Shin¹, Jeongchan Lee¹, Jungwoo Oh², and Hi-Deok Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon 34134, Korea

² Yonsei Institute of Convergence Technology, School of Integrated Technology, Yonsei University, Incheon 21983, Korea

(Received October 17, 2017; Revised January 3, 2018; Accepted January 10, 2018)

Abstract: Ni-InGaAs shows promise as a self-aligned S/D (source/drain) alloy for n-InGaAs MOSFETs (metal-oxide-semiconductor field-effect transistors). However, limited thermal stability and instability of the microstructural morphology of Ni-InGaAs could limit the device performance. The in situ deposition of a Pd interlayer beneath the Ni layer was proposed as a strategy to improve the thermal stability of Ni-InGaAs. The Ni-InGaAs alloy layer prepared with the Pd interlayer showed better surface roughness and thermal stability after furnace annealing at 570°C for 30 min, while the Ni-InGaAs without the Pd interlayer showed degradation above 500°C. The Pd/Ni/TiN structure offers a promising route to thermally immune Ni-InGaAs with applications in future n-InGaAs MOSFET technologies.

Keywords: MOSFET, Ni-InGaAs, n-In_{0.53}Ga_{0.47}As, Pd interlayer, Thermal stability

1. 서 론

실리콘 기반의 반도체 소자의 소형화가 공정의 한계에 다다르고 있다. 이러한 한계를 뛰어넘어 소자의 성능을 더욱 개선시키기 위하여 FinFET과 같은 3차원 구조나 새로운 기판 물질에 대한 연구가 활발하게 진행되고 있다 [1-5]. 특히 실리콘 기반 MOSFET의 소형화가 점차 어려워짐에 따라 높은 전자 이동도를 가지면서 상대적으로 낮은 누설 전류를 갖는 In_xGa_{1-x}As 기반 반

도체 소자와 같은 화합물 반도체(InGaAs MOSFET)가 Si MOSFET의 대안으로 각광을 받고 있다 [5-13].

고성능의 InGaAs MOSFETs에서는 몇 가지 해결해야 할 문제점이 있는데 그중 하나가 소스/드레인 영역의 셀프 얼라인 금속화 공정이다 [5]. Si MOSFETs에서 소스와 드레인의 기생저항을 줄이는 sailicide (self-aligned silicide) 공정처럼 고성능 InGaAs MOSFETs에서도 이런 셀프 얼라인 공정이 필요하다. 셀프 얼라인 공정이 가능한 물질들 중에서 Ni-InGaAs가 다른 물질보다 낮은 면저항 및 접촉저항을 가지고 있으며, 선택적 에칭이 가능한 장점을 갖고 있다 [14-17]. 이로 인해 Ni-InGaAs를 적용한 InGaAs MOSFETs에 관한 연구가 많이 보고되고 있다 [17-22]. 그러나 이러한 Ni-InGaAs는 취약한 열 안정성을 가지고 있으며, 소자의 후속공정 및

a. Corresponding author; hdlee@cnu.ac.kr

신뢰성에 악영향을 미칠 수 있다. 또한 Ni-InGaAs의 열 안정성에 대한 연구는 현재 매우 미비한 상태이다.

본 논문에서는 n형 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ -on-InP 기판에 형성되는 Ni-InGaAs의 열 안정성에 대해 분석하였고 이를 개선하기 위해 palladium 중간층 구조(Pd/Ni/TiN)를 제안하였다. Pd 층이 Si 및 Ge 반도체에 적용되는 니켈 합금(니켈 silicide, 니켈 germanide)의 열 안정성을 향상시킬 수 있다는 것은 기존에 보고되어 있다 [23,24]. 이와 유사하게 InGaAs 반도체에서도 Pd/Ni/TiN 구조로 Ni/TiN보다 좋은 열 안정성을 가지는 합금이 형성될 수 있는 가능성이 있는지 본 논문에서 실험을 진행하였다. 제안된 구조를 적용한 결과 Ni-InGaAs의 열 안정성이 매우 개선된 것을 확인할 수 있었다.

2. 실험 방법

2.1 시편 제작

본 실험을 위하여 n형 InP 웨이퍼 위에 MBE (molecular beam epitaxy)를 통해 150 nm 두께의 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 박막이 성장된 기판을 사용하였다. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 박막에 silicon 불순물이 첨가되었으며, 불순물 농도는 $1 \times 10^{17} \text{ cm}^{-3}$ 이다. 실험을 위한 과정을 그림 1에 간략하게 요약하였다. 희석된 암모니아수 용액을 이용하여 native oxide를 제거한 후, RF (radio frequency) sputter를 이용하여 Ni/TiN (15/10 nm) 또는 Pd/Ni/TiN (5/15/10 nm) 두 가지 구조를 증착하여 특성을 비교하였다. TiN 박막은 니켈의 산화를 방지시키는 보호막으로 사용된다 [25]. Ni-InGaAs는 350°C에서 30 초 동안 RTA (rapid thermal anneal)를 통해 형성하였다 [14-22]. 다음에 형성된 Ni-InGaAs 박막에서 반

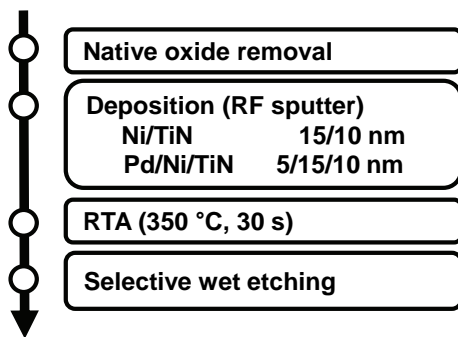


Fig. 1. Sample preparation procedure for experiment.

응하지 않은 니켈과 TiN 박막은 HCl 용액을 통하여 선택적으로 식각하였다. 마지막으로 Ni-InGaAs의 열 안정성을 분석하기 위해 질소 분위기의 furnace에서 온도에 따라 30분 동안 열처리(이하 annealing이라고 함)를 진행하였다.

2.2 Ni-InGaAs 특성 측정 및 분석

먼저항은 four point probe 방법으로 측정하였고 Ni-InGaAs의 형성은 XRD (X-ray diffraction)를 통해 확인하였다. Ni-InGaAs의 표면과 단면은 FE-SEM (field-emission scanning electron microscopy)을 이용하여 분석하였다. 관련 원소들의 depth profile은 SIMS (secondary ion mass spectrometry)를 통해 확인하였고 박막 표면의 거칠기는 AFM (atomic force microscopy)을 이용하여 분석하였다.

3. 결과 및 고찰

그림 2는 annealing 온도에 따른 Ni-InGaAs의 면저항 변화를 나타낸 것이다. Ni/TiN 구조인 경우의 면저항이 annealing 온도에 따라 크게 증가한 것을 확인할 수 있다. 500°C 및 550°C의 annealing 후의 면저항이 각각 24.77과 35.27 Ω/sq .로 annealing 전의 9.64 Ω/sq .보다 약 3~4배 증가하였고 이는 Ni-InGaAs 박막이 500°C 이전에서부터 열화하기 시작한 것을 알 수 있다. 하지만 제안된 Pd/Ni/TiN 구조에서는 600°C annealing까지 면저항이 일정한 것을 확인할 수 있으며, 이를 통해 제안한 구조에서 Ni/TiN 구조에 비해 열 안정성이 대폭 개선된 것을 확인할 수 있었다.

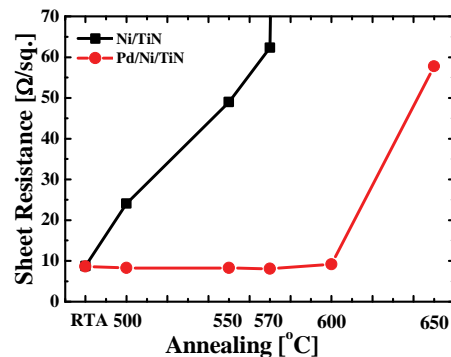


Fig. 2. Sheet resistance of Pd/Ni/TiN and Ni/TiN sample as a function of annealing temperature.

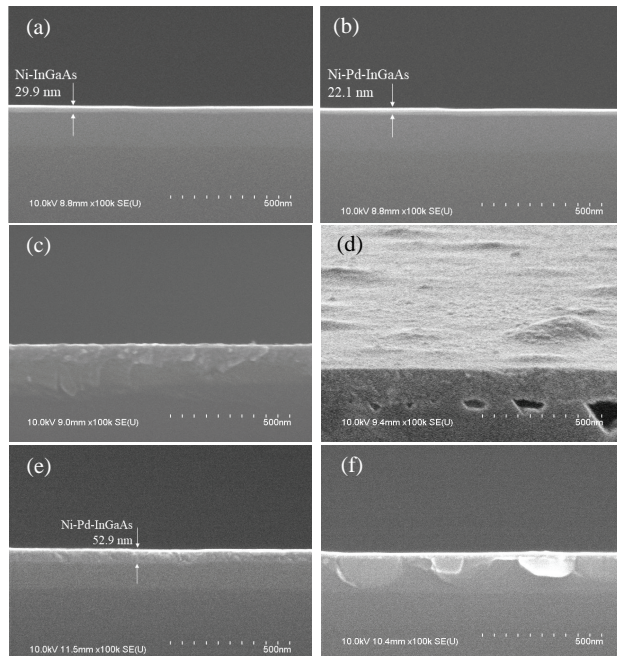


Fig. 3. Cross-sectional FE-SEM images of Ni-InGaAs layer. (a) Ni/TiN and (b) Pd/Ni/TiN after RTA, (c) 500°C and (d) 550°C annealing of Ni/TiN for 30 min, and (e) 570°C and (f) 600°C annealing of Pd/Ni/TiN for 30 min.

그림 3(a), (b)과 같이 RTA 후에 Ni/TiN 및 Pd/Ni/TiN 구조에서 모두 균일한 합금층이 형성된 것을 확인할 수 있다. 그러나 그림 3(c), (d)와 같이 Ni/TiN 구조의 경우 500°C annealing 후에 박막이 매끄럽지 못하고 응집현상이 발생하였고, 550°C에서 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 박막과 InP 기판 사이에 구멍이 생기는 심각한 열화가 발생한 것을 확인하였다. 이는 고온에서 InGaAs의 As 원자들이 다른 곳으로 이동하여 박막의 조성비가 달라질 수 있음을 나타낸다. 이를 통해 박막의 열화가 면저항의 증가를 일으킨 것을 알 수 있다. 반면에 그림 3(e)과 같이 Pd/Ni/TiN 구조의 경우 570°C의 annealing에서도 균일한 박막이 유지되는 것이 관찰되는데, 이를 통해 Pd/Ni/TiN 구조가 Ni/TiN 구조에 비해 열 안정성이 매우 우수하다고 판단할 수 있다. 그러나 Pd/Ni/TiN 구조가 그림 2에 나타난 것과 같이 600°C annealing에서도 낮은 면저항을 유지했음에도 불구하고 그림 3(f)과 같은 응집현상이 발생한 것을 확인하였다. 이는 Pd/Ni/TiN 구조의 열 안정성이 570°C까지 확보된다는 것을 나타낸다고 할 수 있다.

선택적 에칭 후 그림 4와 같이 표면 거칠기에 대해 AFM 분석을 진행하여 전기적 특성 변화와 유사한 특성

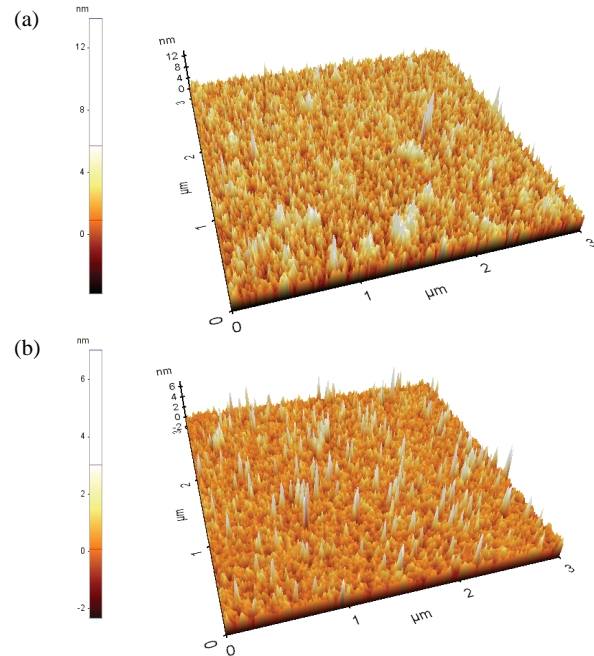


Fig. 4. Surface roughness analysis of Ni-InGaAs after RTA at 350°C for (a) Ni/TiN (RMS 1.495 nm) and (b) Pd/Ni/TiN (RMS 0.644 nm) by AFM.

을 나타내는지 분석하였다. AFM 분석 결과를 보면 그림 4와 같이 Ni/TiN 구조의 경우 표면 RMS (root mean square)는 1.495 nm이고, Pd/Ni/TiN 구조인 경우에는 0.644 nm로 제안한 Pd/Ni/TiN 구조에서 Ni/TiN 구조보다 표면 거칠기가 우수한 것을 알 수 있다. 실리사이드나 저나마이드와 같은 금속-반도체 화합물인 경우 위와 같이 표면 거칠기가 우수한 경우 대부분 전기적 특성도 우수한 것으로 보고되고 있다 [25,26].

그림 5는 선택적 에칭 후 Ni-InGaAs 및 기판 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 박막의 SIMS depth profile을 나타내고 있다. 그림 5(a)와 같이 Ni/TiN 구조의 경우 니켈이 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 박막으로 확산하고 반응하여 Ni-InGaAs 합금을 형성한 것을 관찰할 수 있다. 그림 5(b)에는 Pd 및 니켈이 기판 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 와 반응하여 Ni-Pd-InGaAs 합금을 형성하는 가능성이 있음을 알 수 있다. 흥미로운 것은 Pd가 Ni-InGaAs alloy의 표면과 아래 쪽에 pile-up 되어 있는 것이다. 특히 Ni-InGaAs와 InGaAs 경계에 pile-up 된 Pd가 열 안정성 개선에 많은 영향을 미치는 것으로 예상된다.

그림 6에서는 XRD 분석을 통하여 Ni/TiN 및 Pd/Ni/TiN 구조를 사용한 Ni-InGaAs 합금의 상변이를 분석하였다. 그림 6(a)와 같이 Ni/TiN 구조를 적용한

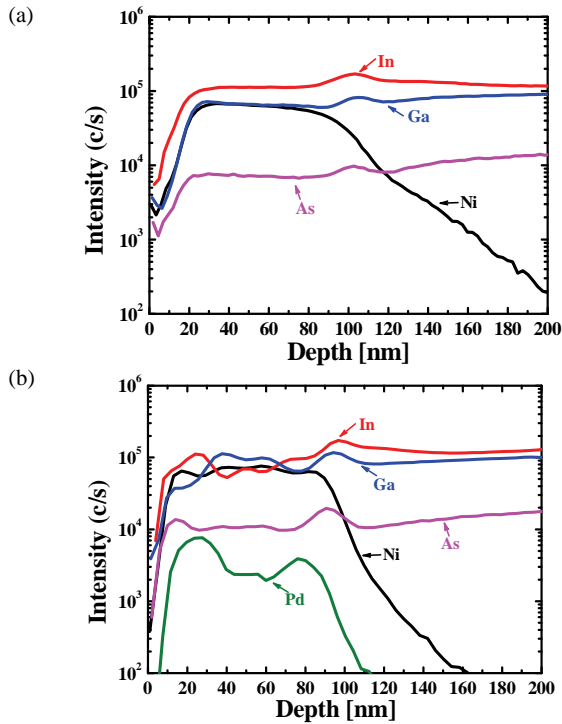


Fig. 5. Elemental depth profiles after RTA by SIMS: (a) Ni/TiN and (b) Pd/Ni/TiN.

경우 88.4°C에서 Ni-InGaAs의 상을 나타내는 피크를 확인할 수 있다 [14,22]. 반면에 Pd/Ni/TiN 구조에서는 시프트된 Ni-InGaAs의 피크가 85.1°C에서 관찰되었다. 이는 Pd/Ni/TiN 구조에서 Ni/TiN 구조와 다른 texture를 갖는 Ni-InGaAs 합금이 형성된 것을 의미한다. 31.2°C와 63.7°C의 기판 피크 외에는 Pd/Ni/TiN 구조에서 또 다른 39.6°C 및 57.4°C의 피크가 있는 것을 확인할 수 있다. 따라서 이 두 가지 피크가 Pd와 관련된 새로운 Ni-Pd-InGaAs 합금인 것을 예상할 수 있다. 그림 6(b)은 500°C annealing에서 Ni/TiN 및 Pd/Ni/TiN 구조의 상변이를 비교하여 나타낸 것이다. Ni/TiN 구조의 경우에는 그림 6(a)에서 확인되던 Ni-InGaAs의 피크가 사라졌으며, 기판의 피크 외에 결정이나 다결정 피크가 없는 것을 확인할 수 있다. 이를 통해 단결정 Ni-InGaAs 박막이 없어진 것은 물론이고 Ni-InGaAs 박막이 취약한 열 안정성을 가지고 있음이 입증되었다고 할 수 있다. 반면에 Pd/Ni/TiN 구조에서는 Ni-InGaAs 및 Ni-Pd-InGaAs 합금을 나타내는 피크의 강도가 annealing 후에 더욱 증가한 것을 확인할 수 있다. 이는 Pd/Ni/TiN 구조에서 500°C 이상의 annealing 후에도 박막의 결정 특성이 유지되고 Ni/TiN 구조에 비해 열 안정성이 크

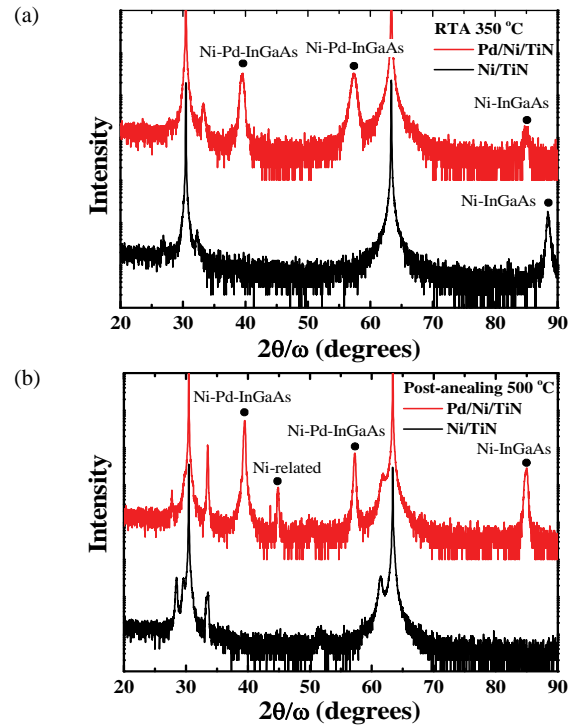


Fig. 6. XRD pattern of Ni/TiN and Pd/Ni/TiN (a) after RTA at 350°C for 30s and (b) after annealing at 500°C for 30 min.

게 향상된 것을 의미한다고 할 수 있다. 또한 44.9°C에서 니켈과 관련된 새로운 피크가 확인되었으며, 이와 관련된 정확한 결정 구조는 추가 분석을 통해 확인할 필요가 있다 [22].

4. 결론

본 논문에서는 Pd 중간층을 이용한 Pd/Ni/TiN 구조를 제안하여 Ni-InGaAs의 열 안정성 개선에 대한 연구를 진행하였다. 기존의 Ni/TiN 구조에서는 Ni-InGaAs alloy 형성 후 추가 annealing을 통해 Ni-InGaAs 박막이 500°C 이하에서는 취약한 열 안정성을 가지고 있음을 확인하였다. 반면에 본 논문에서 제안한 Pd 중간층을 이용하여 형성된 합금 박막은 Ni/TiN 구조보다 작은 표면 거칠기를 가지고 있고, 570°C annealing까지 낮은 면저항과 균일한 박막을 가짐으로써 Ni/TiN 구조에 비해 매우 우수한 열 안정성을 지닌 것을 확인하였다. 이러한 결과를 통해 Pd 중간층을 이용한 Ni-Pd-InGaAs 합금은 고성능 셀프 얼라인 InGaAs MOSFETs 기술에 적용 가능함을 확인하였다.

감사의 글

본 연구는 산업통상지원부(10048536)와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업의 연구결과로 수행되었음.

REFERENCES

- [1] S. K. Oh, H. S. Shin, M. H. Kang, G. W. Lee, and H. D. Lee, *J. Nanosci. Nanotechnol.*, **12**, 5347 (2012). [DOI: <https://doi.org/10.1166/jnn.2012.6304>]
- [2] M. Akazawa and H. Hasegawa, *J. Vac. Sci. Technol., B: Nanotechnol. Microelectron.: Mater. Process. Meas. Phenom.*, **26**, 1569 (2008). [DOI: <https://doi.org/10.1116/1.2952456>]
- [3] P. C. McIntyre, Y. Oshima, E. Kim, and K. C. Saraswat, *Microelectron. Eng.*, **86**, 1536 (2009). [DOI: <https://doi.org/10.1016/j.mee.2009.03.081>]
- [4] *International Technology Roadmap for Semiconductors*, <http://www.itrs2.net/> (2015).
- [5] J. A. del Alamo, *Nature*, **479**, 317 (2011). [DOI: <https://doi.org/10.1038/nature10677>]
- [6] S. Oktyabrsky and P. D. Ye, *Fundamentals of III-V Semiconductor MOSFETs* (Springer, New York, 2010) p. 19.
- [7] H. S. Shin, J. H. Yum, D. W. Johnson, H. R. Harris, T. W. Hudnall, J. Oh, P. Kirsch, W. E. Wang, C. W. Bielawski, S. K. Banerjee, J. C. Lee, and H. D. Lee, *Appl. Phys. Lett.*, **103**, 223504 (2013). [DOI: <https://doi.org/10.1063/1.4833815>]
- [8] J. Lin, L. Walsh, G. Hughes, J. C. Woicik, I. M. Povey, T. P. O'Regan, and P. K. Hurley, *J. Appl. Phys.*, **116**, 024104 (2014). [DOI: <https://doi.org/10.1063/1.4887517>]
- [9] V. Djara, K. Cherkaoui, M. Schmidt, S. Monaghan, É. O'Connor, I. M. Povey, D. O'Connell, M. E. Pemble, and P. K. Hurley, *IEEE Trans. Electron Dev.*, **59**, 1084 (2012). [DOI: <https://doi.org/10.1109/TED.2012.2185242>]
- [10] N. Taoka, M. Yokoyama, S. H. Kim, R. Suzuki, S. Lee, R. lida, T. Hoshii, W. Jevasuwan, T. Maeda, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, *Appl. Phys. Lett.*, **103**, 143509 (2013). [DOI: <https://doi.org/10.1063/1.4824474>]
- [11] Y. Xuan, Y. Q. Wu, H. C. Lin, T. Shen, and P. D. Ye, *IEEE Electron Device Lett.*, **28**, 935 (2007). [DOI: <https://doi.org/10.1109/LED.2007.906436>]
- [12] Y. Xuan, H. C. Lin, P. D. Ye, and G. D. Wilk, *Appl. Phys. Lett.*, **88**, 263518 (2006). [DOI: <https://doi.org/10.1063/1.2217258>]
- [13] T. D. Lin, H. C. Chiu, P. Chang, L. T. Tung, C. P. Chen, M. Hong, J. Kwo, W. Tsai, and Y. C. Wang, *Appl. Phys. Lett.*, **93**, 033516 (2008). [DOI: <https://doi.org/10.1063/1.2956393>]
- [14] S. Mehari, A. Gavrilov, S. Cohen, P. Shekhter, M. Eizenberg, and D. Ritter, *Appl. Phys. Lett.*, **101**, 072103 (2012). [DOI: <https://doi.org/10.1063/1.4746254>]
- [15] Ivana, J. Pan, Z. Zhang, X. Zhang, H. Guo, X. Gong, and Y. C. Yeo, *Appl. Phys. Lett.*, **99**, 012105 (2011). [DOI: <https://doi.org/10.1063/1.3607959>]
- [16] L. Czornomaz, M. E. Kazzi, M. Hopstaken, D. Caimi, P. Mächler, C. Rossel, M. Bjoerk, C. Marchiori, H. Siegwart, and J. Fompeyrine, *Solid-State Electron.*, **74**, 71 (2012). [DOI: <https://doi.org/10.1016/j.sse.2012.04.014>]
- [17] S. H. Kim, M. Yokoyama, R. Nakane, O. Ichikawa, T. Osada, M. Hata, M. Takenaka, and S. Takagi, *IEEE Trans. Electron Dev.*, **60**, 3342 (2013). [DOI: <https://doi.org/10.1109/TED.2013.2279363>]
- [18] X. Zhang, H. Guo, X. Gong, Q. Zhou, Y. R. Lin, H. Y. Lin, C. H. Ko, C. H. Wann, and Y. C. Yeo, *Electrochem. Solid-State Lett.*, **14**, H60 (2011). [DOI: <https://doi.org/10.1149/1.3516213>]
- [19] X. Zhang, H. X. Guo, X. Gong, and Y. C. Yeo, *ECS J. Solid State Sci. Technol.*, **1**, P82 (2012). [DOI: <https://doi.org/10.1149/2.014202jss>]
- [20] S. Kim, M. Yokoyama, N. Taoka, R. Nakane, T. Yasuda, O. Ichikawa, N. Fukuhara, M. Hata, M. Takenaka, and S. Takagi, *IEEE Trans. Electron Dev.*, **60**, 2512 (2013). [DOI: <https://doi.org/10.1109/TED.2013.2270558>]
- [21] X. Zhang, H. Guo, H. Y. Lin, Ivana, X. Gong, Q. Zhou, Y. R. Lin, C. H. Ko, C. H. Wann, and Y. C. Yeo, *Electrochem. Solid-State Lett.*, **14**, H212 (2011). [DOI: <https://doi.org/10.1149/1.3559754>]
- [22] X. Zhang, Ivana, H. X. Guo, X. Gong, Q. Zhou, and Y. C. Yeo, *J. Electrochem. Soc.*, **159**, H511 (2012). [DOI: <https://doi.org/10.1149/2.060205jes>]
- [23] Y. J. Kim, S. Y. Oh, J. G. Yun, W. J. Lee, Y. Y. Zhang, Z. Zhong, S. Y. Jung, H. H. Ji, H. S. Cha, Y. C. Kim, J. S. Wang, and H. D. Lee, *IEEE Trans. Nanotechnol.*, **6**, 431 (2007). [DOI: <https://doi.org/10.1109/TNANO.2007.897084>]
- [24] Y. Y. Zhang, J. Oh, I. S. Han, Z. Zhong, S. G. Li, S. Y. Jung, K. Y. Park, H. S. Shin, W. H. Choi, H. M. Kwon, W. Y. Loh, P. Majhi, R. Jammy, and H. D. Lee, *IEEE Trans. Electron Dev.*, **56**, 348 (2009). [DOI: <https://doi.org/10.1109/TED.2008.2010593>]
- [25] H. S. Shin, S. K. Oh, M. H. Kang, S. G. Li, G. W. Lee, and H. D. Lee, *J. Nanosci. Nanotechnol.*, **11**, 5628 (2011). [DOI: <https://doi.org/10.1166/jnn.2011.4387>]
- [26] M. H. Kang, H. S. Shin, S. K. Oh, J. H. Yoo, G. W. Lee, J. W. Oh, P. Majhi, R. Jammy, and H. D. Lee, *J. Nanosci. Nanotechnol.*, **11**, 5633 (2011). [DOI: <https://doi.org/10.1166/jnn.2011.4327>]