

중성자 조사한 4H-SiC MOSFET의 열처리에 의한 전기적 특성 변화

이태섭¹, 안재인¹, 김소망¹, 박성준¹, 조슬기^{1,3}, 주기남², 조만순², 구상모^{1,a}

¹ 광운대학교 전자재료공학과

² 한국원자력연구원

³ 고려대학교 전기전자공학과

The Electrical Properties of Post-Annealing in Neutron-Irradiated 4H-SiC MOSFETs

Taeseop Lee¹, Jae-In An¹, So-Mang Kim¹, Sung-Joon Park¹, Seulki Cho^{1,3}, Kee-Nam Choo²,
 Man-Soon Cho², and Sang-Mo Koo^{1,a}

¹ Department of Electronic Materials Engineering, Kwangwoon University, Seoul 01897, Korea

² Korea Atomic Energy Research Institute, Daejeon 34057, Korea

³ Department of Electrical Engineering, Korea University, Seoul 02841, Korea

(Received January 18, 2018; Revised February 20, 2018; Accepted February 21, 2018)

Abstract: In this work, we have investigated the effect of a 30-min thermal anneal at 550°C on the electrical characteristics of neutron-irradiated 4H-SiC MOSFETs. Thermal annealing can recover the on/off characteristics of neutron-irradiated 4H-SiC MOSFETs. After thermal annealing, the interface-trap density decreased and the effective mobility increased in terms of the on-characteristics. This finding could be due to the improvement of the interfacial state from thermal annealing and the reduction in Coulomb scattering due to the reduction in interface traps. Additionally, in terms of the off-characteristics, the thermal annealing resulted in the recovery of the breakdown voltage and leakage current. After the thermal annealing, the number of positive trapped charges at the MOSFET interface was decreased.

Keywords: 4H-SiC, Neutron irradiation, Thermal annealing, DMOSFET

1. 서론

최근, 반도체의 고에너지 입자선의 영향에 대한 연구가 실행되며, 탄화규소(SiC)가 넓은 에너지 갭(wide band-gap, ~3.26 eV)을 가지는 물질로 기존의 반도체 물질의 한계점을 보완할 수 있는 물질로 각광받고 있다. SiC는 실리콘(Si)과 탄소(C)의 큰 결합에너지를 가지기 때문에 방사선 입자에 대한 저항성이 크고 화학적·물리적으로 안정하며 높은 전력 범위를 가지고 고

온에서도 동작이 가능하여 전자·군사·우주 분야 등 방사능이 적용되는 사업 등에 적용 가능하다. 그러므로 SiC를 이용한 소자의 효율을 높이기 위해 다양한 연구 개발이 진행되고 있다 [1-10].

고방사선 환경에서 금속 산화물 반도체(metal-oxide-semiconductor field effect transistor, MOSFET) 소자의 원하는 동작 특성을 얻기 위해, 중성자(neutron)와 양성자(proton)가 조사되었을 때, 반도체 물질 및 소자에 미치는 특성 분석에 관한 연구가 활발히 진행되고 있다. 중성자가 조사되면 MOS 구조에 interface trap과 oxide-trap charge가 생성되고, 양성자가 조사되면 감마선 결함이 발생한다 [11,12]. 그러나 이러한 결함과 interfacial state의 상세한 연구는 부족한 실정이다.

따라서 본 연구에서는 4H-SiC DMOSFET에 중성자를

a. Corresponding author; smkoo@kw.ac.kr

조사한 후, 게이트 산화막의 interface trap과 oxide-rap charge의 형성을 확인하고, 열처리를 통하여 특성을 개선하였다. 소자의 문턱 전압(threshold voltage)과 누설 전류(leakage current), 항복 전압(breakdown voltage), 유효 이동도(effective mobility)의 확인을 통해 전기적 특성이 개선된 것을 확인하였다.

2. 실험 방법

N-type 4H-SiC 기판($N_D = 5 \times 10^{18} \text{ cm}^{-3}$)에 드리프트 층(drift layer, $N_D = \sim 5 \times 10^{15} \text{ cm}^{-3}$)을 $6 \mu\text{m}$ 성장시킨 웨이퍼를 사용하여 DMOSFET을 제작하였다(그림 1). 이온 주입법을 통해 P-well 영역과 N+영역, P+영역의 도핑 농도를 각각 $\sim 3 \times 10^{17} / \text{cm}^3$ 과 $\sim 1 \times 10^{19} / \text{cm}^3$, $\sim 1 \times 10^{19} / \text{m}^3$ 으로 형성하였다. 제작한 DMOSFET을 $1,700^\circ\text{C}$ 에서 N_2O 분위기에서 120분 동안 게이트 산화막을 성장시켰고, SiO_2 와 SiC 계면 특성을 개선하기 위해 $1,175^\circ\text{C}$ 에서 180분 동안 후속 열처리를 해 주었다. 소스와 드레인 전극은 니켈(Ni) 100 nm 를 e-beam evaporation으로 형성한 후, 950°C 에서 N_2 분위기에서 90초 동안 급속 열처리(rapid thermal annealing, RTA)하여 저항성 접촉(ohmic contact)을 형성하였다. 중성자 조사는 상온에서 $3.1 \times 10^{10} \text{ n/cm}^2$ 의 세기로 60초 동안 한국 원자력 연구원(Korea Atomic Energy Research)의 하나로(Advanced Neutron Application Reactor)를 이용하여 중성자 조사를 진행하였다. 마지막으로, 제작된 DMOSFET을 550°C 에서 30분 동안 열처리하여 중성자 조사 후 열처리되지 않은 소자와 전기적 성질을 비교하였다. 제작된 소자의 도핑을 확인하기 위해 SIMS 분석을 하였고, 소자의 전기적 특성을 비교·분석하기 위

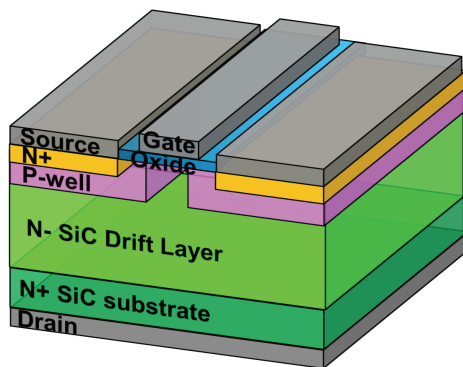


Fig. 1. Schematic view of the fabricated 4H-SiC.

하여 반도체 분석 장비인 KEITHLEY 4200을 이용하여 current-voltage(I-V)와 capacitance-voltage(C-V)를 측정한 후에 문턱 전압과 항복 전압을 비교하였다. 추가적으로 DMOSFET의 interface-trap density와 전하 유효 이동도를 추출하여 확인하였다.

3. 결과 및 고찰

SiC 소재를 이용하여 4H-SiC DMOSFET을 제작하였다. 그 후, 중성자 조사를 하여 조사 후와 후속 열처리한 소자의 전기적 특성을 비교하고, 열처리가 소자에 미치는 영향을 확인하였다.

그림 2는 제작한 소자의 SIMS (secondary ion mass spectroscopy) 측정으로 중성자 조사로 인한 인(phosphorus)의 도핑 농도 증가를 확인하였다. (a)는 중성자 조사 전의 DMOSFET이며, (b)는 중성자 조사 후의 DMOSFET이다. SIMS 측정으로 중성자 조사 후에

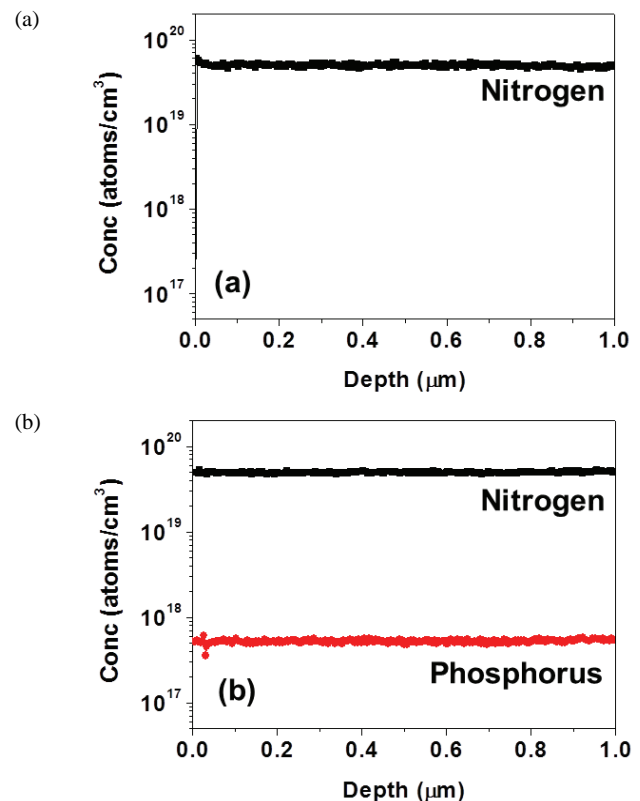


Fig. 2. SIMS measurements of the fabricated 4H-SiC DMOSFETs. The doping concentration of the phosphorus was increased after the neutron irradiation: (a) reference and (b) post-neutron irradiation.

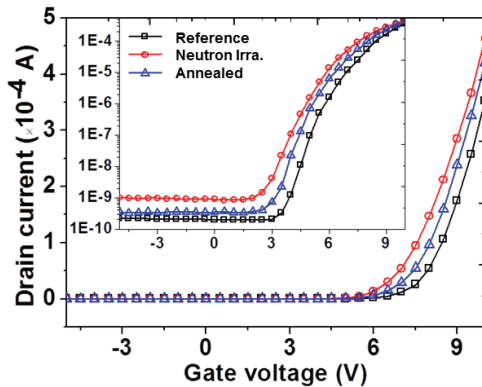


Fig. 3. Transfer characteristics of the DMOSFETs after the neutron irradiation and thermal annealing. The inset shows the log scale I_D - V_G curves.

n-type 도펀트인 인이 형성되어 도핑 농도가 증가함을 확인하였다. N-type 드리프트 층에 도핑 농도가 증가하였고, P-well의 실질적인 도핑 농도는 감소시켜, 문턱 전압과 항복 전압 변화에 기인하였다.

중성자 조사된 4H-SiC DMOSFET 소자의 열처리 전후 transfer 특성을 그림 3에 나타내었다. 중성자 조사 소자는 중성자 조사에 의해 게이트 산화막 내부에 전자-정공 쌍이 생성될 수 있으며, 인가된 전압에 의해 전자는 상대적으로 빠른 속도로 산화막 외부로 이동한다. 반면, 정공은 산화막 내부에 남아 표면의 준위를 생성시켜 소자 성능을 저하시키는 주요 원인이 될 수 있다. 이와 관련하여 문턱 전압은 초기의 소자보다 ~ 0.8 V만큼 낮은 전압에서 형성되었다고 판단된다 [3]. 중성자 조사 후 열처리를 가한 소자는 열처리하지 않은 중성자 조사 소자보다 ~ 0.5 V 높은 문턱 전압을 가지는 것을 확인하였다. 소자의 Sub-threshold swing이 중성자에 조사된 후, 약 0.64 V/decade에서 0.95 V/decade로 증가한 것으로 보아, 이 과정에서 interface trap이 형성됨을 확인하였다. 누설 전류가 초기의 소자에 비하여 ~ 4.5 배 증가되었으며, 후속 열처리 과정을 통하여 누설 전류는 개선되었다.

그림 4는 실온에서 소자의 output 특성을 나타내었다. 초기의 소자, 중성자 조사 소자, 중성자 조사 후 열처리한 소자에 동일한 게이트 전압을 가하면 초기의 소자보다 남은 두 개의 소자들은 높은 드레인 전류가 측정되지만, 열처리한 소자는 중성자 조사만 가한 소자에 비하여 낮은 드레인 전류가 흐른다. 또한, 중성자 조사 후에 DMOSFET의 게이트 산화막에 형성된 interface trap과 oxide-trap charge가 열처리함으로써 문턱 전

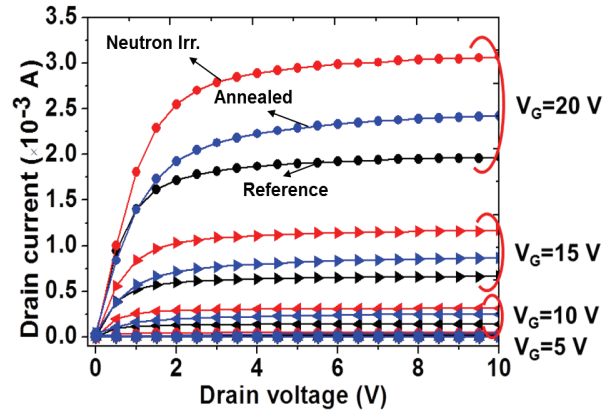


Fig. 4. Output characteristics of the SiC DMOSFETs after the neutron irradiation and thermal annealing.

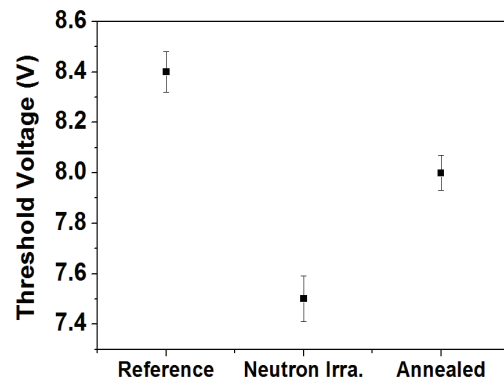


Fig. 5. Threshold voltage of the fabricated DMOSFETs after the neutron irradiation and thermal annealing. The threshold voltage was recovered after the thermal annealing.

압이 소폭 상승하고 드레인 전류가 감소함을 확인하였다(그림 5).

Interface-trap density(D_{it})는 C-V 측정을 통해 도출하여 그림 6에 나타내었다. DMOSFET를 중성자 조사 결과, D_{it} 가 $\sim 24\%$ 증가하였으며, 열처리를 가함에 따라 $\sim 9\%$ 감소하였다.

그림 7은 제작된 DMOSFET의 유효 이동도를 나타낸다. 방사선이 조사되면 계면에서 방사선 유도 전하가 coulomb-scattering center를 생성하기 때문에 채널의 전하 이동도에 영향을 줄 수 있기 때문에 유효 이동도가 감소한다. 하지만 열처리 공정을 추가하면 D_{it} 가 감소함에 따라 유효 이동도가 증가함을 보인다. 중성자 조사 후, 방사선과 격자의 충돌에 의하여 전자-정공 쌍이 생성될 수 있다. 이는 산화막과 SiC 계면

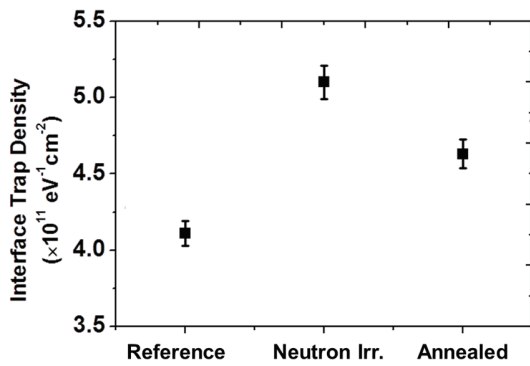


Fig. 6. The interface-trap density of the fabricated DMOSFETs after the neutron irradiation and thermal annealing, extracted from C-V measurements.

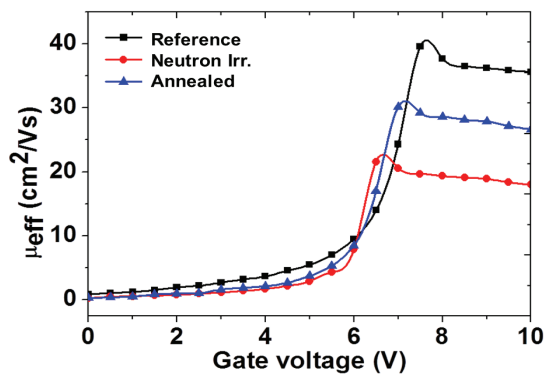


Fig. 7. Effective mobility of the carriers in the n-channel for the SiC DMOSFETs.

근방에서 trapping을 일으켜 계면 trap을 형성하고, 채워진 trap에 의하여 반전층에서 이동하는 전하들의 coulomb-scattering가 발생한다.

중성자 조사된 DMOSFET의 항복 전압은 ~2배 가까이 감소되었고, 열처리 후에 증가되는 것을 그림 8에 나타내었다. 중성자 조사의 영향으로 oxide-trap charge가 생성되어, n-channel DMOSFET의 항복 전압은 감소됐다. 방사선은, 영향은 이온화 효과와 변위에 의한 손상으로 설명되지만 변위에 의한 손상의 영향력은 거의 무시할 만한 수준으로 이온화 효과에 의해 다음과 같은 전기적 특성 변화가 생성된다 [6,13]. 중성자 조사에 의해 소자에 oxide-trap charge와 interface trap이 생성되고, 양전하를 가지는 oxide-trap charge는 550°C 열처리에 의해 감소되기 때문에 다음과 같이 항복 전압이 개선되었음을 알 수 있었다. 이러한 열처리에 의

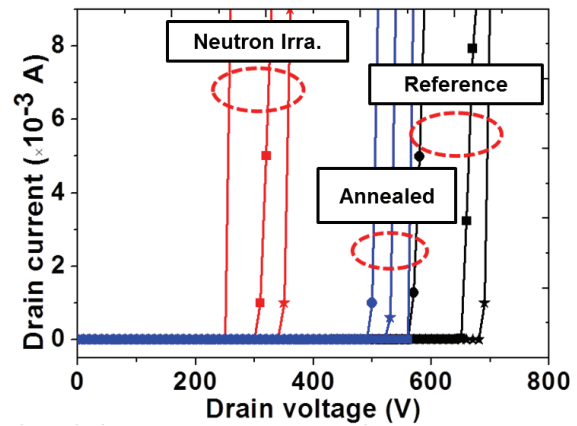


Fig. 8. Off-characteristics of the SiC DMOSFETs before and after the neutron irradiation. The breakdown voltage after the thermal annealing is also indicated.

한 동작은 밴드 갭의 표면 전위에 따라 변화할 것으로 예상된다.

4. 결론

본 연구에서는 중성자 조사된 4H-SiC MOSFET 소자에 열처리 공정을 더하여 전기적 특성을 비교 분석하였다. $3.1 \times 10^{10} \text{ n/cm}^2$ 의 세기로 중성자 조사된 4H-SiC DMOSFET의 열처리 전후를 평가하였으며, 중성자 조사를 진행하고 열처리하지 않은 경우에 SiC 소자 내부에 n-type 도핑 농도가 증가하여 문턱 전압과 항복 전압이 이동하였다. 중성자 조사에 의해 산화막 내부에 생성될 수 있는 전자-정공 쌍 가운데 산화막에 남은 정공들이 표면 준위와 연계하여 소자 특성을 변화시킬 수 있으며, 이를 열처리함으로써 문턱 전압과 항복 전압이 개선됨을 확인하였다. 순방향 드레인 전류는 감소하고 이러한 결과는 중성자 조사에 의해 생성된 interface trap과 interfacial state를 열처리 공정으로 조절할 수 있음을 나타낸다.

감사의 글

본 연구는 한국전기연구원 주요사업(No.17-12-N0101-35)과 원자력연구기반확충사업(2014M2B2A4032086), 한국연구재단의 지원(2015R1D1A1A01056596, 2015K1A3A1A59074209), 한전 기초전력연구원 전력기초(R

17XA05-60)의 지원 및 한국산업기술평가관리원(KEIT)의 지원(10080321)을 통해 연구 개발된 결과임을 밝힙니다.

REFERENCES

- [1] A. Saha and J. A. Cooper, *IEEE Trans. Electron Dev.*, **54**, 2786 (2007). [DOI: <https://doi.org/10.1109/ted.2007.904577>]
- [2] H. Morkoç, S. Strite, G. B. Gao, M. E. Lin, B. Sverdlov, and M. Burns, *J. Appl. Phys.*, **76**, 1363 (1994). [DOI: <https://doi.org/10.1063/1.358463>]
- [3] L. A. Franks, B. A. Brunett, R. W. Olsen, D. S. Walsh, G. Vizkelethy, J. I. Trombka, B. L. Doyle, and P. B. James, *Nucl. Instrum. Methods Phys. Res., Sect. A*, **428**, 95 (1999). [DOI: [https://doi.org/10.1016/S0168-9002\(98\)01585-X](https://doi.org/10.1016/S0168-9002(98)01585-X)]
- [4] R. C. Baumann, *IEEE Trans. Device Mater. Reliab.*, **5**, 305 (2005). [DOI: <https://doi.org/10.1109/tdmr.2005.853449>]
- [5] N. Seifert, B. Gill, K. Foley, and P. Relangi, *Proc. 2008 IEEE International Reliability Physics Symposium* (IEEE, Phoenix, USA, 2008) p. 181.
- [6] T. R. Oldham and F. B. McLean, *IEEE Trans. Nucl. Sci.*, **50**, 483 (2003). [DOI: <https://doi.org/10.1109/tns.2003.812927>]
- [7] T. Heijmen, P. Roche, G. Gasiot, and K. R. Forbes, *IEEE Trans. Device Mater. Reliab.*, **7**, 84 (2007). [DOI: <http://doi.org/10.1109/TDMR.2007.897517>]
- [8] P. Jayavel, K. Santhakumar, and J. Kumar, *Phys. B*, **315**, 88 (2002). [DOI: [https://doi.org/10.1016/s0921-4526\(01\)01104-8](https://doi.org/10.1016/s0921-4526(01)01104-8)]
- [9] B. M. Wilamowski, *Solid-State Electron.*, **26**, 491 (1983). [DOI: [https://doi.org/10.1016/0038-1101\(83\)90106-5](https://doi.org/10.1016/0038-1101(83)90106-5)]
- [10] B. J. Baliga, *IEEE Electron Device Lett.*, **5**, 194 (1984). [DOI: <https://doi.org/10.1109/edl.1984.25884>]
- [11] J. Vig and J. LeBus, *IEEE Trans. Parts, Hybrids, Packag.*, **12**, 365 (1976). [DOI: <https://doi.org/10.1109/tphp.1976.1135156>]
- [12] Y. Suzue, T. Manaka, and M. Iwamoto, *Jpn. J. Appl. Phys.*, **44**, 561 (2005). [DOI: <https://doi.org/10.1143/jjap.44.561>]
- [13] M. Tominaga, N. Hirata, and I. Taniguchi, *Electrochem. Commun.*, **7**, 1423 (2005). [DOI: <https://doi.org/10.1016/j.elecom.2005.09.025>]