

# 무접합 원통형 MOSFET에 대한 드레인 유도 장벽 감소의 SPICE 모델

정학기<sup>a</sup>

군산대학교 전자공학과

## SPICE Model of Drain Induced Barrier Lowering in Junctionless Cylindrical Surrounding Gate (JLCSG) MOSFET

Hak Kee Jung<sup>a</sup>

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

(Received March 5, 2018; Revised March 14, 2018; Accepted March 19, 2018)

**Abstract:** We propose a SPICE model of drain-induced barrier lowering (DIBL) for a junctionless cylindrical surrounding gate (JLCSG) MOSFETs. To this end, the potential distribution in the channel is obtained via the Poisson equation, and the threshold voltage model is presented for the JLCSG MOSFET. In a JLCSG nano-structured MOSFET, a channel radius affects the carrier transfer as well as the channel length and oxide thickness; therefore, DIBL should be expressed as a function of channel length, channel radius, and oxide thickness. Consequently, it can be seen that DIBLs are proportional to the power of -3 for the channel length, 2 for the channel radius, 1 for the thickness of the oxide film, and the constant of proportionality is 18.5 when the SPICE parameter, the static feedback coefficient  $\eta$ , is between 0.2 and 1.0. In particular, as the channel radius and the oxide film thickness increase, the value of  $\eta$  remains nearly constant.

**Keywords:** Junctionless cylindrical surrounding, Threshold voltage, DIBL, Static feedback coefficient

### 1. 서론

트랜지스터의 미세화는 집적회로의 고속 동작 및 저전력소비, 집적도 향상 등 수많은 장점을 가져오기 때문에 단채널 효과에 의한 성능 저하에도 불구하고 많은 연구가 진행되고 있다 [1]. 그러나 트랜지스터의 미세화로 발생하는 단채널 효과가 심각한 수준을 나타내므로 기존의 MOSFET는 미세화에 한계를 나타내고 있다. 이러한 문제점을 해결하기 위하여 개발된 소자가 다중게이트 MOSFET이다. 다중게이트 MOSFET는 게이트 전압이 채널 내 포텐셜 분포에 미치는 영향을 극

대화하여 채널 내 캐리어 전송에 대한 제어 능력을 향상시키는 구조로 개발되고 있다. 그중에서도 FinFET는 채널 주위에 3개의 게이트를 형성하는 구조로써 현재 메이저급 반도체 업체에서 집적회로를 제작하기 위하여 사용하고 있다 [2]. 뿐만 아니라 채널을 원통 형태로 제작하여 게이트 단자를 채널주위를 둘러싼 형태로 제작하는 원통형구조는 게이트 단자에 의한 캐리어 제어능력을 극대화한 구조로 많은 연구가 진행되고 있다. 특히 트랜지스터 크기가 나노단위로 미세화하면서 소스/드레인과 채널 간 이종 불순물 도핑에 의한 급격한 도핑분포의 변화를 피하기 위하여 무접합 원통형 (junctionless cylindrical surrounding gate, JLCSG) MOSFET의 전송모델 및 공정에 대한 연구가 활발히 진행되고 있다 [3]. 궁극적으로 JLCSG MOSFET를 이용한 집적회로를 설계하기 위하여 SPICE용 모델이 요구될 것이다. 이미 발표한 논문에서 이중게이트 MOSFET에

a. Corresponding author; [hkjung@kunsan.ac.kr](mailto:hkjung@kunsan.ac.kr)

Copyright ©2018 KIEEME. All rights reserved.  
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

대한 DIBL의 SPICE 모델을 제시하였다 [4]. 그러므로 본 논문에서는 JLCSG MOSFET의 집적회로 설계에서 사용 가능한 드레인 유도 장벽 감소(drain induced barrier lowering, DIBL)  $\sigma_D$ 의 SPICE 모델을 제시하고자 한다.

## 2. 실험 방법

### 2.1 JLCSG MOSFET의 문턱전압 모델

JLCSG MOSFET의 경우는 문턱전압 이하 영역에서 채널이 완전 결핍상태(fully depleted)를 나타내며 문턱전압에서 채널은 부분 결핍상태(partially depleted)가 되어 일부 형성된 중성영역으로 전류가 흐르면서 온상태의 특성을 나타낸다. 더욱 전압이 증가하여 평탄전압에 도달하면 채널 전 영역이 중성상태가 된다. Hu 등은 이러한 특성을 나타내는 JLCSG MOSFET의 문턱전압 모델을 이용하여 DIBL을 유도하였으며 Li 등은 문턱전압 이하에서의 전류모델 등을 제시하였다 [5,6]. 본 논문에서는 상기 모델을 발전시켜 새로운 문턱전압 모델을 제시할 것이며 이 모델을 이용하여 채널크기 및 산화막 두께에 대하여 DIBL의 변화를 관찰하고 SPICE에서 사용할 수 있는 DIBL 모델을 제시할 것이다. 특히 DIBL을 나타내는  $\sigma_D$ 의 SPICE 파라미터인 정적 귀환 상수(static feedback coefficient)  $\eta$ 가 합당한 값을 갖도록 모델을 설정함으로써 SPICE에서 사용할 수 있는 JLCSG MOSFET의 DIBL 모델을 제시하고자 한다.

그림 1에 JLCSG 구조의 MOSFET를 도시하였다. 그림 1에서 알 수 있듯이 JLCSG 구조는 채널이 원통형 구조이며 소스/드레인과 채널 간 동일한 도핑형태와 농도를 갖는 무접합 구조인 경우로써 본 연구에서는  $N_d = 10^{19}/cm^3$ 을 사용하였으며 소스/드레인 영역은  $10^{20}/cm^3$ 을 사용하였다. 구조상 대부분의 캐리어는 채널의 중심을 통하여 전송될 것이며 포아송 방정식을 이용하여 채널 내 전위를 구하였다. 채널 길이는 10 nm에서 50 nm, 채널반지름은 5 nm에서 8 nm, 그리고 산화막 두께는 1 nm에서 3 nm 사이에 대하여 계산하였다. 구조상 상하 대칭이므로  $0 < r < R$ 의 영역에서 다음과 같은 포아송방정식을 이용하여 전위분포  $\phi$ 를 구한다.

$$\frac{\partial^2 \phi}{\partial r^2} + \frac{1}{r} \frac{\partial \phi}{\partial r} + \frac{\partial^2 \phi}{\partial z^2} = \frac{-qN_d}{\epsilon_{si}} \left[ 1 - \exp\left\{ \frac{q(\phi - \phi_f)}{kT} \right\} \right] \quad (1)$$

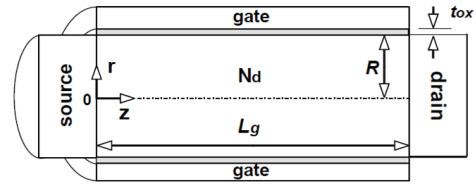


Fig. 1. Schematic cross sectional diagram of junctionless cylindrical surrounding gate (JLCSG) MOSFET.

여기서  $\phi_f$ 는 페르미전위이며  $k$ 는 볼츠만 상수,  $T$ 는 절대 온도이다. 완전 결핍상태로 가정하면 식 (1)의 우변 괄호의 두 번째 항은 0이 되므로 Trivedi 등의 유도 방법을 이용하여 정리하면 전위분포는 다음과 같다 [7].

$$\phi(r, z) = \phi(r=0, z) + r^2 C_{ox} \left( \frac{V_g - V_{fb} - \phi_R}{2\epsilon_{si} R} \right) \quad (2)$$

$$\phi(r=0, z) = Ae^{z/\lambda} + Be^{-z/\lambda} + \eta$$

$$\phi_R = \left\{ \frac{4\epsilon_{si}\phi(r=0, z) + 2R(V_g - V_{fb})}{4\epsilon_{si} + 2RC_{ox}} \right\}$$

$$D = e^{-L_g/\lambda} - e^{L_g/\lambda}$$

$$A = \frac{(\phi_{bi} - \eta)(e^{-L_g/\lambda} - 1) - V_d}{D}$$

$$B = \frac{(\phi_{bi} - \eta)(1 - e^{L_g/\lambda}) - V_d}{D}$$

$$\lambda = \sqrt{(4\epsilon_{si}t_{si} + t_{si}^2 C_{ox})/16C_{ox}}$$

$$\eta = V_g - V_{fb} + qN_d t_{si} / 4C_{ox} + qN_d t_{si}^2 / 16\epsilon_{si}$$

여기서  $C_{ox}$ 는 게이트 산화막 커패시턴스,  $V_{fb}$ 는 평탄전압,  $V_g$ 는 게이트 전압,  $\epsilon_{si}$ 는 실리콘의 유전율,  $\phi_{bi}$ 는 소스/드레인과 채널 간의 전위장벽,  $t_{si}$ 는 채널의 지름을 나타낸다. JLCSG MOSFET의 경우 완전결핍상태에서 부분 결핍상태로 전환되는 게이트 전압이 문턱전압이 되므로 식 (1)의 우변 괄호안의 두 번째 항을 거의 0으로 수렴하는 조건을 구한다. 이때  $\phi - \phi_f$ 가  $-\infty$ 라면 이상적인 완전 결핍조건일 것이다. 그러나 실제 이러한 값을 갖기는 불가능하므로 본 논문에서는 충분히 위의 조건을 근사할 수 있는  $\phi - \phi_f = -10 kT/q$ 의 값을 사용하였다. 또한 JLCSG MOSFET의 경우 대부분의 캐리어는 중심을 통하여 전송되기 때문에 중심전위가 최소일 때의  $z = z_{min}$  값을 이용하여 문턱전압 조건을 구하면

$$\phi(0, z_{min}) = \phi_f - 10kT/q \quad (3)$$

이며 식 (1)의 중심전위 식을 이용하여 문턱전압  $V_{th}$ 를

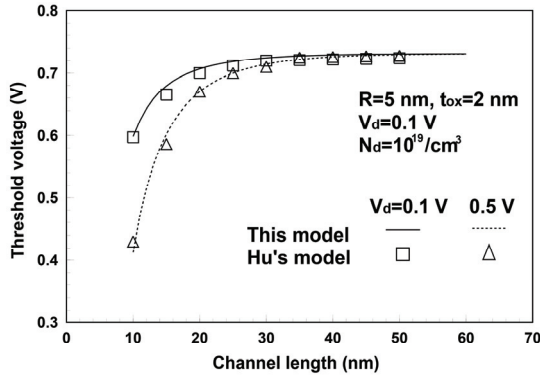


Fig. 2. Comparison with threshold voltages of this model and Hu's model for channel length under given conditions.

해석학적으로 구하면 다음과 같다.

$$V_{th} = \frac{\left[ \frac{D(\phi_f - 10kT/q) + V_d \times}{(e^{z_{min}/\lambda} - e^{-z_{min}/\lambda}) - G\phi_{bi}} \right]}{(D - G)} + V_{fb} - H \quad (4)$$

$$G = [(e^{-L_g/\lambda} - 1)e^{z_{min}/\lambda} + (1 - e^{L_g/\lambda})e^{-z_{min}/\lambda}]$$

$$H = \frac{2qN_dR}{4C_{ox}} + \frac{4qN_dR^2}{16\epsilon_{si}}$$

$$z_{min} = \frac{\lambda}{2} \ln \frac{B}{A}$$

여기서 그림 1에서 알 수 있듯이  $R$ 은 채널의 반지름이며  $L_g$ 는 채널 길이를 나타낸다.

식 (4)를 이용하여 구한 문턱전압을 Hu 등의 모델을 이용하여 구한 결과와 그림 2에 비교하였다. 그림 2에서 Hu's 모델은 Hu 등이 제시한 해석학적 모델을 이용한 문턱전압의 결과이다. 그림 2에서 알 수 있듯이 본 논문의 결과와 잘 일치하는 것을 관찰할 수 있다.

## 2.2 JLCSG MOSFET의 DIBL 모델

일반적으로 DIBL은 채널의 크기 및 산화막 두께에 따른 변수로 표현하며 SPICE에서는 이러한 변수와 정적 궤환 상수  $\eta$ 를 이용하여 표현하고 있다. 기존의 MOSFET에서  $\eta$ 는 일반적으로 0.7의 값을 이용하여 시뮬레이션하고 있다. 본 논문에서는 JLCSG MOSFET의 경우, 합당한  $\eta$  값의 범위에서 채널 크기 및 산화막 두께에 의존하는 DIBL의 SPICE 모델을 제시하고자 한다. JLCSG MOSFET에서는 기존의 MOSFET와 달리 채널 전체 영역의 크기가 완전 결핍상태에서 부분결핍

상태로 전환되는 변수로 작용한다. 즉, 채널 크기 전체가 캐리어 전송에 영향을 미치기 때문에 채널 길이뿐만 아니라 채널 반지름도 캐리어 전송에 영향을 미칠 것이다. 기존의 MOSFET에서는 채널 길이에 대하여  $L_g^{-3}$ 에 비례한다고 알려져 있다 [8]. 또한 이미 발표한 논문에서 나노구조 이중게이트 MOSFET의 경우 채널 두께 2층에 비례하였다 [4]. 그러므로 본 논문에서는 상기 언급한 변수들을 전부 포함한 다음과 같은 식으로 DIBL 현상인  $\sigma_D$ 를 표현하였다.

$$\sigma_D = \{V_{th}(V_d = 0.1 V) - V_{th}(V_d = 0.5 V)\} / 0.4 \quad (5)$$

$$= A \eta t_{ox} L_g^{-3} R^2$$

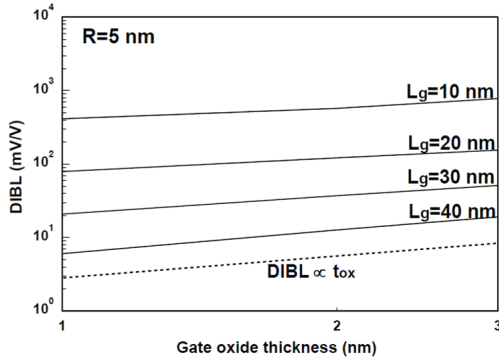
식 (5)의 JLCSG MOSFET의 경우,  $\eta$ 의 범위를 0과 1 사이의 값을 갖도록 SPICE DIBL 모델을 유도하였다.

## 3. 결과 및 고찰

### 3.1 JLCSG MOSFET의 SPICE DIBL 모델

본 논문에서 제시한 식 (4)의 문턱전압 모델의 타당성은 그림 2에서 입증하였으므로 식 (4)를 이용하여 드레인 전압 0.1 V와 0.5 V에서 문턱전압을 구하여 DIBL 값을 구하였으며 채널 길이, 채널 반지름 그리고 산화막 두께에 대한 DIBL의 변화를 관찰하여 SPICE 모델을 제시하고자 한다.

먼저 채널 길이를 파라미터로 하여 게이트 산화막 두께에 대한 DIBL의 변화를 그림 3에 도시하였다. 그림 3에서 알 수 있듯이 채널 반지름은 5 nm, 채널 길이는 10~40 nm, 그리고 산화막 두께는 1 nm에서 3 nm까지의 변화 값을 사용하였다.  $x$ 축 변수에 대한  $y$ 축 변수의 변화를 직관적으로 파악하기 위하여 그림 3과 같이 대수-대수 그래프를 이용하였다. 이와 같은 그래프에서는  $x-y$  관계가 직선으로 나타나기 때문에 직선의 기울기를 이용하면 승수를 파악하기 용이할 것이다. 채널 반지름은 채널 길이의 1/2 이하 값으로 유지하였다. 기존의 MOSFET에서와 동일하게 산화막 두께에 선형적으로 비례하는 것을 그림 3에서 관찰할 수 있다. 특히 채널 길이에 관계없이 게이트 산화막 두께에 대한 DIBL의 선형성을 관찰할 수 있었다. 산화막 두께에 선형적이므로 결국 게이트 산화막 커패시턴스  $C_{ox}$ 에 반비례할 것이다. 즉,  $C_{ox}$ 가 증가하면 게이트

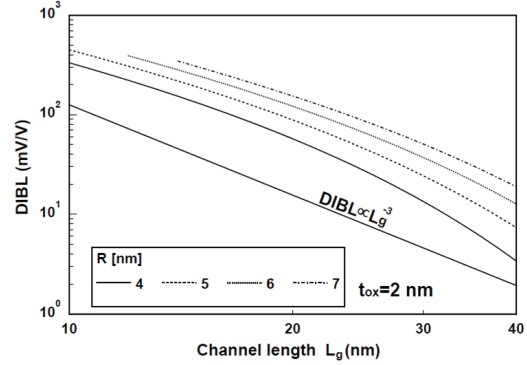


**Fig. 3.** DIBLs for gate oxide thickness with channel length as a parameter for JLCSG MOSFET. Dotted line denotes proportional line for power of 1 for gate oxide thickness.

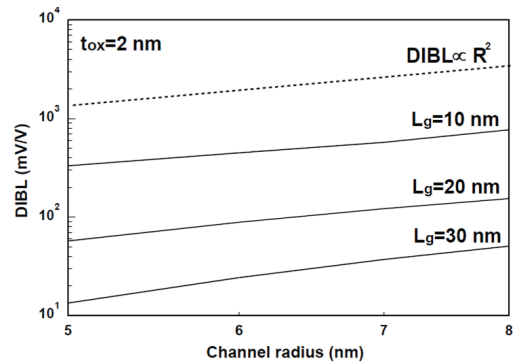
전압의 채널 내 캐리어 전송에 미치는 영향을 더욱 크게 차폐할 것이므로 게이트 전압의 캐리어 전송 제어 능력은 약화될 것이다.  $C_{ox}$ 의 증가 즉, 산화막 두께의 감소에 따라 문턱전압은 덜 영향을 받을 것이므로 DIBL도 감소할 것이다. 그러므로 식 (5)에서 DIBL을 표현하는  $\sigma_D$ 에서  $t_{ox}$ 에 1승에 비례한다는 가정은 합당하다고 사료된다.

그림 3에서 채널 길이가 증가하면 DIBL은 감소한다는 것을 관찰할 수 있다. 채널 길이에 대한 DIBL의 변화를 상세히 관찰하기 위하여 채널 반지름을 파라미터로 한 DIBL의 변화를 그림 4에 도시하였다. 이때 산화막 두께는 2 nm, 채널 반지름은 전술한 바와 같이  $L_g > 2R$ 인 구간을 만족하는 4 nm에서 7 nm 사이의 값을 이용하였다. 계산한 채널 길이의 영역에서 DIBL의 변화는  $L_g^{-3}$ 에 대체적으로 일치하면서 변화하는 것을 알 수 있다. 특히 채널 길이가 감소할수록  $L_g^{-3}$ 에 더욱 근접하게 비례하며 채널 길이가 증가할수록  $L_g^{-3}$ 에 비례 정도가 불일치하는 것을 관찰할 수 있다. 그러나 식 (5)에 표현한 바와 같이 정적 귀환 상수  $\eta$ 를 0과 1 사이의 값으로 조정하면 채널 길이에 대한 DIBL의 변화를 식 (5)로 충분히 표현할 수 있을 것이다. 그림 4에서 알 수 있듯이 채널 반지름이 작아질수록 DIBL은 감소한다. 그러나  $L_g^{-3}$ 에 비례하는 정도는 채널 반지름이 감소할수록 작아진다는 것을 관찰할 수 있었다. 채널 반지름이 7 nm까지 증가하면 채널 길이에 관계없이  $L_g^{-3}$ 에 매우 근접하게 비례하는 것을 관찰할 수 있다.

채널 반지름은 JLCSG MOSFET에서 채널의 폭을 결



**Fig. 4.** DIBLs for channel length with channel radius as a parameter for JLCSG MOSFET. Solid line denotes proportional line for power of -3 for channel length.



**Fig. 5.** DIBLs for channel radius with channel length as a parameter for JLCSG MOSFET. Dotted line denotes proportional line for power of 2 for channel radius.

정하는 요소이며 채널 반지름이 작아지면 채널의 단면적 전체가 캐리어 이동의 통로가 될 것이다. 그러므로 캐리어가 전송될 때 JLCSG MOSFET의 채널 수직 면적이 전류에 영향을 미칠 것이다. 수직면은 채널 반지름의 2승에 비례하므로 결국 전송특성도 채널 반지름의 2승에 비례할 것이다. 이와 같은 물리적 개념을 토대로 채널 반지름의 변화에 대한 DIBL의 변화를 상세히 관찰하기 위하여 채널 길이를 파라미터로 구한 DIBL을 그림 5에 도시하였다. 그림 5에서 알 수 있듯이 DIBL은 채널 반지름의 2승에 비례하는 것을 관찰할 수 있다. 또한 이러한 관계는 채널 길이에 무관하게 항상 성립한다는 것을 그림 5에서 관찰할 수 있다.

이상의 결과에서 알 수 있듯이 식 (5)는 합당한 관계식이라는 것을 관찰할 수 있다. 일반적으로 식 (5)에서 SPICE 파라미터는  $\eta$ 이다.  $A$ 는  $\eta$ 의 변화 범위를 가장 작게 유지하기 위하여 설정한다. 먼저 식 (5)에서 10 nm ≤

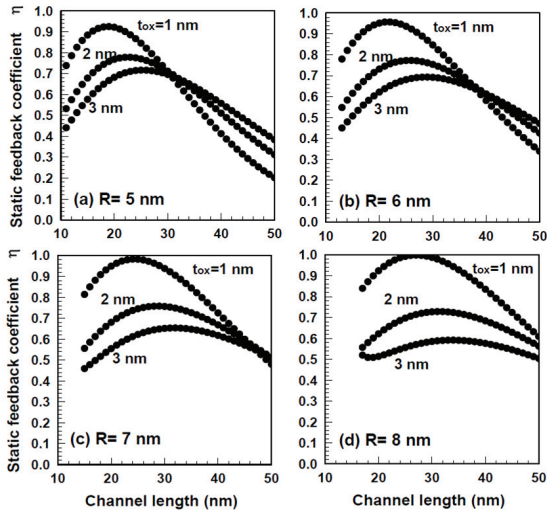


Fig. 6. Static feedback coefficients for channel length with channel radius and gate oxide thickness as parameters.

$L_g \leq 50 \text{ nm}$ ,  $5 \text{ nm} \leq R \leq 8 \text{ nm}$  그리고  $1 \text{ nm} \leq t_{ox} \leq 3 \text{ nm}$ 의 범위에서  $A\eta$  값을 구하고 최댓값을  $A$ 로 설정하여  $\eta$ 의 범위를 0와 1 사이의 값을 갖도록 하였다. 이와 같이 구한  $A$  값은 18.5였다. 그러므로 JLCSG MOSFET의 DIBL 모델은

$$\sigma_D = 18.5\eta L_g^{-3} R^2 t_{ox} \quad (6)$$

와 같이 구할 수 있다. 식 (6)을 이용하여 전술한 채널 크기 및 산화막 두께의 범위에서 구한 정적 궤환 상수  $\eta$ 를 그림 6에 도시하였다. 그림 6에서 알 수 있듯이  $\eta$ 는 0.2에서 1.0 사이의 값을 나타내고 있었다. 채널 반지름이 작을수록  $\eta$ 의 변동률은 증가하였으며 산화막 두께 역시 감소할수록  $\eta$ 의 변동률은 증가하였다. 그러므로 채널 반지름이 8 nm이며 산화막 두께가 3 nm 정도인 JLCSG MOSFET의 경우  $\eta$ 는 0.5에서 0.6 사이의 값을 가질 정도로 일정한 값을 나타내고 있었다. 이상의 결과에서 식 (6)은 JLCSG MOSFET의 DIBL 현상을 충분히 표현할 수 있는 SPICE DIBL 모델이라고 사료된다.

#### 4. 결론

본 논문에서는 JLCSG MOSFET에 대한 SPICE DIBL

모델을 제시하였다. SPICE DIBL 모델의 파라미터는 정적 궤환 상수  $\eta$ 이므로  $\eta$ 가 SPICE 시뮬레이션에서 사용 가능한 범위를 나타내도록 모델 식을 구성하였다. 이를 위하여 포아송방정식으로부터 유도된 전위분포를 사용하여 문턱전압을 유도하였으며 이 문턱전압의 타당성을 타 논문과 비교하여 입증하였다. 결과적으로 DIBL을 표현하는  $\sigma_D$ 는 채널 길이에 -3승, 채널 반지름에 2승 그리고 산화막 두께에 1승에 비례하는 것을 알 수 있었으며 비례상수는 18.5인 것을 알 수 있었다. 이때 SPICE 파라미터인 정적 궤환 상수  $\eta$ 를  $10 \text{ nm} \leq L_g \leq 50 \text{ nm}$ ,  $5 \text{ nm} \leq R \leq 8 \text{ nm}$  그리고  $1 \text{ nm} \leq t_{ox} \leq 3 \text{ nm}$ 의 범위에서 구한 결과  $0.2 < \eta < 1.0$ 의 범위에서 움직이는 것을 알 수 있었으며 채널 반지름과 산화막 두께가 증가할수록  $\eta$ 의 변동률은 매우 감소하여  $R=8 \text{ nm}$ ,  $t_{ox}=3 \text{ nm}$ 에서는 채널 길이에 관계없이 거의 일정한 값을 나타내었다. 이와 같은 결과는 JLCSG MOSFET를 이용한 회로 시뮬레이션 시 유용하게 사용할 수 있다고 사료된다.

#### REFERENCES

- [1] H. Bu, *5 Nanometer Transistors Inching Their Way into Chips*, <https://www.ibm.com/blogs/think/2017/06/5-nanometer-transistors/> (2017).
- [2] P. H. Vora and R. Lad, *A Review Paper on CMOS, SOI and FinFET Technology*, <https://www.design-reuse.com/articles/41330/cmos-soi-finfet-technology-review-paper.html> (2017).
- [3] K. P. Pradhan, M. R. Kumar, S. K. Mohapatra, and P. K. Sahu, *Ain Shams Eng. J.*, **6**, 1171 (2015). [DOI: <https://doi.org/10.1016/j.asej.2015.04.009>]
- [4] H. Jung, *J. Korea Inst. Inf. Commun. Eng.*, **21**, 1465 (2017). [DOI: <https://doi.org/10.6109/jkiice.2017.21.8.1465>]
- [5] G. Hu, P. Xiang, Z. Ding, R. Liu, L. Wang, and T. A. Tang, *IEEE Trans. Electron Dev.*, **61**, 688 (2014). [DOI: <https://doi.org/10.1109/TED.2013.2297378>]
- [6] C. Li, Y. Zhuang, S. Di, and R. Han, *IEEE Trans. Electron Dev.*, **60**, 3655 (2013). [DOI: <http://doi.org/10.1109/TED.2013.2281395>]
- [7] N. Trivedi, M. Kumar, S. Haldar, S. S. Deswal, M. Gupta, and R. S. Gupta, *Int. J. Numer. Model.*, **29**, 1036 (2016). [DOI: <https://doi.org/10.1002/jnm.2162>]
- [8] S. Dimitrijević, *Principles of Semiconductor Devices*, 2<sup>nd</sup> ed. (Oxford University Press, New York, 2012) p. 453.