

대칭형 무접합 이중게이트 MOSFET에서 스케일 길이를 이용한 문턱전압 이하 스윙 모델

정학기 

군산대학교 전자공학과

Subthreshold Swing Model Using Scale Length for Symmetric Junctionless Double Gate MOSFET

Hak Kee Jung

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

(Received January 13, 2021; Revised January 25, 2021; Accepted February 1, 2021)

Abstract: We present a subthreshold swing model for a symmetric junctionless double gate MOSFET. The scale length λ_1 required to obtain the potential distribution using the Poisson's equation is a criterion for analyzing the short channel effect by an analytical model. In general, if the channel length L_g satisfies $L_g > 1.5\lambda_1$, it is known that the analytical model can be sufficiently used to analyze short channel effects. The scale length varies depending on the channel and oxide thickness as well as the dielectric constant of the channel and the oxide film. In this paper, we obtain the scale length for a constant permittivity (silicon and silicon dioxide), and derive the relationship between the scale length and the channel length satisfying the error range within 5%, compared with a numerical method. As a result, when the thickness of the oxide film is reduced to 1 nm, even in the case of $L_g < \lambda_1$, the analytical subthreshold swing model proposed in this paper is observed to satisfy the error range of 5%. However, if the oxide thickness is increased to 3 nm and the channel thickness decreased to 6 nm, the analytical model can be used only for the channel length of $L_g > 1.8\lambda_1$.

Keywords: Junction-based, Junctionless, Subthreshold swing, Scale length, Silicon thickness, Oxide thickness

1. 서론

트랜지스터의 크기가 점차 작아져 나노단위에 이르고 있다. 이때 발생하는 2차 효과 때문에 이를 감소시키기 위한 트랜지스터의 구조가 개발되었으며 FinFET 등 다중게이트 MOSFET는 가장 실용화된 3차원 트랜지스터 구조로 알려져 있다 [1,2]. 이와 같이 채널 길이가 나노 단위까지 감소하면서 기존의 일차원적인 해

석방법은 사용할 수 없게 되었으며 이차원적 해석에 의하여 채널 내 전위분포와 캐리어 전송특성을 분석하고 있다. 그러나 이차원적 해석은 복잡성과 분석의 어려움 때문에 해석학적 전송모델을 구하고자 많은 연구가 진행되고 있다 [3,4]. 해석학적 전송모델을 유도하기 위하여 첫 항 근사(first order approximation)가 필요하며 이때 산화막 두께, 실리콘 두께 등에 따라 근사할 수 있는 채널 길이의 범위가 제한되고 있다. 즉, 첫 항 근사에 의하여 구한 스케일 길이 λ_1 만을 이용하여 구한 해석학적 모델들의 타당성은 채널 길이, 실리콘 두께와 산화막 두께의 상호관계에 의하여 결정된다. 나노단위 소자에서는 문턱전압이동, 드레인유기장벽감소 및 문턱전압 이하 스윙 등 단채널효과 등에 의하여

✉ Hak Kee Jung; hkjung@kunsan.ac.kr

Copyright ©2021 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

소자의 성능이 결정되고 있으며 이를 해석하기 위한 다양한 모델들이 제시되고 있다 [5,6]. 기존의 논문에서 채널 길이와 스케일 길이의 비 L_g/λ_1 이 1.5~2.0 사이에서 해석학적 모델의 타당성이 나타나고 있다. Xie 등은 $L_g \geq 1.5\lambda_1$ 의 범위를 만족하는 채널 길이 25 nm 무접합 이중게이트(junctionless double gate, JLDG) MOSFET에 대하여 문턱전압 등을 해석하였다 [7]. 뿐만 아니라 Liang 등은 접합형 이중게이트(junction-based double gate, JBDG) MOSFET에서 L_g/λ_1 의 비에 따라 문턱전압 이하 스윙의 해석학적 모델과 이차원 시뮬레이션 값을 비교 고찰하였다 [8]. 또한 이미 발표한 논문에서 Xie 등의 모델을 이용하여 JBDG MOSFET에 대한 스케일 길이 λ_1 과 채널 길이의 관계를 문턱전압 이하 스윙의 관점에서 고찰하였다 [9]. 이에 본 논문에서는 Xie 등의 전위 모델을 기반으로 JLDG MOSFET의 문턱전압 이하 스윙의 해석학적 모델을 첫 항 근사를 이용하여 유도하고 이때 사용한 스케일 길이를 이용하여 본 논문에서 제시한 해석학적 모델을 사용할 수 있는 채널 길이, 실리콘 두께 및 산화막 두께의 관계를 제시하고자 한다.

2. 실험 방법

2.1 JLDG MOSFET의 해석학적 문턱전압 이하 스윙 모델

그림 1에 본 논문에서 사용한 JLDG MOSFET의 단면도를 도시하였다. 그림 1에서도 알 수 있듯이 채널 길이가 짧아질수록 x 방향의 전위분포 변화를 무시할 수 없으므로 2차원적인 해석이 필요하다. 이때 산화막 두께 및 실리콘 두께 변화에 따른 채널 내 전위분포의 변화는 채널 내 캐리어 전송에 큰 영향을 미칠 것이다.

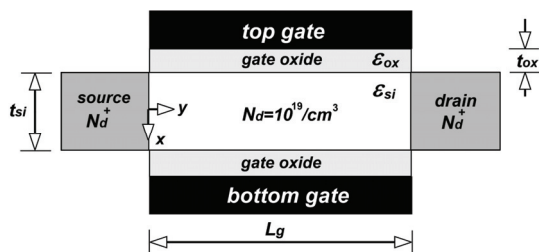


Fig. 1. Schematic cross sectional diagram of JLDG MOSFET.

소스와 드레인은 n^+ 로 고농도 도핑하였으며 채널은 $N_d = 10^{19} / \text{cm}^3$ 으로 고도핑하였다. 게이트는 일함수가 ϕ_m 인 금속을 사용하였으며 ϵ_{ox} 는 SiO_2 산화막의 유전율, ϵ_{si} 는 실리콘의 유전율 L_g 는 게이트 길이, t_{si} 는 실리콘 두께, t_{ox} 는 산화막 두께를 표시한다. Xie 등이 유도한 전위 분포는 다음과 같은 급수형태로 표현할 수 있다 [7].

$$\phi(x, y) = -\frac{qN_d x^2}{2\epsilon_{si}} + V_{gs} - \Delta\phi + \frac{qN_d t_{si}^2}{8\epsilon_{si}} \left(1 + \frac{4\epsilon_{si} t_{ox}}{\epsilon_{ox} t_{si}} \right) + \sum_{n=1}^{\infty} \frac{b_n \sinh[\pi(L_g - y)/\lambda_n] + c_n \sinh(\pi y/\lambda_n)}{\sinh(\pi L_g/\lambda_n)} \cos(\pi x/\lambda_n) \quad (1)$$

여기서 b_n 과 c_n 은 이미 발표한 논문 [10]에 표기되어 있으며 E_g 는 실리콘의 에너지밴드 갭, V_{ds} 는 드레인 전압, V_{gs} 는 게이트 전압, $\Delta\phi$ 는 게이트 금속과 채널 간 일함수 차, ϕ_0 는 $x=y=0$ 에서의 중심전위이며 λ_n 은 다음과 같은 고유방정식을 만족하는 고유값으로서 λ_1 을 스케일 길이라 한다 [7].

$$\epsilon_{si} \tan(\pi t_{ox}/\lambda_n) - \epsilon_{ox} \cot(\pi t_{si}/2\lambda_n) = 0 \quad (2)$$

대칭형 이중게이트 MOSFET의 경우, 고유값은 n 이 홀수인 경우만 0이 아니므로 $\lambda_1, \lambda_3, \lambda_5 \dots$ 등을 식 (1)에 대입하여 전위 분포를 구할 수 있다. 일반적으로 $L_g > 1.5\lambda_1$ 인 경우 단채널 효과를 분석할 때 $n=1$ 인 경우만으로도 충분하다는 것이 발표되고 있다 [7,8]. 본 논문에서는 단지 λ_1 만을 사용하여 JLDG MOSFET에 대한 해석학적 문턱전압 이하 스윙 모델을 제시하고 이 모델을 적용할 수 있는 채널 길이와 실리콘 두께 그리고 산화막 두께의 관계를 유도하고자 한다. 문턱전압 이하 스윙의 해석학적 모델을 구하기 위하여 스케일 길이 λ_1 만을 사용하였다. 먼저 $n=1$ 인 경우 식 (1)을 다시 쓰면 다음과 같다.

$$\phi(x, y) = A + B \sinh[\pi(L_g - y)/\lambda_1] + C \sinh(\pi y/\lambda_1) \quad (3)$$

$$A = -\frac{qN_d x^2}{2\epsilon_{si}} + V_{gs} - \Delta\phi + \frac{qN_d t_{si}^2}{8\epsilon_{si}} \left(1 + \frac{4\epsilon_{si} t_{ox}}{\epsilon_{ox} t_{si}} \right)$$

$$B = \frac{b_1}{\sinh(\pi L_g/\lambda_1)} \cos(\pi x/\lambda_1)$$

$$C = \frac{c_1}{\sinh(\pi L_g/\lambda_1)} \cos(\pi x/\lambda_1)$$

문턱전압 이하 스윙은 드레인 전류 변화에 대한 계

이트 전압 변화를 나타내는 척도로써 드레인 전류를 구성하는 전자밀도를 $n \approx N_d e^{q\phi_{\min}/kT}$ 와 같은 볼츠만분포로 근사할 수 있다면 다음과 같은 식으로 표현할 수 있다.

$$SS = \frac{\partial V_{gs}}{\partial \log I_{ds}} = \ln(10) \left(\frac{kT}{q} \right) \left(\frac{\partial \phi_{\min}}{\partial V_{gs}} \right)^{-1} \quad (4)$$

여기서 k 는 볼츠만 상수, T 는 절대온도이다. 이때 ϕ_{\min} 을 구하기 위하여 $\partial \phi(x, y)/\partial y = 0$ 을 만족하는 $y = y_{\min}$ 값을 구하여 식 (3)에 대입하면 ϕ_{\min} 값을 구할 수 있다. 이와 같이 구한 y_{\min} 값은 다음과 같다 [10,11].

$$y_{\min} = \left(\frac{\lambda_1}{\pi} \right) \cosh^{-1} \sqrt{U} \quad (5)$$

$$U = \frac{b_1^2}{b_1^2 - [b_1 \coth(\pi L_g / \lambda_1) - c_1 \operatorname{csch}(\pi L_g / \lambda_1)]^2}$$

또한 JBDG MOSFET와 달리 JLDG MOSFET의 경우 대부분의 캐리어는 채널의 중심을 통하여 이동하므로 식 (3)에서 x 값은 0을 사용하였다. 즉, 식 (3)에 $y = y_{\min}$ 과 $x = 0$ 를 대입하면 ϕ_{\min} 을 구할 수 있다. 이와 같이 구한 ϕ_{\min} 을 V_{gs} 에 대하여 미분하여 식 (4)에 대입하면 JLDG MOSFET에 대한 문턱전압 이하 스윙 SS를 해석학적으로 구할 수 있다. 본 논문에서는 식 (4)의 타당성을 관찰할 것이다. 식 (1)에서 n 이 1이 아닌 경우 해석학적 모델의 문턱전압 이하 스윙을 구하기 어려우므로 문턱전압 이하 스윙의 정의에서 직접 문턱전압 이하 스윙을 구하기 위하여 다음과 같은 드레인 전류-게이트 전압의 관계를 이용하였다.

$$I_{ds} = \frac{n_i \mu_n W k T \left(1 - \exp\left(\frac{-q V_{ds}}{k T}\right) \right)}{\int_0^{L_g} \frac{1}{\int_{-t_{si}/2}^{t_{si}/2} \exp\left(\frac{q\phi(x, y)}{k T}\right) dx} dy} \quad (6)$$

여기서 W 는 채널 폭으로써 본 논문에서는 채널 길이와 동일한 값을 사용하였다. μ_n 은 전자이동도이다.

식 (6)을 이용하여 구한 드레인 전류와 게이트 전압 간의 관계를 그림 2에 도시하였다. 그림 2에서 알 수 있듯이 채널 길이가 15 nm 정도까지 감소할 경우, n 에 따라 드레인전류-게이트전압 관계는 큰 변화를 보이고 있다. 그러나 문턱전압 이하 스윙의 척도인 기울기는 큰 변화를 보이고 있지 않았다. 채널 길이가 40 nm

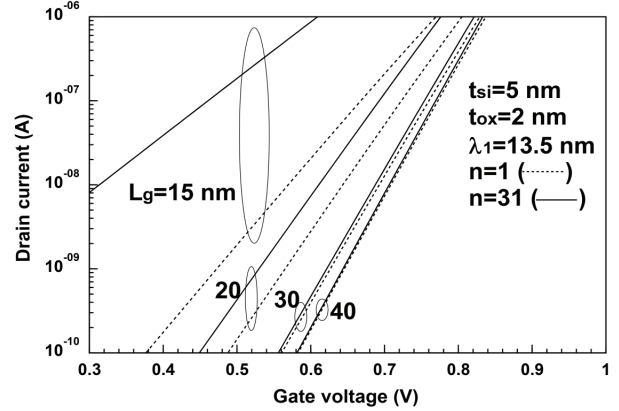


Fig. 2. Curves of drain current and gate voltage for the different channel lengths in the region of subthreshold.

까지 증가할 때, $n = 31$ 까지 증가하여도 드레인전류-게이트전압 관계는 큰 변화를 보이고 있지 않다는 것을 관찰할 수 있다. 이때 스케일 길이 λ_1 과 채널 길이의 관계를 고찰해 보면 $1.5\lambda_1 \approx 20$ nm 이하에서 드레인전류-게이트 전압의 관계가 큰 변화를 보이고 있었다. 이와 같이 $n = 1$ 로 근사된 문턱전압 이하 스윙 모델의 타당성은 채널 길이에 따라 변화할 것이다. 또한 스케일 길이는 식 (2)에서도 알 수 있듯이 실리콘 두께, 산화막 두께 그리고 채널 및 산화막의 유전율에 따라 결정되기 때문에 이들 인자들의 상호 관계에 따라 본 논문에서 제시한 해석학적 문턱전압 이하 스윙모델이 타당한 범위가 주어질 것이다. 본 논문에서는 식 (4), (5) 그리고 (6)을 사용하여 구한 문턱전압 이하 스윙의 해석학적 모델을 이용할 수 있는 채널 길이, 실리콘 두께 그리고 산화막 두께의 관계를 고찰할 것이다.

3. 실험 결과

3.1 JLDG MOSFET의 문턱전압 이하 스윙

먼저 식 (1)에서 $n = 1$ 의 경우만을 이용하여 구한 해석학적 문턱전압 이하 스윙 모델의 타당성을 분석하기 위하여, 식 (1)에서 $n = 31$ 을 사용하여 구한 전위분포를 이용하여 계산한 드레인전류-게이트전압 관계의 기울기에서 유출한 문턱전압 이하 스윙과 $n = 1$ 일 때 구한 해석학적 문턱전압 이하 스윙 값을 2차원 시뮬레이션 값 [12]과 그림 3에서 비교하였다. 그림 3에서 알 수 있듯이 채널 길이가 20 nm 이하일 때를 제외하면 본

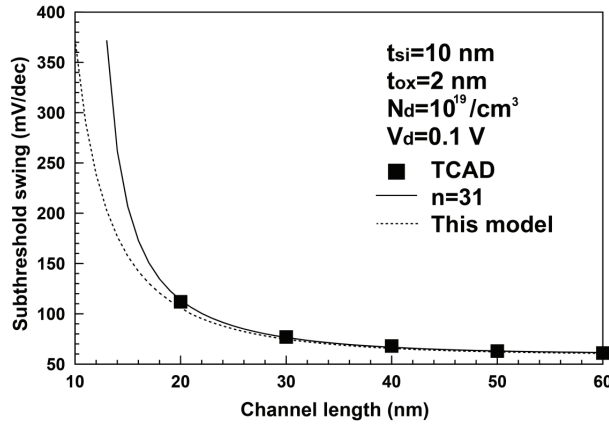


Fig. 3. Comparison of subthreshold swings for this model and TCAD simulation [12] under given conditions. The dotted and solid lines denote results of this model ($n = 1$) and those using $n = 31$ in Eq. (1), respectively.

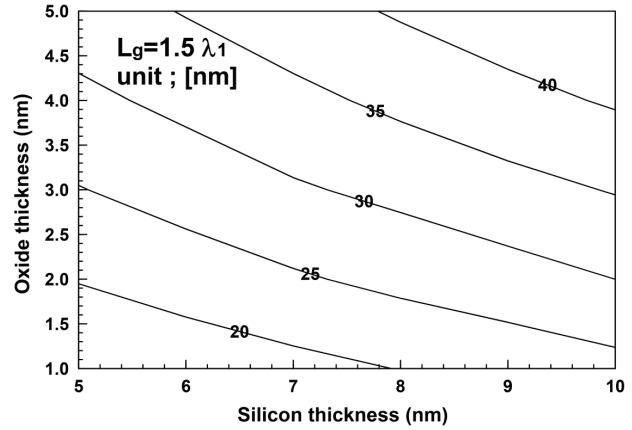


Fig. 4. Contours of $L_g = 1.5\lambda_1$ for silicon and oxide thicknesses.

논문에서 제시한 문턱전압 이하 스윙 모델이 2차원 시뮬레이션 값과 잘 일치하는 것을 알 수 있다. 특히 채널 길이가 30 nm 이상에서는 문턱전압 이하 스윙 값이 전부 다 일치하는 것으로 관찰되었다. 이와 같이 본 논문에서 제시한 문턱전압 이하 스윙 모델은 사용할 수 있는 채널 길이가 제한되어 있다.

스케일 길이 λ_1 과 채널 길이가 $L_g > 1.5\lambda_1$ 인 관계를 만족할 때 $n = 1$ 의 근사를 사용할 수 있다고 알려져 있다. 이 범위의 채널 길이를 조사하기 위하여 실리콘 두께 그리고 산화막 두께에 대하여 $L_g = 1.5\lambda_1$ 의 관계 등고선 곡선을 그림 4에 도시하였다. 그림 3의 조건인 실리콘 두께 10 nm와 산화막 두께 2 nm에 해당하는 점을 조사해 보면 채널 길이가 약 30 nm에 해당하는 선상에 있다는 것을 관찰할 수 있다. 즉 전술한 바와 같이 채널 길이가 30 nm 이상에서는 본 논문의 문턱전압 이하 스윙 모델을 사용하여도 우수한 결과를 구할 수 있다는 것을 알 수 있다. 30 nm 이하의 채널 길이를 갖는 JLDG MOSFET의 경우 그림 4의 조건보다 실리콘 두께 및 산화막 두께가 더욱 작을 경우에만 본 논문의 해석학적 모델을 사용할 수 있을 것이다. 특히 채널 길이가 20 nm 이하로 감소하면 산화막 두께가 2 nm 이하 그리고 실리콘 두께는 8 nm 이하의 매우 작은 값으로 감소하여야만 본 논문의 모델을 사용할 수 있을 것이다. 그림 4를 관찰해 보면 일정한 채널 길이를 유지하기 위하여 실리콘 두께와 산화막 두께는 상호 역비례 관계가 있다는 것을 관찰할 수 있다. 이는 스케일 길이는 실리콘 두께 및 산화막 두께

의 기하평균에 선형적으로 비례한다는 결과와 잘 일치하는 것을 알 수 있다 [9].

문턱전압 이하 스윙값을 구하기 위하여 본 논문의 모델을 사용하였을 경우와 $n = 31$ 의 전위분포를 이용하여 구한 스윙값의 차이를 실리콘 두께 변화에 대하여 그림 5에 도시하였다. 실리콘 두께 변화에 대한 효과를 관찰하기 위하여 실리콘 두께를 6 nm에서 10 nm까지 변화시켰으며 산화막 두께는 2 nm로 고정하였다. 그림 5에서 알 수 있듯이 본 논문의 해석학적 문턱전압 이하 스윙 모델값은 채널 길이가 20 nm 이상에서는 오차범위 5% 이내의 우수한 결과를 나타내고 있었다. 그러나 채널 길이가 작아질수록 오차범위는 급격히 상승하여 이 모델을 사용할 수 없다는 것을 알 수 있다. 채널 길이가 동일하여도 실리콘 두께 및 산화막 두께의 변화로 인하여 채널 중심의 전위분포는 변화할 것이며 이러한 변화는 채널 길이가 작아질수록 더욱 커지기 때문에 [13,14], 채널 길이가 작아질 경우, 터널링 효과 등을 포함하여야 한다는 것을 주시하라. 또한 실리콘 두께가 변화할 때, 오차의 변화는 그리 크지 않다는 것을 알 수 있다. 즉, 실리콘 두께 변화는 본 모델을 사용할 수 있는 최소 채널 길이에 큰 영향을 미치고 있지 않았다. 이는 기존의 이중게이트 MOSFET에 대하여 산화막 두께와 실리콘 두께 변화에 대한 스케일 길이 변화의 등고선 곡선에서 관찰한 결과와 잘 일치하는 것을 알 수 있다 [15]. 즉, 기존의 MOSFET에서도 산화막 두께가 스케일 길이 변화에 더욱 큰 영향을 미치고 있다는 것을 알 수 있다.

본 논문의 모델과 $n = 31$ 의 전위분포를 이용하여 구한 스윙값의 오차를 산화막 두께 및 실리콘 두께를 파

라미터로 하여 채널 길이 변화에 대하여 그림 6에 도시하였다. 그림 5에서 산화막 두께가 2 nm일 경우, 실리콘 두께 변화에 대하여 오차의 변화는 거의 관찰할 수 없을 정도였으나 산화막 두께가 3 nm로 증가하면 실리콘 두께 변화에 대한 영향이 나타나고 있다는 것을 그림 6에서 관찰할 수 있다. 그러나 산화막 두께가 2 nm 이하로 감소하면 실리콘 두께 변화에 대한 오차의 변화는 크게 감소하고 있다는 것을 알 수 있다. 특히 산화막 두께가 1 nm로 감소하면 채널 길이가 10 nm에서도 약 5% 이하의 오차를 나타내고 있었다. 그러므로 본 논문에서 제시한 모델을 작은 오차 범위에서 사용하기 위해선 산화막 두께가 작아야 한다는 것을 알 수 있다. 그림 5와 그림 6을 비교하면 산

화막 두께가 오차에 더욱 큰 영향을 미치고 있다는 것을 관찰할 수 있다. 산화막 두께가 증가할수록 오차 범위 5% 내에서 본 논문의 문턱전압 이하 스윙 모델을 사용할 수 있는 최소 채널 길이가 더욱 증가하는 것을 알 수 있다. 산화막 두께가 3 nm까지 증가하면 오차 범위 5% 내를 만족하는 최소 채널 길이는 30 nm 정도이나 산화막 두께가 2 nm로 감소하면 최소 채널 길이가 20 nm까지 감소하는 것을 알 수 있다. 이와 같이 JLDG MOSFET의 경우, 실리콘 두께와 산화막 두께는 문턱전압 이하 스윙에 대한 해석학적 모델을 사용할 수 있는 채널 길이에 큰 영향을 미치고 있다는 것을 알 수 있다.

3.2 문턱전압 이하 스윙 모델의 사용 범위

$n = 31$ 을 사용하여 구한 문턱전압 이하 스윙값과 오차 범위 5% 내에서 본 논문에서 제시한 문턱전압 이하 스윙 모델을 적용할 수 있는 범위를 고찰하기 위하여 그림 7에 위의 조건을 만족하는 채널 길이 L_g 와 스케일 길이 λ_1 의 비, 즉 L_g/λ_1 를 실리콘 두께 변화에 대하여 산화막 두께를 파라미터로 도시하였다. 일반적으로 스케일 길이 λ_1 만을 사용하여 단채널 효과를 합리적으로 해석할 수 있는 채널 길이와 스케일 길이의 관계는 $L_g > 1.5\lambda_1$ 으로 알려져 있다. 그러나 본 논문에서 관찰한 결과 그림 7에서 알 수 있듯이 산화막 두께가 작아지면 $L_g < 1.5\lambda_1$ 의 영역에서도 충분히 사용할 수 있다는 것을 알 수 있다. 특히 산화막 두께가 1 nm까지

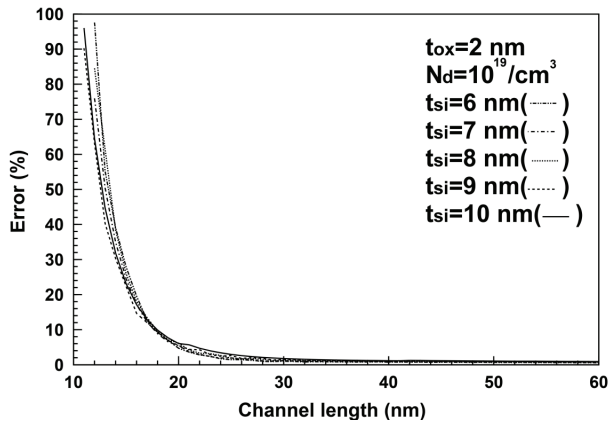


Fig. 5. Errors of subthreshold swings of this model ($n = 1$) and $n = 31$ in Eq. (1) for channel length with silicon thickness as a parameter.

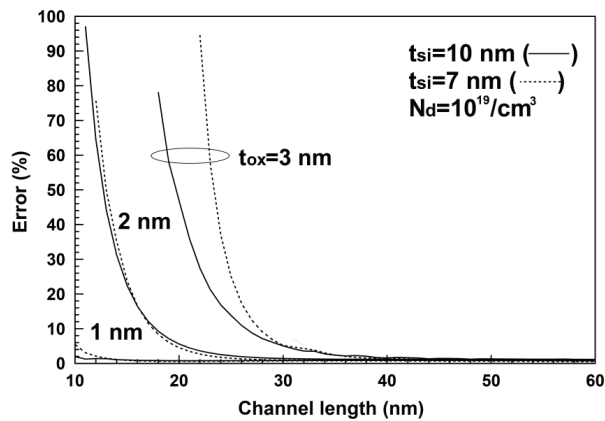


Fig. 6. Errors of subthreshold swings of this model ($n = 1$) and $n = 31$ in Eq. (1) for channel length with silicon thickness and oxide thickness as parameters.

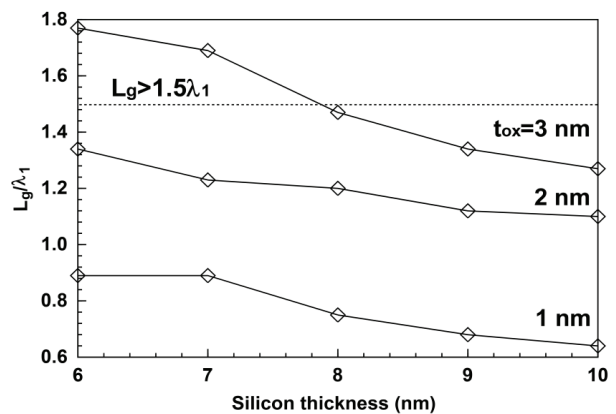


Fig. 7. Relation for ratio of channel length and scale length for silicon thickness to satisfy 5% errors between subthreshold swings of this model ($n = 1$) and those using $n = 31$ in Eq. (1) with oxide thickness as a parameter.

감소할 경우, $L_g < \lambda_1$ 일 때조차 5% 오차를 만족하는 범위가 존재한다는 것을 알 수 있다. 그러나 산화막 두께가 3 nm일 때, 실리콘 두께가 8 nm 이하로 감소하면 $L_g > 1.5\lambda_1$ 의 조건에서 본 논문에서 제시한 해석학적 문턱전압 이하 스윙 모델을 사용하여야만 할 것이다.

4. 결론

본 논문에서는 JLDG MOSFET의 경우 포아송방정식으로부터 구한 전위분포를 이용하여 해석학적 문턱전압 이하 스윙 모델을 구하고 이를 수치해석학적으로 구한 값과 오차범위 5% 내에서 사용할 수 있는 채널 길이와 스케일 길이의 관계를 관찰하였다. 해석학적 모델을 사용할 수 있는 최소 채널 길이는 결국 실리콘 두께, 산화막 두께 및 채널과 산화막의 유전율로 결정되며 본 논문에서는 유전율을 단일 값으로 사용하여 채널 및 산화막 두께 변화에 대한 결과만을 고찰하였다. 일반적으로 $L_g > 1.5\lambda_1$ 의 조건을 만족할 때, 단지 λ_1 만을 사용한 단채널 효과 해석이 합당하다고 알려져 있다. 그러나 본 논문에서 제시한 해석학적 문턱전압 이하 스윙 모델의 경우, 오차범위 5%를 만족하는 채널 길이와 스케일 길이의 관계는 산화막 두께에 따라 매우 상이한 것으로 나타났다. 즉, 산화막 두께가 1 nm에서는 채널 길이가 스케일 길이보다 작을 때에도 오차범위 5% 내에서 본 논문에서 제시한 문턱전압 이하 스윙모델을 충분히 사용할 수 있다고 사료된다. 그러나 1 nm 산화막에서 발생하는 기생효과 때문에 고유전율을 가진 산화막 개발이 요구될 것이다. 본 논문에서 제시한 해석학적 문턱전압 이하 스윙 모델은 향후 JLDG MOSFET의 개발에 이용할 수 있다고 사료된다.

REFERENCES

- [1] B. Huang, X. Bai, S. K. Lam, and S. J. Kim, *Sci. Rep.*, **10**, 2279 (2020). [DOI: <https://doi.org/10.1038/s41598-020-59049-5>]
- [2] C. Yoon, S. Moon, and C. Shin, *Nano Convergence*, **7**, 19 (2020). [DOI: <https://doi.org/10.1186/s40580-020-00230-x>]
- [3] A. Es-Sakhi and M. Chowdhury, *Microelectron. J.*, **62**, 30 (2017). [DOI: <https://doi.org/10.1016/j.mejo.2017.02.005>]
- [4] R. Saha, B. Bhowmick, and S. Baishya, *Int. J. Electron.*, **106**, 553 (2019). [DOI: <https://doi.org/10.1080/00207217.2018.1545258>]
- [5] Y. H. Shin, S. Weon, D. Hong, and I. Yun, *IEEE Trans. Electron Device*, **64**, 1433 (2017). [DOI: <https://doi.org/10.1109/TED.2017.2664825>]
- [6] S. Darwin and T.S.A. Samuel, *J. Nano Res.*, **56**, 71 (2019). [DOI: <https://doi.org/10.4028/www.scientific.net/jnanor.56.71>]
- [7] Q. Xie, Z. Wang, and Y. Taur, *IEEE Trans. Electron Device*, **64**, 3511 (2017). [DOI: <https://doi.org/10.1109/TED.2017.2716969>]
- [8] X. Liang and Y. Taur, *IEEE Trans. Electron Devices*, **51**, 1385 (2004). [DOI: <https://doi.org/10.1109/TED.2004.832707>]
- [9] H. Jung, *Int. J. Electr. Electron. Eng. Telecommun.*, **10**, 1747 (2020). [DOI: <https://doi.org/10.11591/ijece.v10i2.pp1747-1754>]
- [10] H. K. Jung, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **32**, 104 (2019). [DOI: <https://doi.org/10.4313/JKEM.2019.32.2.104>]
- [11] H. Jung, *Int. J. Electr. Electron. Eng. Telecommun.*, **8**, 334 (2019). [DOI: <https://doi.org/10.18178/ijeetc.8.6.334-339>]
- [12] C. Jiang, R. Liang, J. Wang, and J. Xu, *AIP Adv.*, **5**, 057122 (2015). [DOI: <https://doi.org/10.1063/1.4921086>]
- [13] H. Jung, *J. Inst. Korean Electr. Electron. Eng.*, **24**, 194 (2020). [DOI: <https://doi.org/10.7471/ikeee.2020.24.1.194>]
- [14] H. Jung, *Information*, **20**, 4983 (2017).
- [15] D. J. Frank, Y. Taur, and H.S.P. Wong, *IEEE Electron Device Lett.*, **19**, 385 (1998). [DOI: <https://doi.org/10.1109/55.720194>]

ORCID

Hak Kee Jung

<https://orcid.org/0000-0002-2828-2957>