

알루미늄 유도 결정화를 이용한 대면적 다결정 Si 가상 기판 성장 전략

김도현¹, 박광욱^{1,2} 

¹ 전북대학교 신소재공학부

² 전북대학교 수소연료전지연구센터

A Strategy on the Growth of Large Area Polycrystalline Si Virtual Substrate Using Al-Induced Crystallization

Dohyun Kim¹ and Kwangwook Park^{1,2}

¹ Division of Advanced Materials Engineering, Jeonbuk National University, Jeonju 54896, Korea

² Hydrogen and Fuel Cell Research Center, Jeonbuk National University, Jeonju 54896, Korea

(Received October 30, 2023; Revised November 8, 2023; Accepted November 12, 2023)

Abstract: Aluminum-induced crystallization (AIC) as a route to reduce the fabrication cost and to obtain polycrystalline Si (p-Si) thin-film of large grain size is a promising alternative of single-crystalline (s-Si) substrate or p-Si thin-film obtained by conventional methods such as solid phase crystallization (SPC) and laser-induced crystallization (LIC). As the AIC process occurs at the interface between a-Si and Al thin-films, there are various process and interface parameters. Also, it directly means that there is a certain parametric window to obtain p-Si of large grain size having uniform crystal orientation. In this article, we investigate the effect of the various process and interface parameters to obtain p-Si of large grain size and uniform crystal orientation from the literature review. We also suggest the potential use of the p-Si as a virtual substrate for the growth of various compound semiconductors in a form of low-dimension as well as thin-film as a way for their monolithic integration on Si.

Keywords: AIC, Aluminum-induced crystallization, Metal-induced crystallization, Layer exchange, Virtual substrate

1. 서론

Silicon (Si)은 지표상에서 얻을 수 있는 가장 풍부한 소재 중 하나로서 낮은 생산 단가, 안정된 결정 구조, 산화막 형성 및 불순물 주입의 용이성 등을 장점으로 전 세계 반도체 시장의 90% 이상을 점유하고 있다 [1]. 이와 같은 장점으로 Si은 트랜지스터, 태양전지 등의 반도체 소자 제작을 위한 소재로서 각광받고 있을 뿐만 아니라 또한 Si과 화합

물 반도체의 모노리식(monolithic) 집적 응용을 위한 기판 소재로 널리 사용되고 있다. 이러한 응용의 범위는 단결정(single crystalline, c-Si) 형태에만 국한될 뿐만 아니라 성능과 가격 경쟁력의 타협점에 맞춘 다결정(polycrystalline Si, p-Si) 형태 역시 널리 사용되고 있다 [2,3].

박막 또는 기판 전체에 걸쳐 높은 결정성을 갖는 c-Si 대비 p-Si은 결정립(grain)의 크기가 제한될 뿐만 아니라 결정립 간의 결정 방향성 균일도에 있어서도 상대적으로 낮은 특성을 보이고 있으나, 소자 제작 관점에 있어서 여러 가지 장점을 지니고 있다. 그중에서도 c-Si와 달리 기판의 결정성에 대한 의존도가 낮아 다양한 기판 위에 형성 가능하다는 것이 대표적인 장점이라 할 수 있다. 특히 유리, PET (polyethylene terephthalate) 등 가격이 상대적으로

✉ Kwangwook Park; Kwangwook.Park@jbnu.ac.kr

Copyright ©2024 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

로 저렴하며 유연성 및 절연성을 띠는 기판에 p-Si을 형성하는 것도 가능한데, 이를 가상 기판(virtual substrate)으로 활용하여 화합물 반도체 성장의 플랫폼으로 활용한다면 소자 생산 단가를 낮추는 데에 큰 기여를 할 뿐만 아니라 새로운 형태의 기능성 소자 개발에 대한 잠재력을 가질 수 있다고 할 수 있다 [4]. 그러나 화합물 반도체 소재 성장을 위한 가상 기판으로 활용하기 위해서는 큰 결정립을 갖는 p-Si이 전제가 된다.

기판 위에 p-Si를 형성할 수 있는 방법 중의 하나로 비정질(amorphous Si, a-Si) 형태의 재결정화(recrystallization) 방법은 우수한 전기적 특성을 갖는 p-Si를 얻을 수 있는 등의 장점으로 주목받고 있다 [1,5]. a-Si의 재결정화 방법은 다양하나 solid phase crystallization (SPC)과 laser induced crystallization (LIC)이 대표적인 고품질 p-Si를 형성할 수 있는 대안으로 알려져 있다 (표 1). 그러나 SPC의 경우, 섭씨 600°C 이상의 높은 열처리(annealing) 온도 및 긴 열처리 시간을 요구하기 때문에 유리를 비롯한 다양한 기판 소재들이 열처리 공정 과정을 잘 버티지 못하는 문제를 지니고 있으며, 큰 결정립의 p-Si을 형성하지 못하므로 적합한 대안이라 볼 수 없다 [6,8]. 아울러 LIC는 laser를 사용하고 있어 상대적으로 공정 비용이 비싸고 공정 자체도 복잡하여 여러 가지 해결해야 할 문제가 여전히 많이 남아 있는 상황이다 [7,8]. 이와 같이 SPC와 LIC가 여러 가지 문제를 수반하고 있는 상황에서 절연성 기판을 포함한 다양한 기판을 적용할 수 있는 낮은 공정 온도, 그리고 비교적 단순한 공정 및 저렴한 비용으로 상대적으로 큰 결정립의 p-Si을 얻을 수 있는 대안으로서 metal-induced crystallization (MIC)가 대두되고 있다 [9]. 반도체가 특정 금속과 물리적 접촉을 이루고 있을 때 결정화 온도(crystallization temperature)를 낮추어 낮은 온도에서 결정 성장을 유도하는 방법인 MIC는 Herd 연구 그룹에 의해 1972년에 발견되었다 [9]. 다양한 반도체-금속 MIC 중에서도 현재 가장 널리 사용되고 있는 조합 중의 하나인 Si-Al의 MIC는 1998년 Nast 연구 그룹에 의해 최초로 확인되었고 MIC와 별도로 aluminum-induced crystallization (AIC)이라 불리고 있다 [7]. 이후 AIC를 이용한 고품질 결정화를 위해 많은 연구가 진행되었으며, AIC는 현재 다양한 반도체 소자에 적용할 수 있는 잠재적인 능력을 가지고 있다고 평가받고 있다. 본 글에서는 이전의 연구 사례들을 바탕으로 AIC의 작용 기제(mechanism)에 대해 알아보고 p-Si을 형성할 때 영향을 주는 파라미터에 대해 알아보고 큰 결정립의 p-Si를 얻기 위한 전략을 검토해 본다. 그리고 이를 바탕으로 AIC를 이용하여 화합물 반도체를 성장시킬 수 있는 가상 기판으로서 가능성도 확인해 본다.

Table 1. Process temperature, duration, cost and process area obtained as a result of SPC, LIC, and AIC processes, respectively [6-8 and references therein].

	SPC	LIC	AIC
Temperature	High (600°C approx.)	Room temperature	Low (450°C approx.)
Duration	Long (depending on target thickness)	Short (pulse duration)	Rather short (1 hour approx.)
Cost	Low	High	Low
Process area	Large	Small (spot size)	Large

2. Aluminum-induced crystallization (AIC)

AIC를 이용하여 결정립들이 결합된 형태의 p-Si 박막을 형성하는 공정 순서는 크게 (i) Al 및 a-Si의 증착, (ii) 공융점(eutectic point) 아래에서의 열처리를 통한 금속-반도체 박막 층교환 공정, (iii) 습식 식각을 통한 표면 잔류 Al 제거 공정의 세 단계로 구성된다. 그림 1은 AIC 공정 순서를 대략적으로 묘사하는 그림이며, 각 단계에 대한 상세는 다음과 같다.

- (i) 먼저, Al과 a-Si 박막을 순서대로 기판에 증착한다. 이때 Al과 a-Si 박막의 두께는 100 nm에서 500 nm 사이가 되도록 한다 [10]. a-Si 박막의 증착은 문헌 조사 결과, 증착 방법에 크게 제한이 없으며 radio-frequency (RF) sputtering, e-beam evaporation, molecular beam epitaxy (MBE) 등과 같은 물리적 증착(physical vapor deposition, PVD) 방법과 low-pressure chemical vapor deposition (LPCVD), plasma-enhanced chemical vapor deposition (PECVD) 등의 화학적인(chemical vapor deposition, CVD) 방법 모두 적용할 수 있다는 것을 알 수 있다 [11-14].
- (ii) 다음으로, Al/a-Si 박막의 층교환 공정을 진행하기 위해서 이들의 공융점인 577°C 아래에서 열처리 공정을 진행한다 [15]. 열처리 공정 과정에서 a-Si을 Si source, Al 결정립 간 수직방향 계면(grain boundary)을 경로로 이용한 Si의 확산 이동으로 층교환이 일어난다 [8]. 확산 이동한 Si는 기판과 Al 박막의 계면에서 다시 재결정화되어 p-Si 박막을 형성한다. 열처리 공정 시에는 reactor 또는 chamber 내부에 N₂ 또는 Ar와 같은 비활성 가스를 주입하는 것이 일반적이나 H₂ 또한 사용 가능하며 심지어 진공 환경도 가능한 것으로 알려져 있다 [16,17].

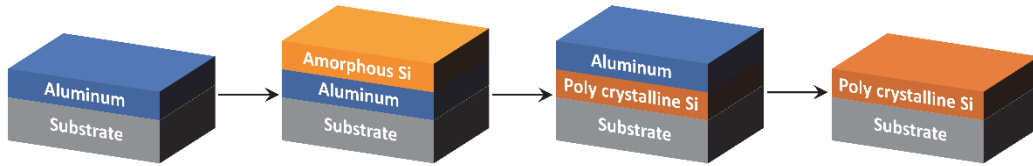


Fig. 1. Schematics of the AIC process for the formation of p-Si.

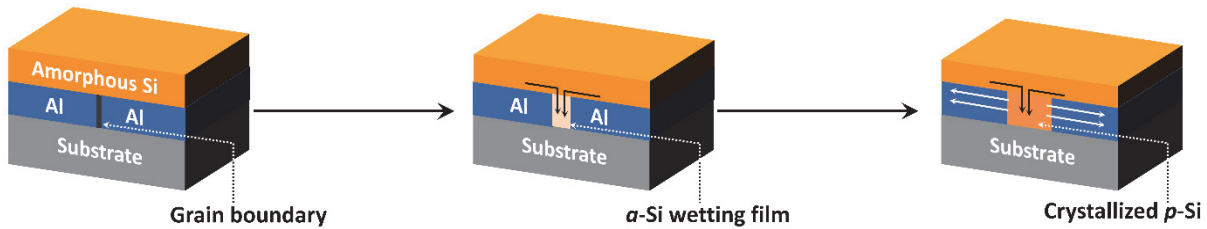


Fig. 2. Schematics of the detailed layer exchange during AIC process (Reconstructed image from Ref. [20]).

(iii) 마지막으로 Al/a-Si 박막의 층교환 공정 후 표면에 잔류하는 Al을 제거한다. Al은 박막 형태 또는 군집(cluster) 형태로 존재하며 이는 반도체 공정에서 널리 사용되고 있는 Al 습식 식각 용액을 통해 제거 가능하다. Al 습식 식각 용액은 인산, 질산, 아세트산과 초순수(deionized water, DI water)를 80:5:5:10의 비율로 섞어 준비하는 것이 일반적이며, Al 습식 식각 공정 시 50~55°C의 온도를 유지한다 [8]. 이상 공정을 완료하면 최종적으로 기판 위에 다결정 Si의 박막을 형성할 수 있다.

박막 층교환 공정의 동작 기제에 대해서 간단히 설명하기 위해 우선 Si에 대해서 살펴볼 필요가 있다. Si는 매우 강한 공유 결합(covalent bonding)으로 연결되어 있다. 따라서 일반적으로 섭씨 700°C 이상의 매우 높은 결정 성장 온도를 필요로 하는 것으로 알려져 있다. 하지만 a-Si와 Al의 계면에서는 Al이 지니고 있는 이동성 자유 전자(mobile free electrons)에 의해 Al 금속 상과 a-Si 상의 쿨롱 상호작용(Coulomb interaction)의 차단, 그리고 이에 의한 Si의 공유 결합이 약화되는 전하 차폐 효과(screening effect)가 발생한다 [18]. 전하 차폐 효과에 의해 계면에서의 공유 결합이 약해진 상태에 있는 Si 원자들은 Al 박막의 빈 공간 및 계면으로 쉽게 이동할 수 있다. 이러한 현상은 저온에서 Si이 결정화하여 p-Si으로 형성될 수 있는 주요 원인을 제공한다. 이와 같은 공유 결합 약화 및 이에 따른 결정화는 매우 좁은 영역에 한정하여 발생하는 모습을 보이는데 a-Si과 Al 박막 사이 약 2 ML

(monolayer) 두께, 다시 말해 약 4.05 Å으로 알려져 있다 [19].

그림 2는 박막 층교환 공정을 묘사하는 그림이다. 열처리 과정 중, a-Si 박막의 Si 원자에 의해서 Al 박막의 결정립계가 침습(wetting)되고 a-Si 습윤막(wetting film)이 형성된다. 형성된 a-Si 습윤막 영역은 재결정화하며 수평 방향으로 넓어지고 p-Si층을 형성한다 [20].

3. 파라미터

AIC 공정의 결과로서 얻어지는 p-Si 박막을 화합물 반도체 성장을 위한 가상 기판으로 활용하기 위해서는 크기가 크고 균일한 결정 방향을 갖는 결정립을 필요로 하며, 이는 다양한 성장 파라미터의 영향을 받는다. 이에 AIC에 의해 형성된 다결정 Si 박막층에 영향을 수 있는 파라미터를 공정 파라미터(process parameter)와 계면 파라미터(interface parameter) 두 가지 관점에서 살펴본다.

3.1 공정 파라미터

3.1.1 열처리 온도

AIC에서 열처리 온도와 시간은 결정립의 특성인 크기, 분포, 결함 등에 영향을 주는 중요한 파라미터이다 [21]. 초기 핵 생성과 이에 따르는 결정화를 위해 필요한 시간은 열처리 온도가 증가함에 따라 감소한다 [22]. 그림 3의 Nast 연구 그룹의 결과에 따르면, 열처리 온도는 핵생성을

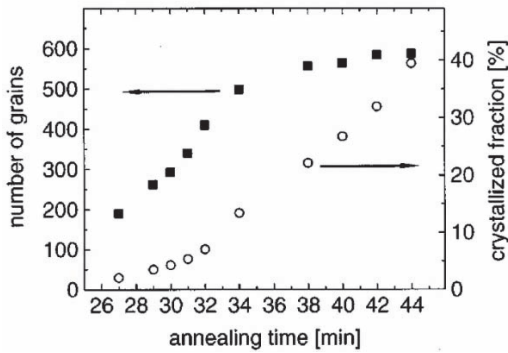


Fig. 3. Crystallized fraction and number of grains of p-Si as the functions of annealing time [Filled square and open circle represents number of grains and crystallized fraction, respectively [8]. Reprinted with permission from *J. Appl. Phys.*, **88**, 124-132 (2000). Copyright 2023 AIP Publishing].

(nucleation rate)에 영향을 준다 [8]. 450°C 내외의 온도에서 40분 동안 열처리를 진행했을 때, 평균적으로 9.3 μm 직경의 결정립이 형성, 전체 면적의 10%를 점유하였고 500°C 내외의 온도에서 8분 동안 열처리했을 때에는 평균적으로 직경 3.5 μm 크기의 결정립이 형성되며 전체 면적의 8%를 차지하는 것으로 알려져 있다. 이러한 실험 결과를 통해 열처리 온도 상승은 핵생성률의 증가를 가져옴과 동시에 결정립 크기를 작게 만든다는 것을 알 수 있다.

아울러 Nast 연구 그룹의 결과에 따르면 열처리 시작 후 관측 시간 동안 결정화율은 점차적으로 증가하는 모습을 보이는 데 반해, 결정립의 수는 열처리 시작과 동시에 빠르게 증가해 특정 시점 이후부터는 약 600개에서 포화됨을 확인할 수 있다 [8]. 이는 p-Si 박막층을 형성하기 위해서는 결정립의 수가 포화된 이후에도 결정화율은 지속적으로 증가하기 때문에 충분한 열처리 시간이 필요함을 시사한다고 볼 수 있다. 아울러 결정립의 크기가 큰 p-Si 박막을 형성하기 위해서는 저온에서 긴 열처리 시간을 가져가는 것이 전제되어야 함을 알 수 있다.

3.1.2 Al 박막의 결정립 크기

Al 결정립의 크기가 작을수록 단위 면적당 결정립 계면의 밀도, 즉 결정립계 밀도(grain boundary density)는 높아진다. Al 박막의 결정립계 밀도가 높아지면, a-Si의 Al 내부를 향한 확산율(diffusion rate)은 증가한다. 이 확산율은 p-Si 박막의 결정립 크기에 영향을 미치는데 특히 확산율이 높을수록 p-Si 박막의 결정립 크기가 작아진다 [23-25]. Al 결정립의 크기는 증착 온도 및 증착 속도를 조절함으로써 조절할 수 있다. Al의 증착 온도가 높을수록

[24] 그리고 Al의 증착 속도가 느릴수록 [8] 더 큰 결정립의 Al 박막이 형성된다. 따라서 큰 결정립을 가진 p-Si 박막층을 형성하기 위해서는 높은 증착 온도와 낮은 증착 속도로 Al 증착 공정을 진행해야 한다. 또한, a-Si 증착 전 기판 위에 먼저 증착된 Al 박막층을 진공 환경에서 열처리하면 큰 결정립을 가진 Al 박막층 형성을 유도할 수 있으며, 이를 통해 a-Si의 Al 박막 내 확산율을 감소시켜 결국 큰 결정립을 가진 다결정 Si 박막층을 형성하는 것도 가능하다 [23].

3.1.3 비정질 Si 박막과 Al 박막의 두께 비율

상술한 공정 파라미터 외에도 a-Si 박막과 Al 박막의 비율에 따라 최종적으로 형성되는 p-Si 형태가 다르다고 알려져 있다 [8]. AIC의 최종 결과물로서 p-Si 박막층은 최초 증착된 Al 박막의 두께만큼 형성된다. 만약 a-Si 박막의 두께가 Al 박막보다 두꺼운 경우, Si의 과잉 공급 상태가 되어 p-Si 박막 위에 추가적으로 그물망(network)과 같은 모습의 Si 구조물이 형성된다(그림 4 참고). 그러나 a-Si 박막의 두께가 Al 박막보다 얇은 경우, Si의 공급 부족이 발생하고 그림 4에서 확인할 수 있는 것과 같이 p-Si 박막 표면에 Si 결정립이 섬(island) 형태의 구조물로서 형성된다. 두 결과를 통해 볼 때, a-Si 박막과 Al 박막의 두께의 비율이 1:1로서 같게 하는 것이 다결정 Si 박막 형성에 있어 최적의 조건이라 할 수 있으며, 이를 기본 구조라고 지칭할 수 있다.

3.1.4 Al 박막의 두께

상술한 바와 같이 a-Si 박막에 대한 상대적인 Al 박막의 두께는 AIC 공정의 결과로서 얻어지는 p-Si 박막의 두께 및 형상에 영향을 준다. 그러나 Al 박막의 절대적 두께 역시 p-Si 박막에 영향을 미치는데 특히 결정 방향(crystal orientation)에 영향을 준다. 그림 5는 SiO₂기판 위에 Al 박막과 a-Si 박막을 50~400 nm의 범위에서 동일한 두께로 증착하고 AIC 공정 진행한 결과로서 a-Si와 Al의 박막 두께에 따른 p-Si 박막의 결정 방향 변화를 보여주고 있다. a-Si 및 Al 박막의 두께가 100 nm보다 두꺼운 경우에는 형성된 결정립의 80% 이상이 (100) 방향을 갖는 p-Si 박막을 형성한다 [26,29]. 반대로 a-Si 및 Al 박막의 두께가 100 nm보다 얇은 경우에는 결정 방향은 하부 기판의 영향을 크게 받아 결정 방향성이 변화한다 [27]. 아래 그림에서 보여주는 바와 같이(그림 5) SiO₂를 기판으로 할 때, 50 nm가량의 얇은 a-Si 및 Al 박막을 증착하면 거의 대부분의 결정립이 (111) 방향을 갖는 p-Si 박막을 형성할 수 있다 [28].

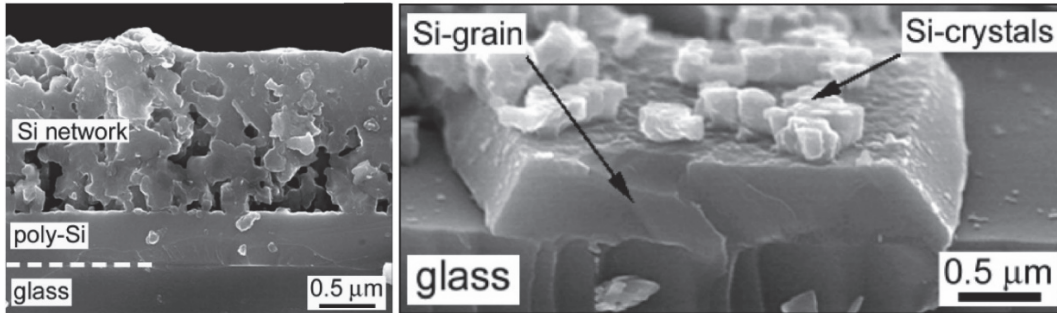


Fig. 4. (a) Cross-sectional scanning electron microscopy (SEM) image of AIC processed sample (The thickness of Al thin-film was three times thicker than the one of a-Si thin-film) and (b) cross-sectional SEM image of AIC processed sample [The thickness of Al thin-film was half of the one of a-Si thin-film [8]. Reprinted with permission from *J. Appl. Phys.*, **88**, 124-132 (2000). Copyright 2023 AIP Publishing].

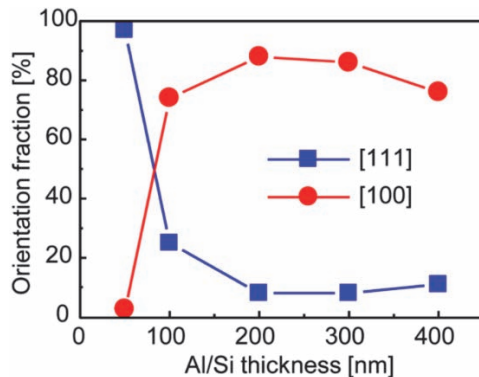


Fig. 5. Crystal orientation fraction as a function of the deposited Al/Si thin-film thickness [29] [Reprinted with permission from *Cryst. Growth Des.*, **13**, 1767-1770 (2013). Copyright 2023 American Chemical Society].

3.2 계면 파라미터

3.2.1 기판의 평탄도

p-Si 박막의 결정 품질은 a-Si 및 Al 박막을 증착하는 기판 표면의 평탄도(flatness) 또는 거칠기(roughness)에 영향을 받는다. 기판 거칠기 정도가 낮을 때 고품질의 p-Si 박막을 얻을 수 있다. 이는 기판 표면이 거칠수록 핵생성률을 증가시키고 따라서 더 작은 크기의 결정립 형성을 유도하기 때문이다 [30]. 다시 말해 핵생성률을 줄이고 이에 따른 큰 크기의 결정립 형성을 유도하기 위해서는 기판 표면의 거칠기를 충분히 낮출 필요가 있다. 예를 들어 알루미나(alumina) 기판의 경우, hydrogen silsesquioxane Resin [HSQ: $(\text{HSiO}_{3/2})_n$] 또는 flowable oxide (FOx)라 불리는 용액으로 표면을 처리하면 표면 거칠기를 감소시킬 수 있다. 특히 Dow Corning사의 FOx-25 용액을 사용하여 기판 보호층(barrier layer)을 형성하면 기판 표면의 최

대 거칠기를 5.6 μm 에서 0.16 μm 으로 대폭 줄일 수 있다고 알려져 있다 [31]. 또 다른 예로서 약 18.5 nm의 표면 거칠기를 갖고 있는 글라스-세라믹(glass-ceramic, GC) 기판을 들 수 있다. GC 기판에 SiN_x 를 증착하여 보호층으로 사용하면 표면 거칠기를 18.5 nm에서 8.2 nm으로 줄일 수 있다 [32]. 이와 같이 낮은 표면 거칠기를 얻기 위한 공정을 기판 표면에 적용할 경우, 큰 결정립 크기를 갖는 p-Si 박막을 형성시킬 수 있다.

3.2.2 Al 산화막

Al은 증착 후 공기 중에 노출시키면 그 즉시 Al 산화막(aluminum oxide, AlO_x)을 형성한다. 따라서 AIC 공정 중에 Al 산화막은 Al 박막과 a-Si 박막 사이에 존재한다고 할 수 있으며, AIC 화학적 기제(kinetics)에 있어 중요한 역할을 한다 [23]. Al 산화막은 Al 박막층과 a-Si 박막층 사이에 있으면서 일종의 투과막(membrane) 역할을 하며, 증교환에 참여하지 않고 증교환이 완료된 이후에도 동일한 위치에 존재하면서 Si의 확산 과정을 조절한다 [33]. 다시 말해 Al 산화막은 Si의 Al 박막 내 확산율을 감소시키며 또한 결과적으로 Si의 결정화율(crystallization rate)을 감소시킨다고 알려져 있다 [34]. Schneider 연구 그룹에 따르면 a-Si 박막과 Al 박막의 계면에 존재하는 Al 산화막 그리고 그 아래에 있는 Al 박막에서의 Si 확산이 순서대로 발생하고, 이 두 영역에서의 확산 속도 비율에 의해 Si 결정립 크기가 결정된다 [35]. 이때 Al 산화막이 두꺼워지면 Al 산화막에서의 확산 속도가 감소하여 두 영역에서의 확산 속도 비율이 변화하고 이에 따라 결정립의 크기도 변화한다. 그림 6의 A, B, C는 순서대로 Al 산화막의 두께가 두꺼워지며, 각 Al 산화막의 형성을 위한 환경으로, A는 Ar과 O_2 의 혼합 기체 환경에서 60분간 상온, B는 대기 환경에서 20시간 동안 상온, C는 O_2 환경에서 2시간 동안 섭씨

560도였다. 그림 6을 통하여 확인할 수 있는 바와 같이 동일한 열처리 온도에서 A에서 C로 산화막의 두께가 증가함에 따라 증교환 완료 시간이 증가하는 대신 결정립 크기가 증가한다. 증교환 완료 시간의 증가는 열처리 온도를 상승시키면 감소시킬 수 있다. Al 산화막 두께는 Al 박막층에서의 Si 확산 속도에 영향을 주지 않는 데에 반해 열처리 온도는 Al 산화막 및 Al 박막층 모두에서 Si의 확산 속도에 영향을 준다. 따라서 열처리 온도를 올리면 두 확산속도 비율을 유지하는 동시에 확산 속도를 증가시켜 증교환 완료 시간이 커지는 문제를 보완할 수 있다 [35]. 다만 상술한 바와 같이 다소 결정립 크기의 감소를 가져올 수 있다.

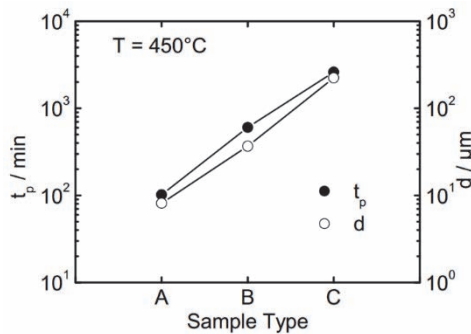


Fig. 6. Time required to complete AIC process (t_p) and grain size (d) as the functions of oxide layer thickness [35].

3.2.3 기판의 표면 특성

상술한 공정 파라미터에서는 Al 박막층 두께가 p-Si 박막의 결정 방향에 영향을 준다는 것을 알 수 있었다. 그러나 p-Si 박막 결정 방향에 영향을 미치는 또 다른 요소로서 기판 표면 특성을 들 수 있다. AIC에서 Si은 기판의 특성에 따라서 불균질 핵생성(heterogeneous nucleation)을 하고 있어 기판 선택에 따른 p-Si의 결정 방향을 바꿀 수 있다(그림 7 참고) [36]. Kaoru Togo 연구 그룹에서 보고한 바와 같이 Al-doped ZnO (AZO) 또는 indium-tin-oxide (ITO) 기판 위에서는 (100) 방향의 p-Si을 얻을 수 있으며, TiN 기판에서는 (111) 방향의 p-Si을 얻을 수 있다. 또한 그래핀(graphene)이나 SiO₂를 기판으로 이용하면 (111) 결정 방향을 갖는 p-Si 박막을 형성할 수 있는데, 특히 그래핀의 경우 SiO₂를 기판보다 더 균일한 (111) 방향의 p-Si 박막을 형성할 수 있는 것으로 알려져 있다 [37].

4. 박막 및 저차원 구조 성장을 위한 저가 플랫폼

4.1 나노와이어 성장

Si nanowire은 나노미터 및 마이크로미터 수준 전자기기, 초저전력 단전자 트랜지스터(single electron transistor), 광 검출기(photodetector), 생물/화학 센서

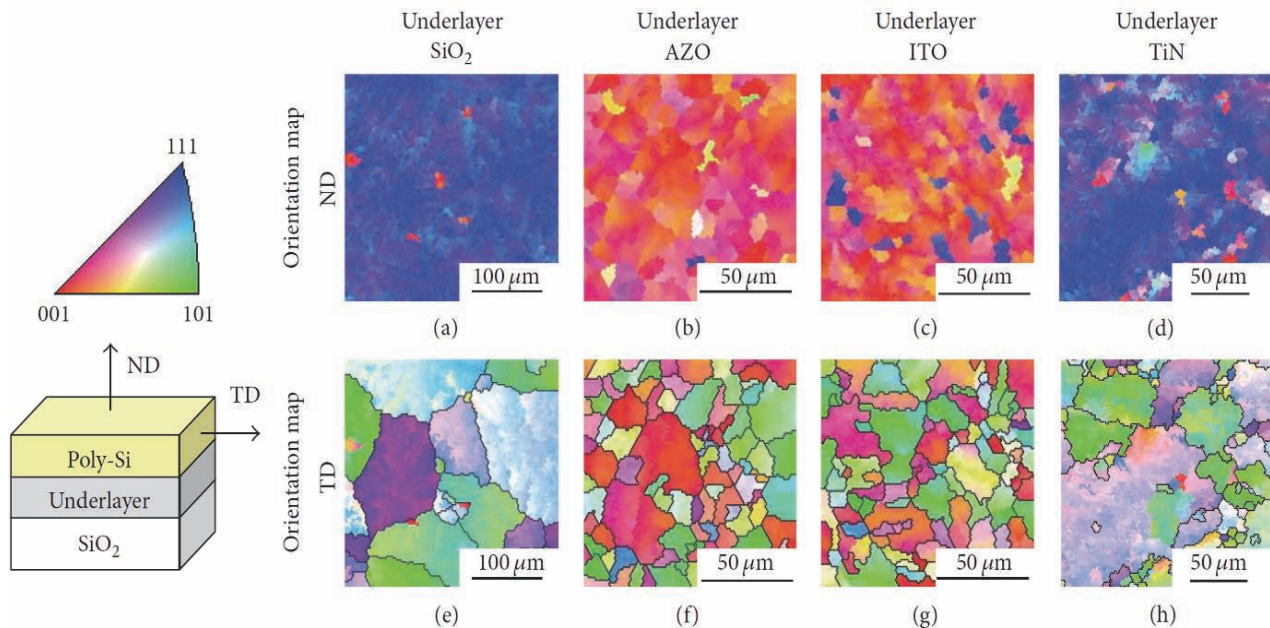


Fig. 7. Electron backscatter diffraction (EBSD) maps of the p-Si thin-films as a result of AIC process (The distribution of crystal orientations is different depending on substrate) [36].

(bio/chemical sensor) 등의 응용에 사용된다 [38-41]. 현재 Si nanowire를 제작하는 대표적인 방법으로는 전자빔-리소그래피 공정(e-beam lithography) 및 식각(etching) 공정을 이용한 하향식(top-down) 방법과 vapor-liquid-solid (VLS) 성장과 같은 상향식(bottom-up) 방법이 있다 [42,43]. 일반적으로 VLS 성장 방법에 의한 Si nanowire 형성이 대면적에 걸친 샘플 확보에 유리한 것으로 알려져 있으며, 이를 통해 성장한 Si nanowire는 (111) 방향이 우세하다. 따라서 기판 표면에 대하여 수직 방향으로 nanowire를 성장시키기 위해서는 (111) 방향의 Si 기판이 필요하다. 또한 결정립계는 일종의 결함으로 nanowire 성장에 영향을 미치기 때문에 결정립계 밀도가 낮은 기판, 다시 말해 결정립 크기가 큰 판이 요구된다 [44]. Si nanowire 성장을 위한 기판 형성은 절연체 위에 성장한 Si (silicon on insulator, SOI), SPC를 이용하여 성장한 Si를 이용할 수도 있겠으나, SOI의 경우 결과적으로 얻어지는 기판 품질은 좋으나 높은 공정 단가로 인해 가격 경쟁력이 떨어지고, SPC는 작은 결정립 크기로 인해 결정립계 밀도가 높으므로 적합하지 않다 [6,44]. 반면에 AIC에 의해 형성된 p-Si의 결정립은 50 μm 이상의 크기를 가지며 따라서 낮은 결정립계 밀도를 갖게 된다 [45]. 또한, 상술한 여러 파라미터를 조정하여 p-Si 박막 물리적 특성을 조절할 수 있다. 따라서 AIC로 형성한 p-Si 박막은 저비용 Si nanowire 성장을 위한 template으로 사용하기에 적합하다고 볼 수 있다 [46]. GaAs nanowire 역시 Si nanowire와 마찬가지로 VLS 성장으로 형성할 수 있으며 (그림 8), 특히 GaAs는 Si 대비 높은 캐리어 이동도, 직접-천이 밴드 갭 에너지(direct-transition bandgap energy) 및 여러 우수한 광학적 특성으로 광전자소자 응용 가능성이 크기 때문에 많은 연구가 진행 중이다 [47,48].

4.2 에피 박막 성장을 위한 버퍼층

AIC를 활용한 반도체 박막층은 결정립의 결정 방향과 크기를 조절할 수 있는 뛰어난 특성을 갖고 있어서 가상 기판으로 활용 가능성이 높다. 특히 유리나 SiO_2 기판은 광전자 분야와 정보 표시 기술에 적용할 수 있어 많은 관심을 받고 있다. 예를 들어 광전자 분야에 주로 사용되는 InGaN의 경우, 높은 투과도를 갖는 동시에 단결정 박막을 형성하기에 적합한 낮은 격자 일치도(lattice match)를 갖는 기판을 찾기 어렵다. 이와 같은 이유로 작은 결정(microcrystalline) 구조를 가진 GaN을 투명 기판에 형성한 후 이를 버퍼층(buffer layer)으로 활용하여 InGaN을 성장하기도 하나, 근본적으로 투과도에서의 손실은 피하기 어려운 형편이다. 이 외에도 투과도는 다소 떨어지나 격자 불일치도가 낮은 단결정 기판 위에서 InGaN을 성장하고 다시 투명 기판에 전사(transfer)하는 방법을 사용하기도 하나 기술적 난이도가 높으며 공정 수율이 낮아 대량 생산에 있어 어려움이 있다. 이 외에도 용이한 성장을 위해 그래핀 [49]이나 Ti [50]과 같은 물질을 계면층으로 이용하기도 하지만 이는 공정 단가의 상승을 야기시킨다. 따라서 이들에 대한 대안으로 AIC를 활용하여 형성한 p-Si 박막을 가상 기판으로 활용한다면 더 저렴한 비용으로 단결정 박막 성장이 가능하다 [51].

이 외에도 AIC를 이용하여 SiGe를 비정질 기판에서 AIC 성장을 하면, 열처리 온도를 조절함으로써 Si와 Ge의 사이 모든 조성비에서 50 μm 이상의 결정립과 높은 (111) 결정 방향성(>95%) 갖는 박막을 형성할 수 있다. 다시 말해 (111) 결정 방향을 유지하면서도 설계 요구 사항에 맞는 격자 상수(lattice constant)와 밴드 갭 에너지를 갖는 박막을 얻을 수 있다. 또한 이렇게 얻어진 SiGe 박막은 화합물 반도체 성장을 위한 가상 기판으로 사용할 수 있다 [52].

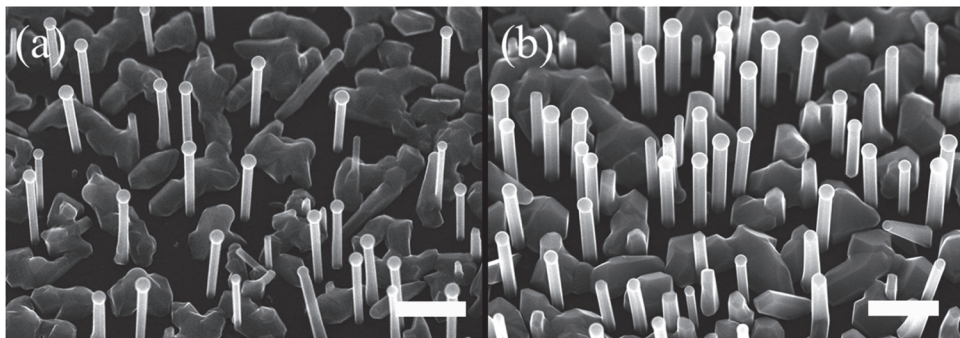


Fig. 8. SEM images of (a) GaAs nanowires and (b) GaAsSb nanowires grown on AIC-processed p-Si template [48] [Reprinted with permission from *J. Vac. Sci. Technol. B*, **34**, 02L117 (2016). Copyright 2023 AIP Publishing].

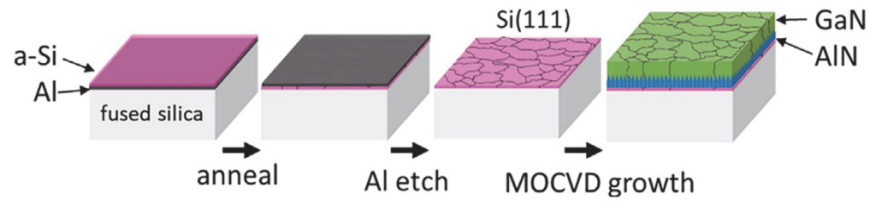


Fig. 9. Schematic illustration of GaN growth on an AIC processed p-Si thin-film [51] [Reprinted with permission from *Phys. Status Solidi-Rapid Res. Lett.*, **12**, 1700392 (2018). Copyright 2023 John Wiley & Sons].

5. 결론

AIC를 이용한 p-Si 박막은 다른 성장 방법과 비교하여 저온에서 공정이 진행되어 비용 측면에서 이점을 가지는 동시에 큰 결정립 크기를 형성할 수 있다는 특징을 지니고 있다. 본 논문에서는 다양한 참고 문헌을 참조하여 AIC의 열역학적 작용 기제, AIC 공정, 그리고 여러 가지 파라미터 조절이 p-Si 박막의 결정립 크기와 결정 방향에 미치는 영향에 대하여 다뤄 보았다. AIC에 의해 얻어지는 p-Si 박막의 결정립 크기와 결정 방향을 제어하는 방법을 확인할 수 있었으며 또한 열처리 온도, Al 결정립 크기, 기판 표면 거칠기, 그리고 Al 산화막 두께 등을 통해 p-Si 박막의 결정립 크기를 제어할 수 있음을 확인하였고, 아울러 기판 종류와 Al 박막층 두께를 조절하여 다결정 Si 박막의 결정 방향을 조절할 수 있음을 또한 확인할 수 있었다. 이러한 특성으로 AIC는 태양전지, 반도체 등 다양한 분야에 이용되고 있으며, 특히 다양한 파라미터 조절을 통해 결정 방향을 제어할 수 있는 장점은 가상 기판으로의 잠재적 가능성을 시사하는바, 그 범주는 더 넓어질 것으로 예상된다.

ORCID

Kwangwook Park

<https://orcid.org/0000-0002-4600-4600>

감사의 글

이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(NRF-2022R1F1A1064130).

REFERENCES

- [1] I. Gordon, L. Carnel, D. Van Gestel, G. Beaucarne, and J. Poortmans, *Prog. Photovoltaics: Res. Appl.*, **15**, 575 (2007). doi: <https://doi.org/10.1002/pip.765>
- [2] G. Fortunato, *Thin Solid Films*, **296**, 82 (1997). doi: [https://doi.org/10.1016/S0040-6090\(96\)09378-9](https://doi.org/10.1016/S0040-6090(96)09378-9)
- [3] Z. Shi and M. A. Green, *Prog. Photovoltaics: Res. Appl.*, **6**, 247 (1998). doi: [https://doi.org/10.1002/\(sici\)1099-159x\(199807/08\)6:4<247::aid-pip216>3.0.co;2-2](https://doi.org/10.1002/(sici)1099-159x(199807/08)6:4<247::aid-pip216>3.0.co;2-2)
- [4] M. Miyao and T. Sadoh, *Jpn. J. Appl. Phys.*, **56**, 05DA06 (2017). doi: <https://doi.org/10.7567/JJAP.56.05DA06>
- [5] P. C. van der Wilt, M. G. Kane, A. B. Limanov, A. H. Firester, L. Goodman, J. Lee, J. R. Abelson, A. M. Chitu, and J. S. Im, *MRS Bull.*, **31**, 461 (2006). doi: <https://doi.org/10.1557/mrs2006.119>
- [6] L. Haji, P. Joubert, J. Stoemenos, and N. A. Economou, *J. Appl. Phys.*, **75**, 3944 (1994). doi: <https://doi.org/10.1063/1.356014>
- [7] O. Nast, T. Puzzer, L. M. Koschier, A. B. Sproul, and S. R. Wenham, *Appl. Phys. Lett.*, **73**, 3214 (1998). doi: <https://doi.org/10.1063/1.122722>
- [8] O. Nast and S. R. Wenham, *J. Appl. Phys.*, **88**, 124 (2000). doi: <https://doi.org/10.1063/1.373632>
- [9] S. R. Herd, P. Chaudhari, and M. H. Brodsky, *J. Non-Cryst. Solids*, **7**, 309 (1972). doi: [https://doi.org/10.1016/0022-3093\(72\)90267-0](https://doi.org/10.1016/0022-3093(72)90267-0)
- [10] O. Nast and A. J. Hartmann, *J. Appl. Phys.*, **88**, 716 (2000). doi: <https://doi.org/10.1063/1.373727>
- [11] M. Miyasaka, K. Makihira, T. Asano, E. Polychroniadis, and J. Stoemenos, *Appl. Phys. Lett.*, **80**, 944 (2002). doi: <https://doi.org/10.1063/1.1447014>
- [12] M. S. Haque, H. A. Naseem, and W. D. Brown, *J. Appl. Phys.*, **75**, 3928 (1994). doi: <https://doi.org/10.1063/1.356039>
- [13] W. Knaepen, C. Detavernier, and R. L. van Meirhaeghe, J. J. Sweet, and C. Lavoie, *Thin Solid Films*, **516**, 4946 (2008). doi: <https://doi.org/10.1016/j.tsf.2007.09.037>
- [14] T. L. Alford, P. K. Shetty, N. D. Theodore, N. Tile, D. Adams, and J. W. Mayer, *Thin Solid Films*, **516**, 3940 (2008). doi: <https://doi.org/10.1016/j.tsf.2007.07.204>
- [15] Y. Sugimoto, N. Takata, T. Hirota, K. I. Ikeda, F. Yoshida, H. Nakashima, and H. Nakashima, *Jpn. J. Appl. Phys.*, **44**, 4770 (2005). doi: <https://doi.org/10.1143/JJAP.44.4770>
- [16] D. Dimova-Malinovska, V. Grigorov, M. Nikolaeva-Dimitrova,

- O. Angelov, and N. Peev, *Thin Solid Films*, **501**, 358 (2006).
doi: <https://doi.org/10.1016/j.tsf.2005.07.157>
- [17] Y. H. Zhao, J. Y. Wang, and E. J. Mittemeijer, *Thin Solid Films*, **433**, 82 (2003).
doi: [https://doi.org/10.1016/S0040-6090\(03\)00282-7](https://doi.org/10.1016/S0040-6090(03)00282-7)
- [18] A. Hiraki, *Surf. Sci. Rep.*, **3**, 357 (1983).
doi: [https://doi.org/10.1016/0167-5729\(84\)90003-7](https://doi.org/10.1016/0167-5729(84)90003-7)
- [19] Z. M. Wang, J. Y. Wang, L.P.H. Jeurgens, and E. J. Mittemeijer, *Phys. Rev. B*, **77**, 045424 (2008).
doi: <https://doi.org/10.1103/PhysRevB.77.045424>
- [20] Z. Wang, L.P.H. Jeurgens, J. Y. Wang, and E. J. Mittemeijer, *Adv. Eng. Mater.*, **11**, 131 (2009).
doi: <https://doi.org/10.1002/adem.200800340>
- [21] Ö. Tüzün, Y. Qiu, A. Slaoui, I. Gordon, C. Maurice, S. Venkatachalam, S. Chatterjee, G. Beaucarne and J. Poortmans, *Sol. Energy Mater. Sol. Cells*, **94**, 1869 (2010).
doi: <https://doi.org/10.1016/j.solmat.2010.06.031>
- [22] Z. M. Wang, J. Y. Wang, L.P.H. Jeurgens, and E. J. Mittemeijer, *Phys. Rev. Lett.*, **100**, 125503 (2008).
doi: <https://doi.org/10.1103/PhysRevLett.100.125503>
- [23] A. Tankut, M. Karaman, I. Yildiz, S. Canli, and R. Turan, *Phys. Status Solid*, **212**, 2702 (2015).
doi: <https://doi.org/10.1002/pssa.201532857>
- [24] M. Nakata, K. Toko, and T. Suemasu, *Thin Solid Films*, **626**, 190 (2017).
doi: <https://doi.org/10.1016/j.tsf.2017.02.046>
- [25] D. W. Lee, M. F. Bhopal, and S. H. Lee, *AIP Adv.*, **8**, 065308 (2018).
doi: <https://doi.org/10.1063/1.5026990>
- [26] J. Schneider, A. Sarikov, J. Klein, M. Muske, I. Sieber, T. Quinn, H. S. Rehal, S. Gall, and W. Fuhs, *J. Cryst. Growth*, **287**, 423 (2006).
doi: <https://doi.org/10.1016/j.jcrysgro.2005.11.057>
- [27] K. Toko, R. Numata, N. Saitoh, N. Yoshizawa, N. Usami, and T. Suemasu, *J. Appl. Phys.*, **115**, 094301 (2014).
doi: <https://doi.org/10.1063/1.4867218>
- [28] M. Kurosawa, K. Toko, N. Kawabata, T. Sadoh, and M. Miyao, *Solid-State Electron.*, **60**, 7 (2011).
doi: <https://doi.org/10.1016/j.sse.2011.01.033>
- [29] R. Numata, K. Toko, N. Saitoh, N. Yoshizawa, N. Usami, and T. Suemasu, *Cryst. Growth Des.*, **13**, 1767 (2013).
doi: <https://doi.org/10.1021/cg4000878>
- [30] Ö. Tüzün, A. Slaoui, I. Gordon, A. Focsa, D. Ballutaud, G. Beaucarne, and J. Poortmans, *Thin Solid Films*, **516**, 6892 (2008).
doi: <https://doi.org/10.1016/j.tsf.2007.12.104>
- [31] Ö. Tüzün, J. M. Auger, I. Gordon, A. Focsa, P. C. Montgomery, C. Maurice, A. Slaoui, G. Beaucarne, and J. Poortmans, *Thin Solid Films*, **516**, 6882 (2008).
doi: <https://doi.org/10.1016/j.tsf.2007.12.105>
- [32] P. Prathap, O. Tuzun, D. Madi, and A. Slaoui, *Sol. Energy Mater. Sol. Cells*, **95**, S44 (2011).
doi: <https://doi.org/10.1016/j.solmat.2010.11.035>
- [33] S. Gall, J. Schneider, M. Muske, I. Sieber, O. Nast, and W. Fuhs, *Proc. PV in Europe – From PV Technology to Energy Solutions* (Rome, Italy, 2002), p. 87.
[ISBN: 8-8900971-3-2]
- [34] H. Kim, D. Kim, G. Lee, D. Kim, and S. Lee, *Sol. Energy Mater. Sol. Cells*, **74**, 323 (2002).
doi: [https://doi.org/10.1016/S0927-0248\(02\)00091-0](https://doi.org/10.1016/S0927-0248(02)00091-0)
- [35] J. Schneider, J. Klein, M. Muske, A. Schoepke, S. Gall, and W. Fuhs, *Proc. Third World Conference on Photovoltaic Energy Conversion* (Osaka, Japan, 2003) p. 106.
[ISBN: 4-9901816-0-3]
- [36] K. Toko, M. Nakata, A. Okada, M. Sasase, N. Usami, and T. Suemasu, *Int. J. Photoenergy*, **2015**, 790242 (2015).
doi: <https://doi.org/10.1155/2015/790242>
- [37] I. M. Høiaas, D. C. Kim, and H. Weman, *Appl. Phys. Lett.*, **108**, 161906 (2016).
doi: <https://doi.org/10.1063/1.4947101>
- [38] A. M. Morales and C. M. Lieber, *Science*, **279**, 208 (1998).
doi: <https://doi.org/10.1126/science.279.5348.208>
- [39] D. Li, Y. Wu, P. Kim, L. Shi, P. Yang, and A. Majumdar, *Appl. Phys. Lett.*, **83**, 2934 (2003).
doi: <https://doi.org/10.1063/1.1616981>
- [40] J. D. Holmes, K. P. Johnston, R. C. Doty, and B. A. Korgel, *Science*, **287**, 1471 (2000).
doi: <https://doi.org/10.1126/science.287.5457.1471>
- [41] Y. Cui and C. M. Lieber, *Science*, **291**, 851 (2001).
doi: <https://doi.org/10.1126/science.291.5505.851>
- [42] R. Juhasz, N. Elfström, and J. Linnros, *Nano Lett.*, **5**, 275 (2005).
doi: <https://doi.org/10.1021/nl0481573>
- [43] C. E. Kendrick and J. M. Redwing, *J. Cryst. Growth*, **337**, 1 (2011).
doi: <https://doi.org/10.1016/j.jcrysgro.2011.09.049>
- [44] C. Kendrick, C. Bomberger, N. Dawley, J. Georgiev, H. Shen, and J. M. Redwing, *Cryst. Res. Technol.*, **48**, 658 (2013).
doi: <https://doi.org/10.1002/crat.201300260>
- [45] M. Kurosawa, N. Kawabata, T. Sadoh, and M. Miyao, *Appl. Phys. Lett.*, **95**, 132103 (2009).
doi: <https://doi.org/10.1063/1.3241076>
- [46] J. Chen, J. Suwardy, T. Subramani, W. Jevasuwan, T. Takei, K. Toko, T. Suemasu, and N. Fukata, *CrystEngComm*, **19**, 2305 (2017).
doi: <https://doi.org/10.1039/C6CE02328B>
- [47] D. Wu, X. H. Tang, A. Olivier, and X. Q. Li, *Mater. Res. Express*, **2**, 045002 (2015).
doi: <http://doi.org/10.1088/2053-1591/2/4/045002>
- [48] D. Ren, I. M. Høiaas, J. F. Reinertsen, D. L. Dheeraj, A. M. Munshi, D. C. Kim, H. Weman, and B. O. Fimland, *J. Vac. Sci. Technol. B*, **34**, 02L117 (2016).
doi: <http://doi.org/10.1116/1.4943926>
- [49] S. J. Chae, Y. H. Kim, T. H. Seo, D. L. Duong, S. M. Lee, M. H. Park, E. S. Kim, J. J. Bae, S. Y. Lee, H. Jeong, E. K. Suh, C.

- W. Yang, M. S. Jeong, and Y. H. Lee, *RSC Adv.*, **5**, 1343 (2015).
doi: <https://doi.org/10.1039/C4RA12557F>
- [50] J. H. Choi, H. Y. Ahn, Y. S. Lee, K. Park, T. H. Kim, K. S. Cho, C. W. Baik, S. I. Kim, H. Yoo, E. H. Lee, B. L. Choi, S. D. Kim, Y. W. Kim, M. Kim, and S. Hwang, *J. Mater. Chem.*, **22**, 22942 (2012).
doi: <https://doi.org/10.1039/C2JM34405J>
- [51] M. F. Hainey Jr, Z. Y. Al Balushi, K. Wang, N. C. Martin, A. Bansal, M. Chubarov, and J. M. Redwing, *Phys. Status Solidi RRL*, **12**, 1700392 (2018).
doi: <https://doi.org/10.1002/pssr.201700392>
- [52] K. Toko, K. Kusano, M. Nakata, and T. Suemasu, *J. Appl. Phys.*, **122**, 155305 (2017).
doi: <https://doi.org/10.1063/1.4996373>