


4H-SiC VDMOSFETs의 JFET 영역의 도핑 농도 설계 및 최적화

이혜원, 김예진, 박창준, 최지수, 이건희, 구상모 

광운대학교 전자재료공학과

Design and Optimization of Doping Concentration of the JFET Region of 4H-SiC VDMOSFETs

Hye-Won Lee, Ye-Jin Kim, Chang-Jun Park, Ji-Soo Choi, Geon-Hee Lee, and Sang-Mo Koo

Department of Electronic Materials Engineering, Kwangwoon University, Seoul 01897, Korea

(Received September 2, 2024; Revised September 30, 2024; Accepted October 2, 2024)

Abstract: The 4H-SiC VDMOSFET demonstrates a high reverse breakdown voltage (BV) due to the JFET region but experiences relatively high on-resistance (R_{on}). A widely adopted method to reduce the R_{on} is to uniformly increase the doping concentration of the JFET region, which results in a trade-off that reduces the BV. This study proposes a method to optimize the segmentation of the JFET region by selectively increasing the doping concentration using ‘total doping’, ‘half-doping’, and ‘quarter-doping’. The optimized quarter segment with a specific doping concentration slightly reduces BV, but the sharp decrease in specific on-resistance ($R_{on,sp}$) results in a 105% improvement in the performance index, Baliga’s Figure of Merit (BFOM). This research suggests the potential for electrically superior designs by modifying the doping concentration in the JFET region of conventional VDMOSFET structures.

Keywords: 4H-SiC, VDMOSFET, JFET region, Total-segment, Half-segment, Quarter-segment

실리콘 카바이드(silicon carbide, SiC)는 약 3.26 eV의 넓은 에너지 밴드갭과 약 2.5 MV/cm의 높은 임계 전기장 등의 우수한 전기적 특성을 가져 실리콘(silicon, Si)을 대체할 수 있는 반도체 재료로서 부상하고 있다 [1-3]. 이러한 특성과 더불어 높은 열 전도성과 고온 안정성으로 인해 실리콘 카바이드는 특히 고전력 및 고온 애플리케이션에 적합하다 [4]. 이러한 장점을 바탕으로 실리콘 카바이드는 MOSFET, BJT, IGBT 등의 다양한 전력 반도체 트랜지스터에 사용되고 있으며, 그중에서 수직 이중 확산형 MOSFET (VDMOSFET)은 전력 MOSFET의 주요 구조 중

하나이다 [5,6]. 전통적인 실리콘 기반 소자와 비교하여 실리콘 카바이드 VDMOSFET은 높은 항복전압(breakdown voltage, BV)과 낮은 온저항(on-resistance, R_{on})을 가져 실리콘 기반 전력반도체 소자를 대체할 이상적인 선택으로 간주되고 있다 [7,8].

실리콘 카바이드 VDMOSFET은 트렌치 게이트 MOSFET (UMOSFET)과 비교할 때 JFET 영역의 존재로 인해 높은 역방향 항복전압을 가지지만 상대적으로 큰 온저항을 가진다. 왜냐하면 소스를 통해 주입된 전자는 채널을 지난 후 P-base 영역 사이에 위치한 비교적 좁은 JFET 영역으로 이동하게 되며, P-base와 N형 JFET 영역의 접합으로 형성된 공핍 영역(depletion region)은 전류의 흐름을 더욱 제한하기 때문이다. 이러한 전류 흐름의 제한은 VDMOSFET 구조의 내부 저항을 상당히 증가시킨다. 따라서 JFET 영역

✉ Sang-Mo Koo; smkoo@kw.ac.kr

Copyright ©2025 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

에서의 저항을 줄이기 위해 일반적으로 이 영역의 도핑 농도를 증가시키는 대안이 제시된다 [9]. 하지만 저항을 줄이기 위해 JFET 영역의 도핑 농도를 전체적으로 증가시키면 단위 면적당 온저항(specific on-resistance, $R_{on,sp}$)이 약 18% 감소할 수 있지만, 이는 문턱전압(threshold voltage, V_{th})과 항복전압의 감소를 초래한다 [10]. JFET 전체 영역의 도핑농도를 높게 설정한 구조의 경우 캐리어 수를 증가시켜 온저항을 가장 낮게 형성할 수 있는 구조이지만, 고농도로 도핑된 불순물 원자 주변에서 전자가 산란되어 전자의 이동도가 감소하거나, 누설전류의 증가로 인해 항복전압이 크게 감소한다 [11].

본 연구에서는 JFET 영역의 고농도 도핑에 대한 이점을 유지하면서 이러한 단점을 해결하기 위해 JFET 영역의 도핑 농도를 균일하게 증가시키는 방법이 아닌, 분할 후 특정 영역의 도핑 농도를 선택적으로 증가시키는 방법을 제안한다. 이러한 접근 방식은 JFET 영역 중 P-well의 측면에 수직 형태의 고농도 n형 도핑 영역을 추가한 연구에서 관찰된 전기적 특성 향상을 기반으로 한다 [12]. 해당 연구에서는 추가된 고농도 n형 도핑 영역이 온-상태에서 JFET 영역의 공핍 영역의 확장을 제한하고, 저농도로 도핑된 기존의 JFET 영역에 전자를 주입함으로써 낮은 온저항을 달성할 수 있다. JFET 영역을 분할하여 도핑 농도에 차등을 둔 구조의 경우, JFET 영역의 상단과 하단을 비교했을 때 채널이 존재하는 상단의 전류 밀도가 상대적으로 더 높기 때문에 상단을 하단보다 높은 농도로 도핑하여 온저항을 감소시키면서도 항복전압을 유지할 수 있다.

이에 따라, 실리콘 카바이드 VDMOSFET의 JFET 영역의 분할 방식과 도핑 농도 차이가 온저항과 항복전압에 미

치는 영향을 분석하여 최적화된 구조를 제안한다. Silvaco사의 TCAD 시뮬레이터를 사용하였으며, JFET 영역을 ‘전체(total-segment)’, ‘2분할(half-segment)’, ‘4분할(quarter-segment)’ 순으로 구성한 후, 영역별로 도핑 농도를 설정하고 선택적으로 증가시키며 최적의 BFOM 값을 달성하였다.

그림 1은 실리콘 카바이드 VDMOSFET의 단면 구조를 나타낸 것이며, 그림 1의 구조(d)가 본 연구를 통해 최종적으로 최적화된 소자의 구조이다. 한편, 소자의 구조에 따른 파라미터는 표 1에 표기하였다. 그림 1의 구조(a)는 기존의 VDMOSFET 소자로서, 드리프트 영역과 JFET 영역의 도핑 농도가 동일하다. 구조(b)는 구조(a) 대비, JFET 전체 영역(R_{total})에 높은 도핑 농도를 적용하여 최적화했다. 구조(c)는 2개 영역의 JFET 영역(R_{up} , R_{down})을 가진 소자로서, 상단 영역(R_{up})에는 구조(b)의 최적화한 도핑 농도를 적용하고 하단 영역(R_{down})에는 드리프트 영역과 상단 영

Table 1. Structural parameters of 4H-SiC VDMOSFETs.

Parameters	Value
Doping concentration of N-drift layer	$3.0 \times 10^{15} \text{ cm}^{-3}$
Doping concentration of P-well	$6.0 \times 10^{16} \text{ cm}^{-3}$
Doping concentration of N^+ substrate	$1.0 \times 10^{19} \text{ cm}^{-3}$
Thickness of N-drift layer	15.0 μm
Thickness of gate oxide	60 nm
Width of JFET region (W_{JFET})	1.5 μm
Depth of JFET region (D_{JFET})	2.0 μm

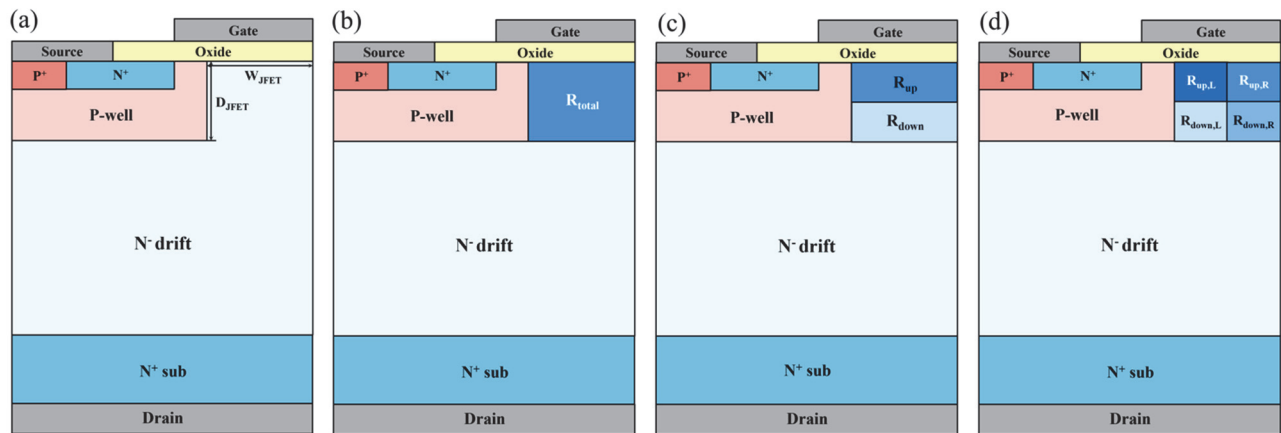


Fig. 1. Cross section of 4H-SiC VDMOSFETs with (a) conventional structure, (b) total-segment JFET region, (c) half-segment JFET region, and (d) quarter-segment JFET region.

역을 기준으로 도핑 농도를 증가시켜 최적화했다. 마지막으로 구조(d)는 4개의 JFET 영역, 즉 $R_{up,L}$, $R_{up,R}$, $R_{down,L}$, $R_{down,R}$ 을 가진 소자로서, 앞서 진행한 과정에서 최적화된 도핑 농도를 각각 $R_{up,R}$, $R_{down,R}$ 에 적용한 후 $R_{down,L}$, $R_{up,L}$ 순으로 도핑 농도를 변화시켜 최종 구조를 도출하였다.

$$\mu_n(E) = \mu_{n0} \left[\frac{1}{1 + \left(\frac{\mu_{n0} E}{V_{satn}} \right)^{\beta_n}} \right]^{\frac{1}{\beta_n}} \quad (1)$$

$$\mu_{n0} = \mu_{n1} \left(\frac{T_L}{300K} \right)^{\alpha_n} + \frac{\mu_{n2} \left(\frac{T_L}{300K} \right)^{\beta_n} - \mu_{n1} \left(\frac{T_L}{300K} \right)^{\alpha_n}}{1 + \left(\frac{T_L}{300K} \right)^{\gamma_n} \left(\frac{N}{N_{critn}} \right)^{\delta_n}} \quad (2)$$

본 연구는 Silvaco사의 TCAD 시뮬레이터를 사용하여 진행하였으며, 시뮬레이션에서 사용된 4H-SiC의 물성 파라미터는 표 2에 나타났다. 물리 모델로는 FLDMOB (field-dependent mobility), ANALYTIC (analytic mobility) 등이 사용되었다. 식 (1)은 FLDMOB 모델에 대한 식이며, 전기장이 커질 때 전자의 이동도가 감소하면서 전자가 일정 속도로 포화되는 것을 고려하여 고전압 소자에서의 전류 및 전압 특성을 정확하게 예측하기 위해 사용된다 [13]. $\mu_n(E)$ 는 전기장 E 에서의 전자 이동도를 나타내고, μ_{n0} 는 전기장이 매우 낮을 때의 전자 이동도, V_{satn} 는 전자 포화속도, β_n 는 이동도의 감소 정도를 결정하는 파라미터이다. 식 (2)는 ANALYTIC 모델을 계산하기 위한 식으로, 온도 및 불순물 농도에 따라 이동도가 변화하는 양상을 설명한다 [14]. 본 연구에서는 분할방식별, 영역별 도핑 농도 변화에 따른 전기적 특성을 시뮬레이션하기 위해 ANALYTIC 모델을 사용하였다. μ_{n0} 는 현재 전기장 및 온도 조건에서의 전자 이동도를 나타내고, μ_{n1} 는 저농도에서의 이동도 상수, μ_{n2} 는 고농도에서의 이동도 상수, T_L 는 절대 온도, α_n , β_n , γ_n , δ_n 는 이동도에 대한 농도 의존성을 설명하는 파라미터, N 은 불순물 농도, N_{critn} 은 이동도가 감소하기 시작하는 임계 농도이다.

그림 2는 JFET 영역을 분할하지 않은 기존 구조와 JFET 전체 영역의 도핑농도가 높은 R_{total} 구조에서 도핑 농도에 따른 전기적 특성 변화를 나타낸다. 그림 2(a)는 항복전압 특성의 변화를, 그림 2(b)는 BFOM 및 온저항의 변화를 나타낸다. 기존 구조의 JFET 영역의 도핑 농도는 드리프트 영역과 마찬가지로 $3.0 \times 10^{15} \text{ cm}^{-3}$ 이며, 이를 기준으로 R_{total} 의 도핑 농도를 $1.0 \times 10^{16} \text{ cm}^{-3}$, $3.0 \times 10^{16} \text{ cm}^{-3}$ 로 설

Table 2. Comparison of material parameters.

Parameters	4H-SiC	β -Ga ₂ O ₃	GaN
Bandgap energy (eV)	3.26	4.85	3.4
Electron affinity (K·J/mol)	4.05	4.0	4.1
Permittivity (V/m)	9.66	10	9.5
Electron mobility (cm ² /V·s)	460	150	1,000
Thermal conductivity (W/cm·K)	4.9	0.13	1.3

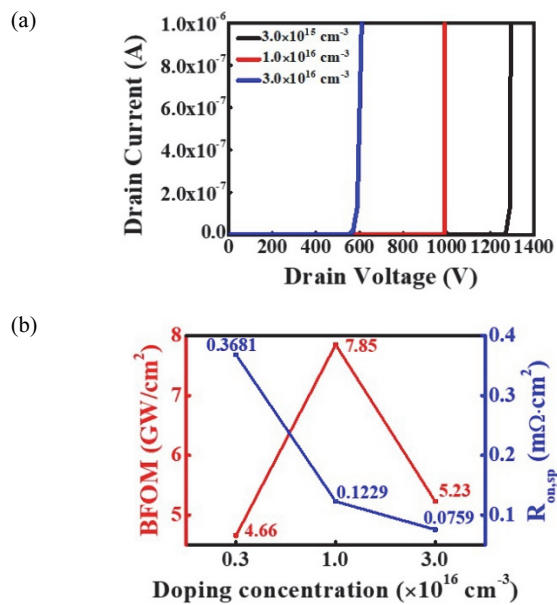


Fig. 2. Effect of doping concentration on the (a) reverse V_D - I_D characteristics and (b) BFOM and $R_{on,sp}$ for the conventional structure and R_{total} .

정하였다. 분할하지 않은 JFET 영역의 도핑 농도가 점점 증가할수록 BV는 각각 1,310 V, 1,010 V, 650 V로 약 300 V씩 감소하였으며, $V_{DS} = 30$ V에서의 온저항 도핑 농도가 증가함에 따라 현저히 감소하였다. 결과적으로 $1.0 \times 10^{16} \text{ cm}^{-3}$ 의 농도에서 가장 높은 BFOM 값인 7.85 GW/cm^2 가 관찰되었다. 이 값을 바탕으로 JFET 영역을 2분할한 상단 영역(R_{up})을 $1.0 \times 10^{16} \text{ cm}^{-3}$ 으로 고정시켜 최적화하였다.

그림 3은 JFET 영역을 2분할한 JFET 구조에서 R_{down} 의 도핑 농도에 따른 전기적 특성 변화를 나타낸다. 그림 3(a)는 항복전압 특성의 변화를, 그림 3(b)는 BFOM 및 온저항의 변화를 나타낸다. R_{up} 의 도핑 농도를 $1.0 \times 10^{16} \text{ cm}^{-3}$ 로 고정시킨 후, 드리프트 영역과 R_{up} 을 기준으로 R_{down} 의 도핑 농도를 $4.0 \times 10^{15} \text{ cm}^{-3}$ 부터 $9.0 \times 10^{15} \text{ cm}^{-3}$ 까지 증가시

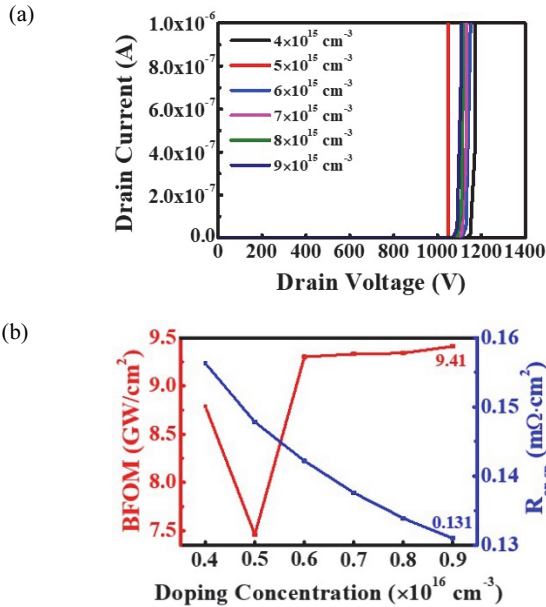


Fig. 3. Effect of doping concentration on the (a) reverse V_D - I_D characteristics and (b) BFOM and $R_{on,sp}$ for R_{down} .

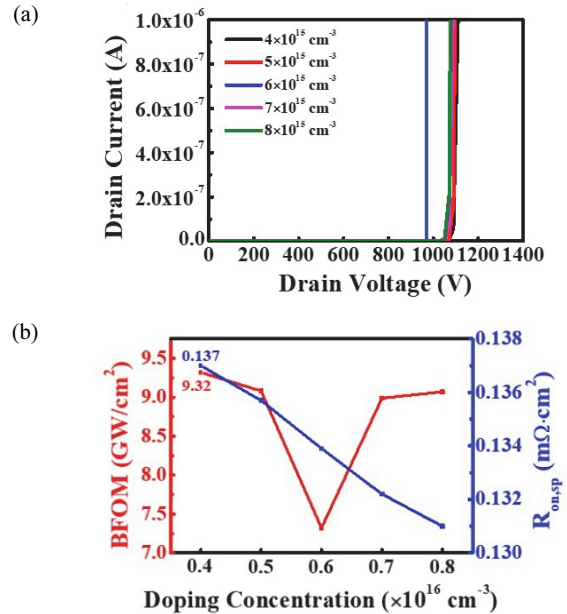


Fig. 4. Effect of doping concentration on the (a) reverse V_D - I_D characteristics and (b) BFOM and $R_{on,sp}$ for $R_{down,L}$ optimization.

켰다. 그 결과, 도핑 농도가 증가할수록 BV는 1,172 V부터 1,110 V로 소폭 감소하였고, 온저항 또한 선형적으로 감소한 것을 확인할 수 있었다. 따라서 가장 높은 BFOM인 9.41 GW/cm^2 는 R_{down} 의 도핑 농도가 $9.0 \times 10^{15} \text{ cm}^{-3}$ 일 때 관찰되었으며, 항복전압과 온저항은 각각 1,110 V와 $0.131 \text{ m}\Omega \cdot \text{cm}^2$ 이다.

그림 4는 JFET 영역을 4분할한 구조에서 $R_{down,L}$ 의 도핑 농도의 최적화에 따른 전기적 특성 변화를 나타낸다. 그림 4(a)는 항복전압 특성의 변화를, 그림 4(b)는 BFOM 및 온저항의 변화를 나타낸다. 앞서 진행한 2분할 JFET 구조 결과에 따라 $R_{up,R}$ 와 $R_{down,R}$ 의 도핑 농도는 각각 $1.0 \times 10^{16} \text{ cm}^{-3}$ 과 $9.0 \times 10^{15} \text{ cm}^{-3}$ 로 고정시키고, $R_{up,L}$ 의 도핑 농도는 $1.5 \times 10^{16} \text{ cm}^{-3}$ 로 설정하였다. 그 상태에서 $R_{down,L}$ 의 도핑 농도를 $4.0 \times 10^{15} \text{ cm}^{-3}$ 부터 $8.0 \times 10^{15} \text{ cm}^{-3}$ 까지 증가시켰다. 그 결과, 도핑 농도가 증가할수록 항복전압과 온저항은 각각 1,130 V부터 1,090 V, $0.138 \text{ m}\Omega \cdot \text{cm}^2$ 에서 $0.137 \text{ m}\Omega \cdot \text{cm}^2$ 로 소폭 감소한 것을 확인할 수 있었다. 따라서 가장 높은 BFOM인 9.32 GW/cm^2 는 $R_{down,L}$ 의 도핑 농도가 $4.0 \times 10^{15} \text{ cm}^{-3}$ 일 때 관찰되었으며, 항복전압과 온저항은 각각 1,130 V와 $0.137 \text{ m}\Omega \cdot \text{cm}^2$ 이다.

그림 5는 JFET 영역을 4분할한 구조에서 $R_{up,L}$ 의 도핑 농도의 최적화에 따른 전기적 특성 변화를 나타낸다. 그림 5(a)는 항복전압 특성의 변화를, 그림 5(b)는 BFOM 및 온저항의 변화를 나타낸다. 앞서 $R_{down,L}$ 의 도핑 농도를 최적

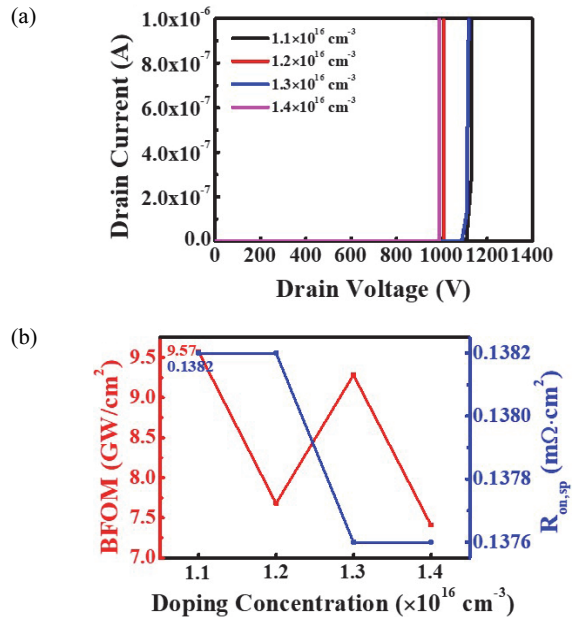


Fig. 5. Effect of doping concentration on the (a) reverse V_D - I_D characteristics and (b) BFOM and $R_{on,sp}$ for $R_{up,L}$ optimization.

화한 결과에 따라, $R_{down,L}$ 의 도핑 농도를 $4.0 \times 10^{15} \text{ cm}^{-3}$ 로 고정시키고 $R_{up,L}$ 의 도핑 농도를 임의로 설정했던 $1.5 \times 10^{16} \text{ cm}^{-3}$ 보다 작은 값, 즉 $1.1 \times 10^{16} \text{ cm}^{-3}$ 부터 $1.4 \times 10^{16} \text{ cm}^{-3}$ 까지 증가시켰다. 그 결과, 도핑 농도가 증가할수록 항복

Table 3. Comparison of electrical characteristics by optimized JFET structure.

Parameters	Total-segment	Half-segment	Quarter-segment
Optimized doping concentration ($\times 10^{16} \text{ cm}^{-3}$)	1.0	1.0 0.9	1.1 0.4 1.0 0.9
Breakdown voltage (V)	1,010	1,110	1,150
Specific ON-resistance ($\text{m}\Omega \cdot \text{cm}^2$)	0.123	0.131	0.138
BFOM (GW/cm^2)	7.85	9.41	9.57

전압은 1,150 V부터 1,010 V까지 감소하였고, $R_{\text{on,sp}}$ 또한 선형적으로 감소한 것을 확인할 수 있었다. 따라서 가장 높은 BFOM인 $9.57 \text{ GW}/\text{cm}^2$ 는 R_1 의 도핑 농도가 $1.1 \times 10^{16} \text{ cm}^{-3}$ 일 때 관찰되었으며, 항복전압과 온저항은 각각 1,150 V와 $0.1382 \text{ m}\Omega \cdot \text{cm}^2$ 이다. 따라서 최적화된 최종 구조는 $R_{\text{up,L}}$ 부터 $R_{\text{down,R}}$ 까지의 도핑 농도는 각각 $1.1 \times 10^{16} \text{ cm}^{-3}$, $1.0 \times 10^{16} \text{ cm}^{-3}$, $4.0 \times 10^{15} \text{ cm}^{-3}$, $9.0 \times 10^{15} \text{ cm}^{-3}$ 를 가진 4분할 JFET 구조로 최적화되었다. 분할방식과 영역별 도핑농도에 따른 전기적 특성의 종합적인 비교는 표 3에 나타내었다.

본 연구는 실리콘 카바이드 기반 VDMOSFET을 설계하여 JFET 영역의 분할 방식과 영역별 도핑 농도 차이에 따른 전기적 특성을 분석하였다. 최적화된 구조는 $R_{\text{up,L}}$ 에서 $R_{\text{down,R}}$ 영역의 도핑 농도를 각각 $1.1 \times 10^{16} \text{ cm}^{-3}$, $1.0 \times 10^{16} \text{ cm}^{-3}$, $4.0 \times 10^{15} \text{ cm}^{-3}$, $9.0 \times 10^{15} \text{ cm}^{-3}$ 로 최적화한 4분할 JFET 영역을 가지며, 이 구성은 항복전압 1,150 V, 온저항 $0.138 \text{ m}\Omega \cdot \text{cm}^2$, 문턱전압 4.16 V를 달성했다. 그 결과, BFOM은 $4.66 \text{ GW}/\text{cm}^2$ 에서 $9.57 \text{ GW}/\text{cm}^2$ 로 105% 향상되었다. JFET 영역을 분할 후 영역별 도핑 농도를 변화시킴으로써 항복전압은 약간 감소했으나, 온저항의 급격한 감소로 인해 성능 지수인 BFOM이 개선되어 전기적으로 더 효율적인 설계의 가능성을 제시한다.

ORCID

Sang-Mo Koo

<https://orcid.org/0000-0002-9827-9219>

감사의 글

This work was supported by the Korea Evaluation Institute of Industrial Technology (KEIT) (RS-2024-00401983) grant funded by the MOTIE of Korea, the National Research Foundation (NRF) (RS-2023-00266246) grant funded by the Korea governments, and a researcher grant of Kwangwoon University in 2024.

REFERENCES

- [1] T. Kimoto, *Prog. Cryst. Growth Charact. Mater.*, **62**, 329 (2016).
doi: <https://doi.org/10.1016/j.pcrysgrow.2016.04.018>
- [2] M. Kim, J. H. Seo, U. Singiseti, and Z. Ma, *J. Mater. Chem. C*, **5**, 8338 (2017).
doi: <https://doi.org/10.1039/C7TC02221B>
- [3] R. Singh, *Microelectron. Reliab.*, **46**, 713 (2006).
doi: <https://doi.org/10.1016/j.microrel.2005.10.013>
- [4] X. Li, X. Li, P. Liu, S. Guo, L. Zhang, and A. Q. Huang, *IEEE Trans. Power Electron.*, **34**, 12193 (2019).
doi: <https://doi.org/10.1109/TPEL.2019.2906352>
- [5] J. A. Cooper, M. R. Melloch, R. Singh, A. Agarwal, and J. W. Palmour, *IEEE Trans. Electron Devices*, **49**, 658 (2002).
doi: <https://doi.org/10.1109/16.992876>
- [6] L. Han, L. Liang, Y. Kang, and Y. Qiu, *IEEE Trans. Power Electron.*, **36**, 2080 (2021).
doi: <https://doi.org/10.1109/TPEL.2020.3005940>
- [7] T. Kimoto, *Jpn. J. Appl. Phys.*, **54**, 040103 (2015).
doi: <https://doi.org/10.7567/JJAP.54.040103>
- [8] F. Roccaforte, P. Fiorenza, G. Greco, R. L. Nigro, F. Giannazzo, F. Iucolano, and M. Saggio, *Microelectron. Eng.*, **187**, 66 (2018).
doi: <https://doi.org/10.1016/j.mee.2017.11.021>
- [9] B. J. Baliga, *Fundamentals of Power Semiconductor Devices, 1st edn.* (Springer, New York, 2008), p. 284.
doi: <https://doi.org/10.1007/978-0-387-47314-7>
- [10] D. Kim, S. DeBoer, S. Y. Jang, A. J. Morgan, and W. Sung, *Proc. 2023 IEEE 10th Workshop on Wide Bandgap Power Devices & Applications (WiPDA)* (IEEE, Charlotte, USA, 2023) p. 1.
doi: <https://doi.org/10.1109/WiPDA58524.2023.10382188>
- [11] I. T. Lu, J. J. Zhou, J. Park, and M. Bernardi, *Phys. Rev. Mater.*, **6**, L010801 (2022).
doi: <https://doi.org/10.1103/physrevmaterials.6.l010801>
- [12] D. Yin, Z. Wu, X. Zou, Y. Sun, Y. Wu, W. Wang, X. Li, and J. Kang, *Proc. 2019 16th China International Forum on Solid State Lighting & 2019 International Forum on Wide Bandgap*

- Semiconductors China (SSLChina: IFWS)* (IEEE, Shenzhen, China, 2019) p. 46.
doi: <https://doi.org/10.1109/SSLChinaIFWS49075.2019.9019763>
- [13] K. Prakash, P. Thakur, S. Bansal, K. Sharma, P. Jain, N. Gupta, A. K. Singh, and S. Kumar, *Proc. 2019 IEEE 14th Nanotechnology Materials and Devices Conference (NMDC)* (Stockholm, Sweden, 2019) p. 1.
doi: <https://doi.org/10.1109/NMDC47361.2019.9083999>
- [14] B. N. Pushpakaran and S. B. Bayne, *Modeling and Electrothermal Simulation of SiC Power Devices: Using Silvaco[®] ATLAS, 1st edn.* (World Scientific, New Jersey, USA, 2018) p. 55.
doi: <https://doi.org/10.1142/10929>