

박막형 트랜지스터의 제작과 평가

강하나, 김하영, 윤재모, 이윤경 

전북대학교 신소재공학부 전자재료공학전공

초록: 최근 투명하고 유연한 차세대 디스플레이에 대한 관심이 증가함에 따라, 기존의 비정질 실리콘(a-Si) 기반 박막형 트랜지스터(thin film transistor, TFT)의 한계를 극복할 수 있는 높은 전계 효과 이동도와 투명성을 지닌 ZnO가 주목받고 있다. ZnO는 밴드갭이 크고 광학적으로 투명하며, 저온에서 다양한 기판 위에 증착될 수 있어 차세대 디스플레이 소자의 채널 물질로서 유망하다. 본 논문에서는 ZnO 산화물 반도체 기반 TFT의 제작 및 전기적 특성 분석 기법을 정리하였다. ZnO TFT는 열적으로 성장한 SiO₂가 포함된 P⁺⁺ Si 웨이퍼를 사용하여 기판이 gate로 동작하는 구조로 제작하였다. ZnO 채널층은 RF (radio-frequency) 마그네트론 스퍼터링 방법으로 증착하였으며, ITO (indium tin oxide) 소스/드레인 전극을 E-beam evaporator를 통해 형성하였다. ZnO TFT의 전기적 특성은 Keithley 4200A-SCS parameter analyzer를 이용해 평가하였으며, 측정 데이터를 통해 이동도 및 On/Off 비율, 서브스레숄드 스윙(subthreshold swing)을 계산하는 방법을 정리하였다.

키워드: ZnO, 박막형 트랜지스터, 전기적 특성, 전이 커브, 트랜지스터 측정

Fabrication and Evaluation of Thin Film Transistors

Hana Kang, Hayoung Kim, Jaemo Yun, and Yoon Kyeong Lee

Major of Electronic Materials Engineering, Division of Advanced Materials Engineering, Jeonbuk National University,
Jeonju 54896, Korea

(Received October 31, 2024; Revised November 25, 2024; Accepted November 25, 2024)

Abstract: In this study, the electrical properties of zinc oxide (ZnO) thin-film transistors (TFTs) based on oxide semiconductors were analyzed. As interest in next-generation transparent and flexible displays grows, ZnO, which offers high field-effect mobility and transparency, has emerged as a promising material to overcome the limitations of amorphous silicon (a-Si)-based TFTs. ZnO has a wide bandgap and optical transparency and can be deposited on various substrates at low temperatures, making it a suitable channel material for future display devices. In this study, ZnO TFTs were fabricated with an inverted staggered structure using a p⁺⁺ Si wafer coated with SiO₂ as the substrate. The ZnO channel layer was deposited by RF magnetron sputtering, and the ITO source/drain electrodes were formed using an e-beam evaporator. The electrical characteristics were evaluated using Keithley 4200A-SCS parameter analyzer. Mobility, On/Off ratio, and subthreshold swing (SS) were calculated from the measurements.

Keywords: ZnO, Thin film transistor, Electrical property, Transfer curve, Transistor measurement

1. 서문

✉ Yoon Kyeong Lee; yoonklee@jbnu.ac.kr

Copyright ©2025 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

- 최근 투명하고 유연한 차세대 디스플레이에 대한 관심이 급증하면서, 박막 트랜지스터(thin film transistor, TFT)의 채널 물질로 산화물 반도체가 주목받고 있다. 지

난 10여 년간 디스플레이 산업에서 널리 사용된 비정질 실리콘(a-Si) 기반 TFT는 낮은 전계 효과 이동도(field-effect mobility), 빛에 대한 민감성, 그리고 불투명성으로 인한 광 투과율 저하 등의 문제로 인해 차세대 디스플레이에 적합하지 않다는 한계가 있었다. 이에 반해, 산화물 반도체는 비정질 실리콘에 비해 높은 이동도와 광학적 투명성을 가진다는 장점을 가지고 있다 [1].

- 본 연구에서는 이러한 한계를 해결하기 위해 ZnO를 채널 물질로 사용하여 TFT를 제작하는 방법에 대해서 설명하고자 한다. ZnO는 넓은 band gap을 가지고 있어 광학적으로 투명한 뿐만 아니라 비정질 유리 기판이나 플라스틱 기판 같은 다양한 종류의 기판 위에서 저온에서도 쉽게 결정화가 가능하다 [2]. 이러한 특성 덕분에 ZnO는 차세대 디스플레이에서 박막 트랜지스터 채널 물질로 큰 잠재력을 가지고 있다 [3].
- 또한 본 논문은 Keithley 4200A-SCS parameter analyzer (Keithley, USA), probe station 장비를 사용하여 TFT의 전기적 특성을 측정하는 방법을 소개한다. Keithley 4200A-SCS은 반도체 소자의 전기적 특성을 정밀하게 측정하는 장비로, 트랜지스터의 I-V 특성 등을 분석하는 데 사용되고, probe station은 매우 미세한 바늘인 probe tip을 반도체 칩의 작은 패드에 접촉시켜, 소자의 전기적 특성을 측정할 수 있도록 돕는 장비이다. Probe station의 사용법과 이 장비를 통해 어떻게 데이터를 얻고 해석하는지에 대해 단계별로 설명하겠다.
- 본 논문은 ZnO TFT의 작동 원리와 구조, 실험 방법 및 전기적 파라미터를 측정하는 구체적인 방법을 제공함으로써 차세대 디스플레이의 선택 소자를 개발하고자 하는 연구자가 실험 방법을 정립하는 데 도움을 주고자 한다.

2. 본 문

2.1 작동 원리

- TFT는 얇은 박막 형태로 증착된 채널층을 통해 전기 신호를 켜고 끄는 스위치 역할을 수행하는 소자이다. 채널의 전도도는 게이트(gate)를 통해 조절되며, 적절한 게이트 전압이 가해졌을 때 소스(source)와 드레인(drain) 사이에 전류가 흐르게 되는데, 이를 On 상태라고 한다.
- ZnO는 산소 결함(oxygen vacancy)으로 인해 n형 반도체 특성을 띠며, 이때 게이트 전극에 양의 전압을 인가하면 자유 전자가 반도체와 게이트 절연체 사이의 계

면에 축적되어 채널 전도도가 증가하는 축적 모드(accumulation mode)가 나타난다 [4,5]. 반대로 게이트 전극에 음의 전압을 가하면 자유 전자가 계면에서 밀려나며 채널이 감소하는 차단 모드(cut-off mode)가 발생한다. 게이트 전압이 문턱 전압(threshold voltage, V_{th})보다 낮을 경우, 전류가 흐르지 않고 오프 상태 전류가 관찰되며, 문턱 전압을 초과하는 게이트 전압이 인가되면 채널이 형성되고 소스와 드레인 간 전자 이동이 가능해져 온 상태 전류가 관찰된다. 이러한 원리는 박막 트랜지스터가 디스플레이의 스위치 역할을 수행하는데 필수적이다 [6].

2.2 TFT 구조

- TFT의 구조는 반도체로 이루어진 채널층, 게이트 절연막층, 전극층의 배열에 따라 그림 1과 같이 다양하게 나타난다. 채널층에 대한 소스/드레인 전극과 게이트 전극의 상대적 위치에 따라 TFT의 구조는 4가지로 구분될 수 있다. 채널층에 대해 소스/드레인 전극과 게이트 전극이 동일 평면에 위치하는 구조를 coplanar 구조라 하며, 반면 세 전극이 채널층에 대해 각각 분리되어 있는 구조는 staggered 구조이다.
- 두 번째로 TFT는 게이트 전극의 위치에 따라 상부 게이트 구조와 하부 게이트 구조로 구분할 수 있다. 상부 게이트 구조에서는 채널층 위에, 하부 게이트 구조는 채널층 아래에 게이트 전극이 존재한다. 이러한 분류에 따라 상부 게이트 구조의 staggered 및 coplanar 구조, 그리고 하부 게이트 구조의 inverted staggered 및 inverted coplanar 구조로 나눈다.

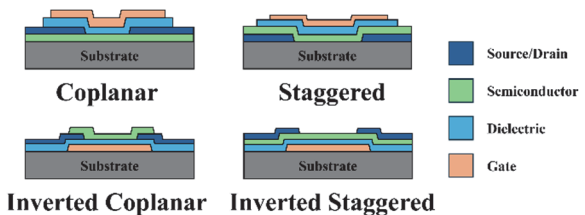


Fig. 1. Four types of TFT structures.

2.3 소자 제작 방법

- 본 연구에서는 고온에서 성장한 50 nm 두께의 SiO_2 를 가지는 Si를 기판으로 사용하여 inverted staggered

구조를 제작하였다. Si wafer를 게이트 전극으로 사용하기 위하여 일부 SiO₂ 표면을 다이아몬드 커터로 긁어 게이트 컨택(contact)을 형성하였다. 박막 증착에 앞서, 불순물 제거를 위해 Si 기판을 아세톤(acetone)과 IPA (isopropyl alcohol)로 각각 10분씩 초음파 세척하였다. ZnO 채널층은 RF magnetron sputter를 이용해 상온에서 증착되었으며, ZnO 타겟을 사용하여 진행되었다 [7].

- 증착 조건은 압력 8 mTorr, RF 파워 75 W, Ar 가스 유량 19 sccm로 설정하여 30분간 증착하였다. 증착된 ZnO 채널은 포토리소그래피(photolithography) 공정을 통해 DI water와 200:1로 희석된 HCl 에칭제로 패터닝하였다. 소스/드레인 전극은 E-beam evaporator를 이용하여 ITO를 100 nm 두께로 증착하고, 리프트 오프(lift-off) 공정을 통해 패터닝을 완료하였다.
- ZnO TFT의 열처리 공정은 급속 열처리 장치(rapid thermal annealing, RTA)를 사용해 400°C에서 5분간 수행되었으며, ZnO 채널 표면의 산소 결함을 제거하기 위해 CCP-RIE (capacitively coupled plasma reactive ion etching) 장비를 이용해 O₂ 플라즈마 처리를 실시하였다 [8]. 이 공정은 RF 파워 50 W, 압력 20 mTorr, O₂ 가스 유량 20 sccm 조건에서 1분 동안 진행되었다 [9]. 마지막으로, furnace 장비를 사용하여 400°C에서 1시간 동안 추가 어닐링(annealing)을 진행하였다 [10,11]. 그림 2에서 TFT의 제작 공정 스텝을 정리하였다.

2.4 소자 평가 방법

- 제작된 TFT는 Keithley 4200A-SCS parameter analyzer 장비를 이용하여 전류-전압(I-V) 전이(transfer) 특성을 분석하였다. 이후 측정된 데이터를 바탕으로 문턱 전압, 이동도, SS 등을 추출하여 전기적 특성 파라미터를 계산하였다. 그림 4는 본 연구에서 사용한 Keithley 4200A-SCS parameter analyzer, probe station 장비 사진이다. TFT는 소스, 드레인, 게이트 세 단자로 구성된 3단자(3-terminal) 소자로, 소스 및 드레인 단자 간의 전류 흐름이 게이트 단자에 인가되는 전압에 의해 제어된다.
- Keithley 4200A-SCS parameter analyzer는 전기적으로 측정하는 분석의 종류가 다른 여러 모듈 혹은 유닛(unit)으로 구성되어 있는데, 본 논문에서 소개하는 트랜지스터의 transfer 특성은 source measurement unit (SMU)를 사용한다. 3단자 소자의 경우, 드레인의

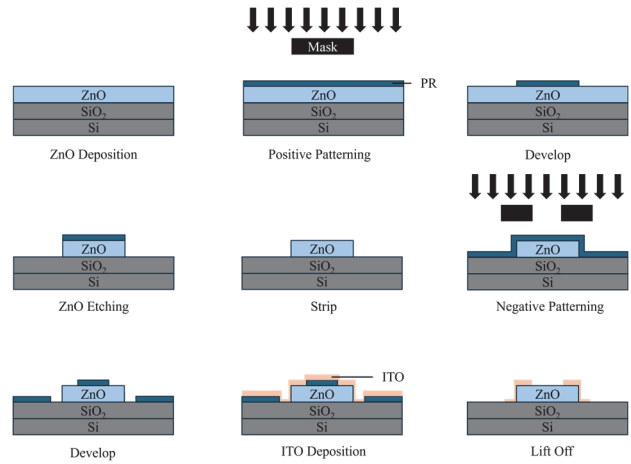


Fig. 2. Fabrication process steps of ZnO TFT.

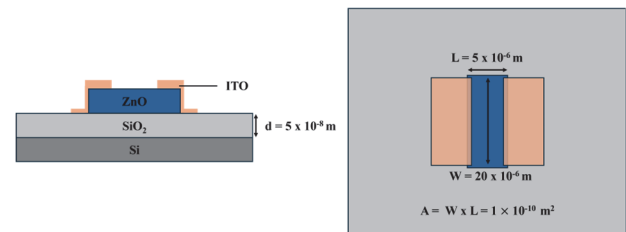


Fig. 3. Schematic diagram of ZnO TFT.

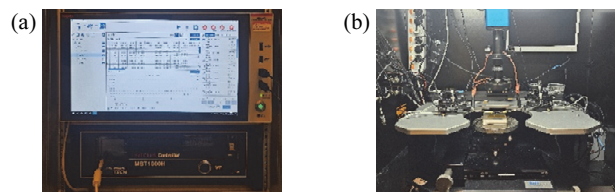


Fig. 4. (a) Keithley 4200A-SCS parameter analyzer and (b) probe station.

전압 및 게이트의 전압을 제어하기 위하여 두 개의 SMU가 필요한데, 게이트에 연결하는 SMU를 SMU1, 드레인에 연결하는 SMU를 SMU2라고 명명하겠다. 장비 후면에 위치한 SMU 및 ground unit (GNDU) 단자는 프로브 팁이 연결된 홀더와 짝을 맞추어 연결된다(그림 5 참고). 소스와 연결될 프로브 팁은 GNDU에 연결된다. 게이트와 연결된 프로브 팁은 장비 후면에 명기된 SMU1의 'FORCE' 커넥터에 연결하고, 드레인 프로브는 SMU2의 'FORCE' 커넥터에 연결한다. 분석기와 프로브는 측정 중 신호의 무결성을 유지하기 위해 특정 저항을 가지는 저소음 트라이액시얼(triaxial) 케이

블을 통해 연결한다. 또한, 측정 중 케이블을 구부리거나 움직이지 않도록 주의하며, 커넥터 절연체에 직접 손을 대지 않아 오염으로 인한 누설 전류를 방지하고, 케이블에 과도한 힘이 가해지지 않도록 유의해야 한다.

- 케이블을 프로브 팁의 홀더와 연결한 후, 샘플을 probe station의 샘플 척(chuck)에 로딩한다. 샘플을 로딩하기 전에 프로브 팁 홀더가 올라간 스테이지를 올려, 프로브 팁과 chuck이 부딪혀 팁이 부딪히지 않도록 주의한다. 샘플과 chuck 사이의 절연을 위해 샘플 밑에 고무 등의 절연체를 깔고, 샘플을 중앙에 올린 후, 진공으로 샘플을 고정한다. 샘플이 고정되면 tip과 샘플이 5 mm 정도로 가까워질 때까지 스테이지를 내리고, 그 후 positioner를 이용해 tip의 위치를 조절하여 정확하게 소스와 드레인 전극에 접촉시킨다.
- 그림 5는 probe station의 positioner와 holder 사진이다. 그림에 나와 있는 번호 순서대로 1번은 y축 조정, 2번: y축 미세 조정, 3번: z축 조정, 4번: x축 조정이다. x, y 축 조정을 통해 TFT의 소스, 드레인, 게이트 단자가 probe tip의 중앙에 위치하도록 미세하게 조정한다. 이후 z축 조정을 통해 probe tip을 샘플 표면에 가깝게 위치시킨다. 이 과정에서 tip과 샘플이 빠르게 접촉하게 되면 tip이 손상될 수 있으므로, 미세하게 조정하며 천천히 접근시킨다. Tip이 앞으로 살짝 밀리면 접촉이 된 것이므로 z축 조정을 멈춘다.
- 샘플과 tip이 적절하게 접촉된 후에는, 측정 설정을 확인한다. 측정하려는 전극(게이트, 소스, 드레인)에 연결된 케이블이 올바르게 연결되었는지 다시 확인하고, GNDU와 SMU의 설정이 정확한지 검토한다. 특히 전압 스위치 시 소자를 손상시키지 않도록 각 전극에 설정된 컴플라이언스(compliance) 값이 적절하게 설정되어야 한다. 이제 모든 설정이 완료되었으면, 전압 스위치를 시작하여 샘플의 I-V 특성 또는 원하는 전기적 특성을 측

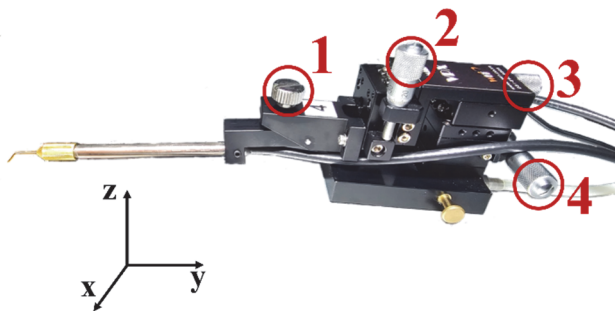


Fig. 5. Holder (black body), positioner (knobs 1-4), probe tip (left sharp terminal).

정한다. 본 논문에서는 TFT의 전이 특성을 확인하기 위한 I-V 특성 측정을 진행하였다.

- ‘Clarius’ 프로그램 실행 후, ‘select’ 화면에서 ‘devices’ 탭을 선택한다. TFT는 3단자 소자이므로 우측 상단의 ‘filters’ 탭에서 ‘terminals’ 개수를 3으로 설정한다.
- 이후, ‘2D field-effect transistor, 3 terminal (2dfet)’을 선택한 후 ‘add’ 버튼을 클릭한다. ‘Tests’ 탭에서 ‘filters’ 탭을 클릭한 후, ‘terminals’를 3, ‘measurements’를 ‘DC I-V’로 설정한다. TFT의 I-V 특성을 평가하기 위해 ‘test library’에서 ‘JFET Drain Current vs Gate Voltage (jfet-vg-id)’를 선택하였다. 이러한 설정을 통해 TFT의 transfer curve (전이 곡선)을 시각화하기 위한 데이터를 얻을 수 있다. 이후, 왼쪽 상단

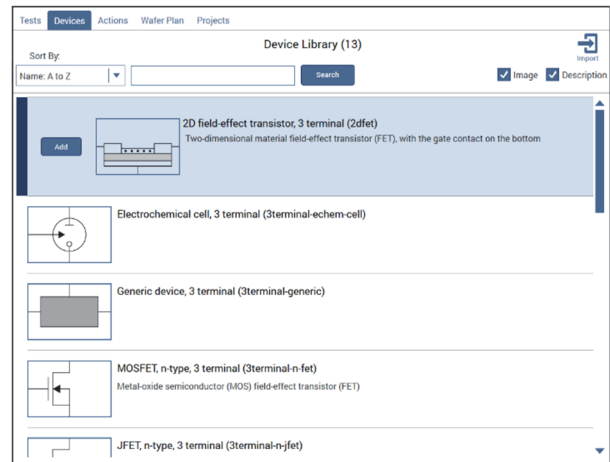


Fig. 6. Captured screen of the initial setting menu of ‘Clarius’.

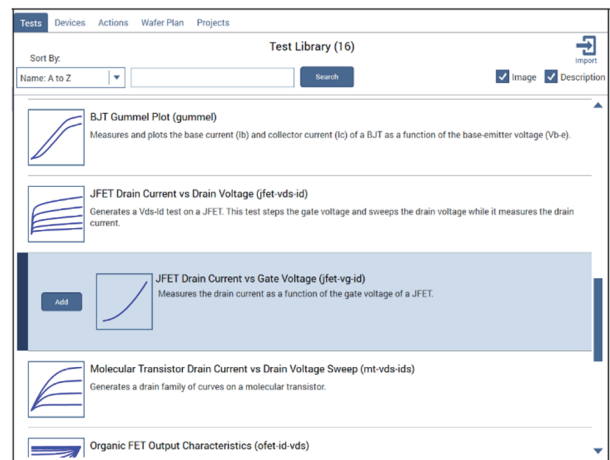


Fig. 7. Selection of ‘JFET Drain Current vs Gate Voltage (jfet-vg-id)’ in the ‘Test Library’.

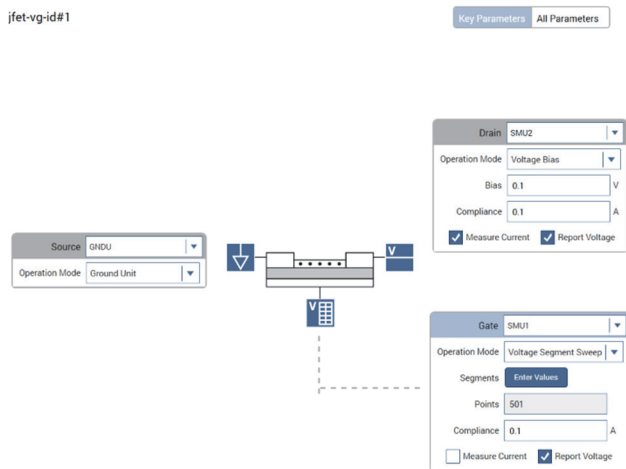


Fig. 8. The operation mode setups for each terminal of the TFT under test.

의 ‘configure’ 탭에서 세부 설정을 진행하였다.

- 드레인 단자에 일정한 전압을 인가하기 위하여 ‘operation mode’를 ‘voltage bias’로 설정하였다. 그림 8에서는 bias를 1 V로 컴플라이언스는 0.1 A로 설정하였다. 이때, 컴플라이언스는 설정한 값 이상의 전류가 흐르지 않도록 제한하여 소자를 보호하는 역할을 한다.
- Transfer curve에서 히스테리시스(hysteresis) 존재 여부를 확인하기 위해 게이트 단자의 ‘operation mode’를 ‘voltage segment sweep’으로 설정하였으며, ‘enter value’ 버튼을 클릭하여 ‘number of segments’를 2로 설정하였다.
- Segment 1의 파라미터는 그림 9와 같이 설정하였으며, noise를 줄이기 위해 측정 속도는 ‘measure settings’에서 ‘quiet’로 설정하였다. 측정 전, 그래프의 측정 범위는 ‘analyze’ 탭에서 ‘graph settings’를 클릭하고 ‘axis properties’에서 전압에 해당하는 x축 범위를 -5 V에서 20 V로 설정하였고, 소스-드레인 간 전류에 해당하는 y축 범위는 auto로 설정하였다 (그림 10).

2.5 평가 항목

- Keithley 4200A-SCS parameter analyzer로 데이터를 얻은 후, TFT의 전기적 파라미터를 계산하기 위해 데이터들을 그래프로 시각화해야 한다. 박막 트랜지스터의 주요 전기적 파라미터는 On/Off 비율, 서브스레숄드 스윙(subthreshold swing, SS), 임계 전압 및 전계 효과 이동도(mobility) 등이 있으며, 이러한 전기적 파라미터는 전이 곡선을 통해 계산할 수 있다. 본 논문에서 그

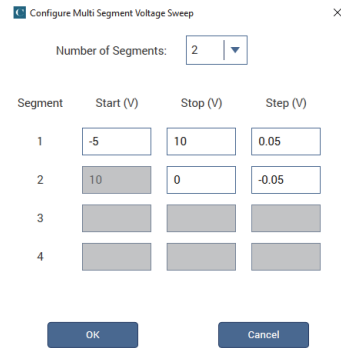


Fig. 9. Multi-segment voltage sweep configuration for the gate terminal.

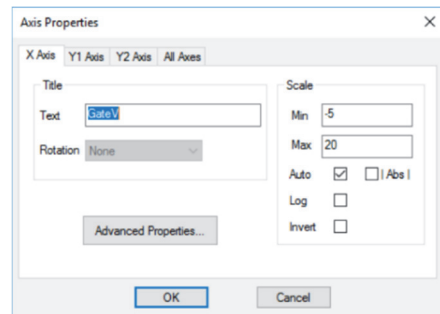


Fig. 10. The axis properties window, showing the axis settings.

래프의 시각화는 ‘origin’ 프로그램으로 진행하였다.

- TFT의 On/Off 상태는 게이트 전압에 의해 결정되기 때문에 게이트 전압에 대한 소스-드레인 간 전류를 나타내는 전이 곡선에서 On/Off 특성을 확인할 수 있다. 전이 특성 그래프는 그림 11과 같이 나타난다. 드레인 전류는 일반적으로 선형 스케일 혹은 로그 스케일로 그리는데, 선형으로 그릴 경우 문턱 전압의 위치를, 로그 스케일로 그릴 경우 SS를 확인하는 데 용이하다. 문턱 전압 이전의 전류가 낮은 영역은 off-current region으로, 채널의 전도도가 낮은 상태를 의미한다. 반면 문턱 전압보다 낮은 전압 영역에서 전류가 급격히 증가하는 영역을 subthreshold region이라고 하며, TFT의 드레인 전류가 서서히 커지는 것을 볼 수 있다. 선형 드레인 전류 그래프에서 전류가 높은 곳은 on-current region으로, 채널의 전도도가 매우 높아진 상태를 의미한다 [12].
- On/Off 비율은 트랜지스터가 꺼졌을 때(Off 상태)와 켜졌을 때(On 상태)의 전류 값 비율을 나타내며, 일반적으로 10^6 이상의 값이 요구된다 [13]. 서브스레숄드 스윙은 트랜지스터가 Off 상태에서 On 상태로 전환되는

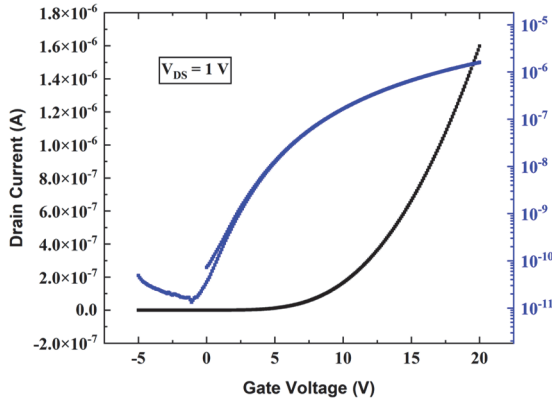


Fig. 11. ZnO TFT transfer curve.

속도를 측정하는 지표이다. 문턱 전압 혹은 임계 전압은 절연막과 접하는 반도체 채널에 캐리어가 쌓이면서 소스와 드레인 간의 전류가 흐르기 시작하는 게이트 전압을 의미한다. 전계 효과 이동도는 형성된 채널을 따라 이동하는 캐리어의 속도와 산란(scattering)에 의해 영향을 받는다. 이동도는 격자 산란(lattice scattering), 이온화된 불순물 산란(ionized impurity scattering)뿐만 아니라 결정립 경계(grain boundary)나 점 결함(point defect)에 의해 저하될 수 있다. TFT에서는 유전체에 포획된 전하로 인한 쿨롱 산란(coulomb scattering)과 계면 거칠기에 따른 산란 또한 중요한 역할을 한다. 이와 같이 다양한 전기적 파라미터를 종합적으로 고려하여 TFT의 성능을 평가하는 것이 중요하며, 각 특성의 개선은 디바이스의 전체적인 성능 향상에 기여한다.

2.6 결과 해석 방법

2.6.1 Subthreshold swing (SS)

- 본 논문에서는 'MATLAB' 프로그램을 이용해 전기적 파라미터를 계산하였다. MATLAB을 실행한 후, '새로 만들기'를 선택하고 '스크립트'를 눌러 새로운 스크립트를 생성한다. Keithley 4200A-SCS parameter analyzer에서 측정된 전이 곡선 데이터를 CSV 파일로 변환하여 업로드한다. 아래 그림 12~19는 측정된 전이 곡선에서 전기적 특성을 추출하는 예시 코드를 보여준다.

```
>> % Read raw data
filename = 'C:\Users\user-pc\Documents\400annealing.csv';
alldata = readmatrix("400annealing.csv"); % CSV 파일 불러오기
```

Fig. 12. Loading and reading data from a CSV file for further analysis.

- SS는 트랜지스터의 성능을 평가하는 주요 지표 중 하나로, SS 영역에서 드레인/소스 전류가 10배 증가하기 위해 필요한 게이트 전압의 변화를 의미한다. 이는 트랜지스터가 꺼져 있는 Off 상태에서 On 상태로 켜질 때까지 전류를 얼마나 효율적으로 변화시킬 수 있는지를 나타내는 중요한 성능 지표로, SS 값이 작을수록 트랜지스터의 성능이 우수함을 의미한다. SS를 도출하기 위한 수식은 다음과 같다 [14,15].

$$SS = \frac{dV_{GS}}{d(\log I_{DS})} \quad (1)$$

- 여기서 V_{GS} 는 게이트 전압, I_{DS} 는 드레인 전류이다. SS를 계산하기 위해서는 전이 곡선($V_{GS} - I_{DS}$ curve)의 y축을 log scale로 변환해야 한다. 그 후, 드레인/소스 전류가 선형적으로 10배 증가하는 구역을 지정해야 한다. 다음은 SS를 계산하기 위한 코드이다.

```
% V_gs와 I_ds 데이터 설정
xaxis = 5; % V_gs가 위치한 열 번호 (5번째 열)
yaxis = 2; % I_ds가 위치한 열 번호 (2번째 열)

% I_ds의 로그 값 계산
log_ids = log10(abs(alldata(:,yaxis))); % I_ds의 로그값 (log10 사용)

% 서브스레숄드 영역에서의 데이터 선택 (V_gs 값에 따라 조정)
rangestart = 57; % 시작 인덱스
rangeend = 77; % 끝 인덱스

x_fitdata = alldata(rangestart:rangeend, xaxis); % V_gs 데이터
y_fitdata = log_ids(rangestart:rangeend); % I_ds의 로그값 데이터

% 선형 피팅 (서브스레숄드 영역)
fit_param = polyfit(x_fitdata, y_fitdata, 1); % 선형 피팅
slope = fit_param(1); % 기울기 (slope)
y_int = fit_param(2); % 절편 (intercept)
```

Fig. 13. Log-scale data transformation and linear fitting.

- 측정된 데이터에는 time, drain I (전류), drain V (전압), gate I, gate V 등의 데이터 값이 존재한다. 따라서 전이 곡선을 그리기 위한 데이터 값을 설정해야 한다. 'Xaxis'에는 V_{GS} 가 위치한 열 번호, 'yaxis'에는 I_{DS} 가 위치한 열 번호를 작성한다. SS는 I_{DS} 의 로그 값을 통해 계산되므로, I_{DS} 의 로그 값을 구하는 코드를 작성하였다. Origin으로 피팅한 그래프를 통해 로그 스케일의 I_{DS} 가 선형적으로 10배 증가하는 구간의 V_{GS} 의 범위를 찾고, 그에 해당하는 인덱스 값을 작성한다. 본 논문에서는 선형적으로 증가하는 게이트 전압의 구간을 0.5 V에서 2.5 V로 설정하였다. 선형 피팅을 위해 polyfit 함수를 이용하여 1차 함수를 피팅하였다.

```
% 그래프 그리기
figure;
plot(alldata(:, xaxis), log_ids, 'bo'); % 로그 I_d_s vs V_g_s (파란색 원)
hold on;
x_range = linspace(min(x_fitdata), max(x_fitdata), 100);
y_fitline = slope * x_range + y_int;
plot(x_range, y_fitline, 'r-', 'LineWidth', 2); % 피팅 직선

% 그래프 제목 및 축 레이블
title('V_{gs} vs. log(I_{ds}) (로그 스케일)');
xlabel('V_{gs} [V]');
ylabel('log(I_{ds}) [A]');
legend('Original Data', 'Fitted Line');
grid on;

% Subthreshold Swing 계산
SS = 1 / slope; % Subthreshold Swing 공식: SS = dV_gs / d(log I_ds)

% Subthreshold Swing 결과 출력
fprintf('Subthreshold Swing: %.2f mV/dec\n', SS * 1000); % mV/dec 단위로 출력
```

Fig. 14. MATLAB code for the extraction of subthreshold swing.

- 피팅한 함수를 통해 그래프를 그리고, 그래프의 제목과 축 레이블을 설정한다. 이후에 SS를 계산하기 위한 공식을 작성한다. 코드를 작성한 후, '실행'을 클릭하면 그래프와 함께 SS 값이 도출된다. 본 논문에서 제작한 ZnO TFT의 SS는 1.6 V/dec이다.

2.6.2 Threshold voltage (V_{th})

- TFT의 임계 전압은 채널에 캐리어가 증가하여 채널의 전도도가 급격히 증가하는 게이트 전압이다. 임계 전압은 다양한 방법을 통해 추출할 수 있는데, 본 논문에서는 전이 곡선에서 I_{DS} 값을 제공근 취한 후, 선형 구간에서 외삽을 통해 선형 곡선을 피팅하여 아래 수식에 따라 x절편 값을 구했다 [16,17].

$$I_D = \frac{WC}{2L} \mu_{SAT} (V_G - V_{th})^2 \quad (2)$$

```
% V_g_s와 I_d_s 데이터 설정
xaxis = 5; % V_g_s가 위치한 열 번호
yaxis = 2; % I_d_s가 위치한 열 번호

% I_d_s의 제공근을 사용하여 임계 전압 계산
sqrt_ids = sqrt(abs(alldata(:,yaxis))); % I_d_s의 제공근

% 임계 전압 구간에서의 데이터 선택 (V_g_s 값에 따라 조정)
rangestart = 202; % 시작 인덱스
rangeend = 252; % 끝 인덱스

x_fitdata = alldata(rangestart:rangeend, xaxis); % V_g_s 데이터
y_fitdata = sqrt_ids(rangestart:rangeend); % I_d_s의 제공근 데이터
```

Fig. 15. Selection of data range for the calculation of threshold voltage.

- 본 논문에서는 그래프가 선형적으로 증가하는 구간을

15 V에서 20 V 사이로 설정하였다. 그림 16은 선택된 데이터를 선형 피팅 한 후, 피팅한 함수를 그래프로 출력하고, 임계 전압을 계산하는 코드를 보여준다. 본 코드를 '실행' 버튼을 클릭하여 실행하면 임계 전압 값이 도출된다. 본 논문에서 제작한 ZnO TFT의 임계 전압은 6.01 V이다.

```
% 선형 피팅
fit_param = polyfit(x_fitdata, y_fitdata, 1); % 선형 피팅
slope = fit_param(1);
y_int = fit_param(2);

% 피팅된 결과를 그래프로 출력
figure;
scatter(x_fitdata, y_fitdata);
hold on;
x = linspace(min(x_fitdata), max(x_fitdata), 100);
yfit = slope * x + y_int;
plot(x, yfit, 'r-');
xlabel('V_g_s [V]');
ylabel('sqrt(I_d_s) [A^{1/2}]');
title('Linear Fit of sqrt(I_d_s) vs V_g_s');

% 임계 전압 계산 (y = 0일 때 V_g_s 값)
Vth = -y_int / slope;

% 결과 출력
fprintf('임계 전압 (Vth): %.2f V\n', Vth);
```

Fig. 16. MATLAB code for the calculation of threshold voltage.

2.6.3 Mobility (μ)

- 전계 효과 이동도는 트랜지스터의 성능을 평가하는 중요한 전기적 파라미터 중 하나로, 전하 캐리어가 반도체 채널 내에서 얼마나 빠르게 이동할 수 있는지를 나타낸다. 또한 트랜지스터가 전류를 얼마나 빠르게 전달하고, 얼마나 효율적으로 스위칭할 수 있는지에 대한 성능을 평가하는 주요 지표 중 하나이다.

- 다음은 전계 효과 이동도를 계산하기 위한 수식이다 [14,18,19].

$$\mu = \frac{L}{WC_i V_{DS}} \times \frac{dI_{DS}}{dV_{GS}} \quad (3)$$

일반적으로 전계 효과 이동도는 채널 길이(L), 채널 폭(W), 게이트 절연막층 커패시턴스(C_i), 드레인 전압(V_{DS})과 같은 물리적 변수에 의해 결정된다. 이 값들은 실험 장비와 조건에 따라 다를 수 있으므로, 실제 조건에 맞게 설정해야 한다. 본 논문에서 전계 효과 이동도 계산을 위해 설정한 파라미터는 다음과 같다.

```

% 모빌리티 계산을 위한 파라미터
CH_W = 2E-5; % 채널 폭 [m]
CH_L = 5E-6; % 채널 길이 [m]
Dielec_t = 5E-8; % 유전층 두께 [m]
Dielec_e = 3.9; % 유전율 (SiO2 유전율)
vac_e = 8.85E-12; % 진공 유전율 [F/m]
V_ds = 1; % 드레인-소스 전압 [V]

```

Fig. 17. Parameter setting for mobility calculation.

- 전계 효과 이동을 계산하기 위해서는 전이 곡선에서 선형 영역을 찾아 범위를 설정해야 한다. 본 논문에서는 전계 효과 이동도 계산을 위한 V_{DS} 의 범위를 15 V에서 20 V의 구간으로 설정했다. 다음은 전계 효과 이동도를 계산하기 위한 기울기를 구하는 MATLAB 코드이다.

```

% 모빌리티를 위해 I_d_s 값을 그대로 사용
x_fitdata_mobility = alldata(rangestart-1:rangeend-1, xaxis); % V_gs 값
y_fitdata_mobility = alldata(rangestart-1:rangeend-1, yaxis); % I_d_s 값

% 선형 피팅
fit_param_mobility = polyfit(x_fitdata_mobility, y_fitdata_mobility, 1);
slope_mobility = fit_param_mobility(1); % 기울기

```

Fig. 18. MATLAB code for the calculation of mobility.

- 여기서 xaxis, yaxis 값은 임계 전압을 구하기 위해 사용한 값과 같다. 이를 기반으로 선형 피팅을 수행하여 전계 효과 이동을 계산할 수 있다. 본 논문에서는 polyfit 함수를 이용해 I_{DS} 와 V_{GS} 의 선형 관계를 1차 함수로 피팅하여 선형 구간의 기울기를 구하였다.
- 전계 효과 이동을 계산하기 위해 먼저 게이트 절연막 층 커패시턴스를 계산한다. 본 논문에서 제작한 TFT의 채널의 길이(L)는 5 μm , 폭(W)은 20 μm 이다. 게이트 절연막층으로 SiO_2 를 사용하였으므로, SiO_2 의 유전율을 통해 커패시턴스를 계산한다. 게이트 절연막층의 커패시턴스를 계산하기 위한 수식은 다음과 같다.

$$C_i = \epsilon_r \times \epsilon_0 \times \frac{A}{d} \quad (4)$$

- 위 식에서 ϵ_r 는 유전 상수로, SiO_2 의 유전상수인 3.9를 대입한다. ϵ_0 는 진공에서의 유전율로, 8.85×10^{-12} F/m이다. 커패시턴스는 게이트와 게이트 절연막층, 채널 사이의 구조에서 발생하므로, 게이트 절연막층의 단면적은 채널의 단면적과 같다. 계산한 단면적 A는 1×10^{-10} m^2 이다. 또, Si 웨이퍼 위에 SiO_2 가 50 nm 열적으로 산화된 기판을 사용했으므로, 커패시터의 절연막 두께 d는 50×10^{-9} m이다. 주어진 값들로 계산한 커패시턴스 C_i 는 6.903×10^{-14} F/ m^2 이다. 앞서 제시한 채널 폭과 길

이, 드레인/소스 전압과 계산한 선형 구간의 기울기, 커패시턴스를 전계 효과 이동도 계산을 위한 수식에 대입해 계산한다. 본 논문에서 제작한 ZnO TFT의 전계 효과 이동도 값은 6.79×10^{-1} cm^2/Vs 이다.

```

% 산화막의 단위 면적당 정전용량 계산 (F/cm²)
areal_cap = vac_e * Dielec_e / Dielec_t * 10^-4; % F/cm²

% 모빌리티(Mobility) 계산
mobility = (slope_mobility * CH_L) / (CH_W * areal_cap * V_ds); % cm² / V · s 단위

```

Fig. 19. Capacitance and mobility calculation.

2.6.4 On/Off ratio

- 트랜지스터의 On/Off 비율은 소자의 성능을 평가하는 핵심 지표로서, 트랜지스터가 꺼진 상태에서의 최소 전류와 켜진 상태에서의 최대 전류 간의 비율을 나타낸다. 이 비율은 소자의 전류 제어 능력과 스위칭 성능을 직접적으로 반영하며, 비율이 높을수록 소자의 성능이 뛰어나다고 평가할 수 있다.
- 트랜지스터가 켜진 상태에서 흐르는 최대 전류를 I_{On} , 꺼진 상태에서 흐르는 최소 전류를 I_{Off} 라고 할 때, On/Off 비율은 다음과 같이 계산된다.

$$\text{On/Off Ratio} = \frac{I_{On}}{I_{Off}} \quad (5)$$

- 시각화한 전이 곡선을 분석하면, Off 상태에서 V_{GS} 가 약 5 V일 때 드레인 전류는 약 10^{-11} A로 나타난다. On 상태에서는 V_{GS} 가 약 15~20 V일 때 전류가 10^{-4} A 정도로 나타난다. 이 값을 이용해 On/Off 비율을 계산하였다. 본 논문에서 On/Off 비율 값은 10^7 이다.

$$\frac{10^{-4}\text{A}}{10^{-11}\text{A}} = 10^7 \quad (6)$$

- 일반적으로 TFT에서 On/Off 비율이 10^6 이상이면 소자의 성능이 우수하다고 평가할 수 있다 [3].

3. 결론

- 본 논문에서는 ZnO 기반 박막 트랜지스터의 제작 방법과 소자의 성능 평가에 필요한 기본적인 분석법을 기술하였다. 반도체 공정을 활용하여 TFT를 제작하고, Keithley 4200A-SCS와 probe station을 사용하여

ZnO의 전기적 특성을 측정하였다. 박막 트랜지스터의 성능을 결정하는 대표적 파라미터인 전계 효과 이동도, 서브스레숄드 스윙, 임계 전압, On/Off 비율을 MATLAB 코드를 통해 계산하였다. 본 논문에서 제시한 제작 및 측정 방법론은 향후 ZnO를 활용한 다양한 전자 소자 개발에 적용될 수 있을 뿐만 아니라, 차세대 투명하고 유연한 디스플레이 소자의 설계와 제작, 평가 과정에 있어 중요한 기초 자료로 사용될 수 있다.

ORCID

Yoon Kyeung Lee

<https://orcid.org/0000-0001-5160-1015>

감사의 글

이 성과는 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No.2022R1C1C101007113, RS-2023-00221295).

REFERENCES

- [1] J. Raja, K. Jang, C.P.T. Nguyen, J. Yi, N. Balaji, and S. Chatterjee, *Trans. Electr. Electron. Mater.*, **16**, 234 (2015).
doi: <https://doi.org/10.4313/TEEM.2015.16.5.234>
- [2] S. H. Kim, J. Yoon, S. O. Yun, Y. Hwang, H. S. Jang, and H. C. Ko, *Adv. Funct. Mater.*, **23**, 1375 (2013).
doi: <https://doi.org/10.1002/adfm.201202409>
- [3] L. Zhang, H. Zhang, Y. Bai, J. W. Ma, J. Cao, X. Y. Jiang, and Z. L. Zhang, *Solid State Commun.*, **146**, 387 (2008).
doi: <https://doi.org/10.1016/j.ssc.2008.03.036>
- [4] V. Gurylev and T. P. Perng, *J. Eur. Ceram. Soc.*, **41**, 4977 (2021).
doi: <https://doi.org/10.1016/j.jeurceramsoc.2021.03.031>
- [5] S. Kim and K. H. Kim, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **36**, 109 (2023).
doi: <https://doi.org/10.4313/JKEM.2023.36.2.2>
- [6] K. Remashan, D. K. Hwang, S. J. Park, and J. H. Jang, *Jpn. J. Appl. Phys.*, **47**, 2848 (2008).
doi: <https://doi.org/10.1143/JJAP.47.2848>
- [7] E.M.C. Fortunato, P.M.C. Barquinha, A.C.M.B.G. Pimentel, A.M.F. Gonçalves, A.J.S. Marques, L.M.N. Pereira, and R.F.P. Martins, *Adv. Mater.*, **17**, 590 (2005).
doi: <https://doi.org/10.1002/adma.200400368>
- [8] D. H. Kim and W. J. Cho, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **29**, 11 (2016).
doi: <https://doi.org/10.4313/jkem.2016.29.1.11>
- [9] J. H. Choi, I. H. Cho, C. J. Kim, and B. H. Jun, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **30**, 54 (2017).
doi: <https://doi.org/10.4313/jkem.2017.30.1.54>
- [10] T. Kim, K. Jang, J. Raja, N.T.C. Phu, S. Lee, S. Kang, T. T. Trinh, Y. J. Lee, and J. Yi, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **29**, 1 (2016).
doi: <https://doi.org/10.4313/jkem.2016.29.1.1>
- [11] W. C. Lim, J. P. Singh, Y. Kim, J. Song, K. H. Chae, and T. Y. Seong, *Vacuum*, **183**, 109776 (2021).
doi: <https://doi.org/10.1016/j.vacuum.2020.109776>
- [12] W. S. Choi, *Trans. Electr. Electron. Mater.*, **11**, 253 (2010).
doi: <https://doi.org/10.4313/teem.2010.11.6.253>
- [13] S. Vyas, *Chin. J. Phys.*, **56**, 117 (2018).
doi: <https://doi.org/10.1016/j.cjph.2017.12.002>
- [14] S. Y. Lee, *Trans. Electr. Electron. Mater.*, **18**, 250 (2017).
doi: <https://doi.org/10.4313/TEEM.2017.18.5.250>
- [15] T. Kamiya, K. Nomura, and H. Hosono, *J. Disp. Technol.*, **5**, 468 (2009).
doi: <https://doi.org/10.1109/jdt.2009.2034559>
- [16] S. J. Seo, C. G. Choi, Y. H. Hwang, and B. S. Bae, *J. Phys. D: Appl. Phys.*, **42**, 035106 (2009).
doi: <https://doi.org/10.1088/0022-3727/42/3/035106>
- [17] J. H. Choi, I. H. Cho, C. J. Kim, and B. H. Jun, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **30**, 54 (2017).
doi: <https://doi.org/10.4313/jkem.2017.30.1.54>
- [18] T. Kamiya, K. Nomura, and H. Hosono, *J. Disp. Technol.*, **5**, 468 (2009).
doi: <https://doi.org/10.1109/jdt.2009.2034559>
- [19] F. Torricelli, J. R. Meijboom, E. Smits, A. K. Tripathi, M. Ferroni, S. Federici, G. H. Gelinck, L. Colalongo, Z. M. Kovacs-Vajna, D. de Leeuw, and E. Cantatore, *IEEE Trans. Electron Devices*, **58**, 2610 (2011).
doi: <https://doi.org/10.1109/TED.2011.2155910>