


일산화질소 후속 열처리 시간에 의한 4H-SiC MOSFETs 소자의 전기적 특성 개선

박창준, 조영훈, 김지현, 이건희, 김예진, 박승현, 구상모 

광운대학교 전자재료공학과

Improvement of Electrical Properties in 4H-SiC MOSFETs by Nitric Oxide Post-Oxidation Annealing

Chang-Jun Park, Young-Hun Cho, Ji-Hyun Kim, Geon-Hee Lee,
Ye-Jin Kim, Seung-Hyun Park, and Sang-Mo Koo

Department of Electric Materials Engineering, Kwangwoon University, Seoul 01897, Korea

(Received July 5, 2024; Revised August 6, 2024; Accepted September 10, 2024)

Abstract: 4H-Silicon carbide (4H-SiC) is a promising material for power and harsh environment devices owing to its superior material properties, including wide bandgap, high critical electric field, and high thermal conductivity. However, despite the advantages of 4H-SiC, its channel mobility is reduced due to the high interface defect density between SiC and the oxide film, leading to increased device switching loss. Therefore, it is necessary to develop new fabrication methods to improve the quality of the SiO₂/4H-SiC interface. According to recent research, the effect of high-temperature (1,250~1,300°C) nitric oxide (NO) annealing on the interface states of SiO₂/4H-SiC and the channel mobility of 4H-SiC metal-oxide-semiconductor-field-effect transistors (MOSFETs) were investigated. Previous studies have optimized the NO post-oxidation annealing (POA) process, using N₂ diluted NO at 1,300°C to reduce the high SiO₂/4H-SiC interface trap density (D_{it}). This paper focuses on high-temperature (1,250°C) 10% NO annealing to reduce interface defects by integrating nitrogen atoms into the oxide layer near the SiC interface, potentially increasing the channel mobility. Electrical properties such as D_{it} , threshold voltage (V_{th}), field-effect mobility (μ_{FE}), and specific on-resistance ($R_{on,sp}$) were assessed through capacitance-voltage (C-V) and current-voltage (I-V) measurements. It has been confirmed that the interface defect density of the gate oxide film was effectively improved under the POA conditions of 10% NO for 1 hour at 1,250°C.

Keywords: 4H-SiC, MOSFET, D_{it} , NO, POA, Oxidation

실리콘 카바이드(silicon carbide, SiC)는 높은 임계 파괴 전계, 열 전도율 및 포화 드리프트 속도를 가진 유망한 와이드 밴드갭 물질이다 [1-5]. 이러한 특성으로 인해 SiC

금속-산화막-반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field effect transistor, MOSFET)는 고전력, 고주파 및 고온을 포함한 극한 환경에서 사용할 수 있다 [6,7]. 그러나 SiC MOSFET는 게이트 산화막과 계면(interface)에 존재하는 탄소와 탄소 클러스터, 그리고 dangling bonds 때문에 높은 계면 트랩 밀도(interface trap density, D_{it})가 나타나고, 이로 인해 낮은 채널 이동도의 단점을 가진다 [8]. 이러한 단점을 극복할

✉ Sang-Mo Koo; smkoo@kw.ac.kr

Copyright ©2025 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

수 있는 방법 중 하나로 일산화질소(nitric oxide, NO) 후속 열처리(post-oxidation-annealing, POA) 공정이 있다 [9-11]. NO POA를 이용하여 성장시킨 열산화막은 D_{it} 와 근처 계면 트랩 밀도(N_{it})를 감소시키지만, 실리콘-탄소 결합 간의 탄소 관련 결함을 야기시키는 문제가 있다 [12-16].

최근 연구에 의하면 MOS 계면에서 NO POA를 1,250°C에서 수행할 경우, 낮은 온도($\leq 1,200^\circ\text{C}$)에서 수행하는 것보다 계면 상태가 더 개선된다는 보고가 있다 [17]. 고온의 NO POA ($\geq 1,250^\circ\text{C}$)는 산화막-반도체 계면에서 N-Si 결합을 강화하고, 계면에서 질소 패시베이션 효과를 강화하여 계면 결함 밀도를 더욱 줄이는 것으로 보고되고 있다 [18-20]. 그러나 1,250°C에서 고온 NO POA 공정에 따른 계면 특성과 채널 이동도의 연관성에 대한 추가적인 연구가 필요한 상황이다. 따라서 본 연구에서는 1,250°C에서 NO POA 시간에 따른 계면 결함 특성과 전기적 특성의 연관성을 분석하였다.

본 연구에서는 그림 1과 같이 NO POA 공정을 진행한 MOSFETs와 MOS 커패시터를 제작하였다. 소자 제작은 4°-off-axis n-type 4H-SiC (0001) 기판 위에 $1 \times 10^{16} \text{ cm}^{-3}$ 농도의 n-type epi층을 가진 웨이퍼를 사용하였다. RCA 클리닝 후, 1분 동안 1% HF 용액에 담가서 자연 산화막을 제거하였다. 산화 공정은 1,200°C에서 O_2 가스를 주입하며 30분 동안 건식 산화(dry oxidation) 공정으로 진행하였다. 건식 산화 공정이 완료된 후, 온도를 1,250°C로 증가시켜 NO POA 공정을 진행하였다. NO 분위기의 공정시간을 1시간, 2시간, 3시간으로 하였고, NO와 N_2 가스 비율은 1:9 (NO 10%)로 동일하게 진행하였다. 게이트 전극은 알루미늄(aluminum, Al)을 이용해 500 μm 지름을

가지는 원형으로 증착하였다. 마지막으로, 기판 뒷면의 산화막을 제거한 후, MOS 커패시터의 후면전극을 알루미늄으로 증착하였다. 수평형 n-채널 MOSFETs의 P-well 층은 상온에서 알루미늄 이온 주입 공정을 통해 형성되었다. 이온 주입 에너지를 10~700 keV, 이온 주입 총 주입량(dose)을 $5 \times 10^{15} \text{ cm}^{-2}$, 도핑 농도(doping concentration)는 $1 \times 10^{17} \text{ cm}^{-3}$, 깊이는 0.7 μm 로 형성하였다. N+ 소스와 드레인 영역은 300°C에서 인(phosphorus, P) 이온 주입 공정을 통해 형성되었다. 이온 주입 에너지를 10~110 keV, 이온 주입 총 주입량을 $1 \times 10^{15} \text{ cm}^{-2}$, 깊이는 0.3 μm 로 형성하였다. P+ 영역은 300°C에서 알루미늄 이온 주입 공정을 형성되었다. 이온 주입 에너지를 10~150 keV, 이온 주입 총 주입량은 $1 \times 10^{15} \text{ cm}^{-2}$, 깊이는 0.3 μm 로 형성하였다. 게이트 산화막은 MOS 커패시터와 동일한 방식으로 형성하였다. 소스 및 드레인에 오믹 접촉을 위해 Ni/Al (50 nm/200 nm)을 증착하고, 급속 열처리(rapid thermal processing, RTP)를 사용하여 950°C에서 3분 동안 후 열처리하였다. MOSFETs의 채널의 길이와 너비는 각각 120 μm 및 250 μm 이다. NO POA 시간에 따른 전기적 특성의 변화를 확인하기 위해 전류-전압(I-V) 및 커패시턴스-전압(C-V)을 측정하였다.

그림 2는 MOS 커패시터 구조에서 NO POA (a) 1시간, (b) 2시간, (c) 3시간에 따른 게이트 산화막에 대해 quasi-static, 1 MHz에서 측정된 C-V의 특성을 보여준다. 1 MHz high frequency (HF) C-V 곡선에서 추출한 POA 1시간, 2시간, 3시간 샘플의 산화막의 두께는 각각 55.1 nm, 55.9 nm, 56.8 nm이다. POA 공정을 1시간 동안 진행한 샘플에서 C-V 곡선 사이의 차이가 가장 작은 것을 확인할 수 있으며, 이는 계면 트랩 밀도가 낮음을 의미한다. POA 시간이 증가할수록 곡선의 차이가 증가하는 것을 알 수 있었다. 이에 POA 시간이 증가함에 따라 C-V 특성은 이상적인 C-V 특성에서 벗어남을 확인하였다. 평탄 밴드 전압(flat-band voltage, V_{FB})의 변화량으로 계산된 유효 고정 전하 밀도(effective fixed charge density, Q_f)는 NO POA 시간에 따라 각각 $5.2 \times 10^{11} \text{ cm}^{-2}$, $5.6 \times 10^{11} \text{ cm}^{-2}$, $5.8 \times 10^{11} \text{ cm}^{-2}$ 를 보여준다. 이를 통해, 질화 열처리가 양전하 밀도(positive charge density)를 증가시킨 것을 확인하였다 [21].

그림 3은 NO POA 시간에 따른 D_{it} 를 보여준다. D_{it} 측정 방법으로는 high-low method 식 (1) 방식을 사용하였고, 4H-SiC의 conduction band edge 아래의 에너지 준위 0.2~0.5 eV 구간 사이를 평가하였다. 4H-SiC의 $E_c - E_t = 0.2 \text{ eV}$ 기준으로 3시간 샘플의 D_{it} 값은 $2 \times 10^{13} \text{ cm}^{-2}$

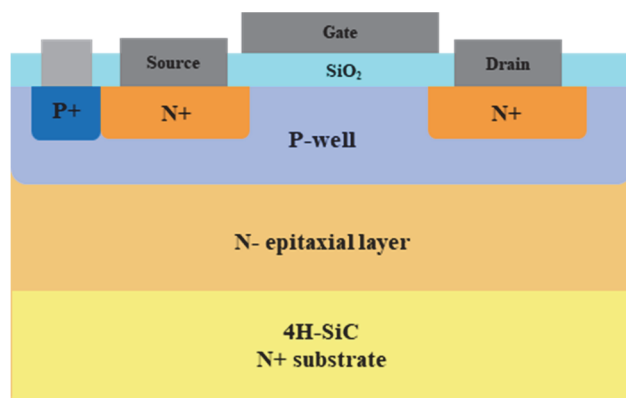


Fig. 1. Schematic cross-section of fabricated 4H-SiC MOSFETs.

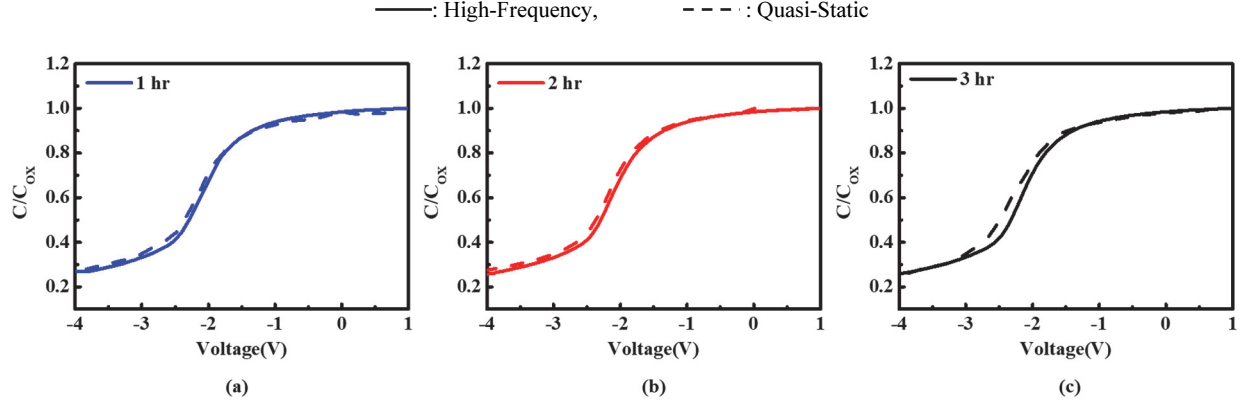


Fig. 2. Quasi-static and 1 MHz C-V characteristics of SiC MOS capacitors with NO POA for (a) 1 hr, (b) 2 hr, and (c) 3 hr [the capacitance values were normalized by the oxide capacitance (C_{ox})].

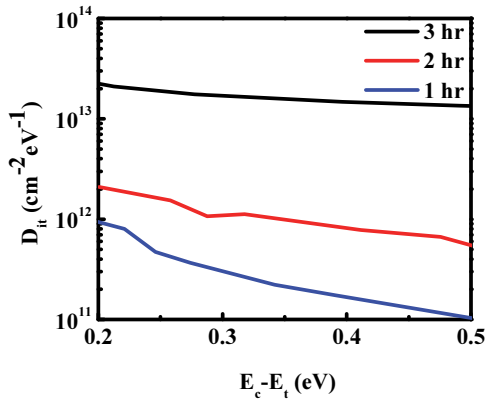


Fig. 3. Energy distribution of D_{it} for SiC MOS capacitors obtained by a high (1 MHz)-low method.

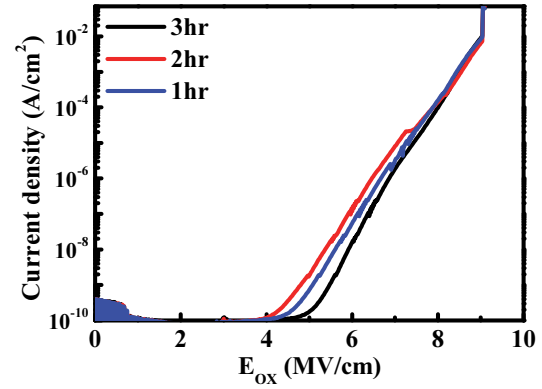


Fig. 4. J- E_{ox} characteristics of SiC MOS capacitors annealed at 1,250°C in NO for 1 hr, 2 hr, and 3 hr.

$^2eV^{-1}$ 으로 가장 높은 수준으로 평가되었고, NO POA 시간 처리된 샘플은 $7.9 \times 10^{11} \text{ cm}^{-2}eV^{-1}$ 으로 가장 낮은 수준이었다. 3시간 샘플 대비 1시간 샘플을 비교했을 때, D_{it} 값이 $1.9 \times 10^{13} \text{ cm}^{-2}eV^{-1}$ 만큼 감소한 것을 보여준다. NO POA 1시간 처리된 샘플에서, 질소는 탄소 결함을 분해하고 dangling bonds를 패시베이션하여 D_{it} 를 감소시킨다 [22]. 그러나 NO POA 시간이 증가함에 따라 산화막에 질소가 주입됨으로써 탄소 클러스터가 밴드갭 내부 특정 레벨에 새로운 결함으로 발생하여 D_{it} 가 증가한다 [23].

$$D_{it} = \frac{C_{ox}}{q^2} \left(\frac{C_{lf}/C_{ox}}{1-C_{lf}/C_{ox}} - \frac{C_{hf}/C_{ox}}{1-C_{hf}/C_{ox}} \right) \quad (1)$$

(C_{ox} : oxide capacitance, q : electronic charge, C_{lf} : quasi-static capacitance, C_{hf} : 1 MHz capacitance)

그림 4는 4H-SiC MOS 커패시터의 산화막 임계 전계에 따른 전류밀도의 변화를 나타낸다. 임계 파괴 전계는 약 0.01 A/cm^2 의 누설 전류밀도를 기준으로 도출하였다 [24]. 모든 샘플에서 임계 전계가 4 MV/cm 미만일 때 누설전류 밀도가 10^{-10} A/cm^2 로 매우 낮았다. 임계 파괴 전계는 NO POA 시간 증가에 따라 각각 9.1 MV/cm, 9.2 MV/cm, 9.0 MV/cm로 확인했다. 4H-SiC MOS 커패시터의 전계에 따른 전류밀도의 변화는 POA 공정시간 차이에 관계없이 변화가 없었다.

그림 5는 POA 공정 시간 증가에 따른 게이트 산화막 유전체의 F-N 터널링 특성을 비교하였다. $\ln(J/E_{ox}^2) - 1/E_{ox}$ 그래프에서 POA 시간이 증가할수록 $\ln(J/E_{ox}^2)$ 감소량이 작았다. 그림 5의 삽입된 그래프는 POA 지속 시간에 따른 F-N 장벽 높이를 보여준다. F-N 장벽 높이는 8~9 MV/cm 범

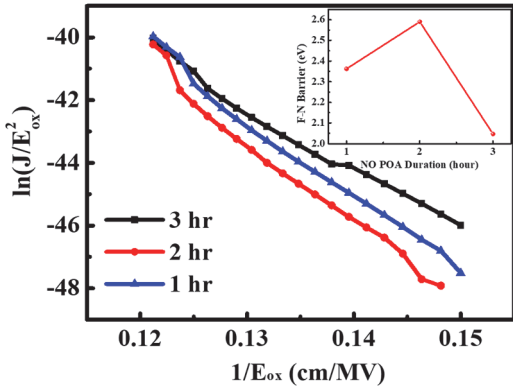


Fig. 5. Fowler–nordheim plots of fabricated SiC MOS capacitors.

위의 임계 전계 값을 사용하여 구하였다. 아래 식 (2)를 이용하여 SiC 산화막 계면의 F-N 장벽 높이를 도출하였다.

$$\ln\left(\frac{J}{E_{ox}^2}\right) = \frac{q^3(m/m_{ox})}{8\pi h\phi_B} - \frac{8\pi\sqrt{2m_{ox}\phi_B^3}}{3qh} \frac{1}{E_{ox}} \quad (2)$$

(J: current density, E_{ox} : electric field in the oxide, m: free electron mass, m_{ox} : electron mass in the oxide, ϕ_B : tunneling barrier height for electron, h : Planck constant)

F-N 장벽은 POA 1시간에서 3시간으로 증가할 때 각각 2.35 eV, 2.62 eV, 2.15 eV를 보였으며, POA 1시간과 3시간 샘플에 비해 POA 2시간 샘플에서 최댓값을 가진다. 이는, NO POA 시간이 증가함에 따라 산화막/SiC 계면에 질소가 산화물 트랩을 패시베이션하여 D_{it} 가 감소하고 F-N 장벽 높이가 증가하기 때문이다 [25,26]. 그러나 POA 3시간 샘플은 과도한 질소 주입으로 인해 새로운 결함 상태가 생겨 D_{it} 가 증가하고 F-N 장벽 높이가 감소하여 게이트 산화막의 절연 특성을 저하시킨다 [27].

그림 6(a)는 드레인 전압을 5V까지 측정된 출력 곡선 중 온저항($R_{on,sp}$)을 도출하기 위해 선형적인 지점을 확대하였다. 게이트 전압을 15 V의 바이어스로 인가하였을 때, POA 3시간 샘플의 경우 0.024 A/cm^2 가장 작은 전류밀도를 보여준다. 반면에, POA 1시간 샘플의 경우 가장 큰 전류밀도인 0.028 A/cm^2 를 보여준다. 그림 6(b)는 NO POA 지속 시간에 따른 드레인 전압의 구간 0~0.5 V에서 선형적인 부분에서의 기울기의 역수로 도출한 온저항과 문턱 전압(V_{th}) 결과값을 보여준다. 1,250°C에서 POA 1~3시

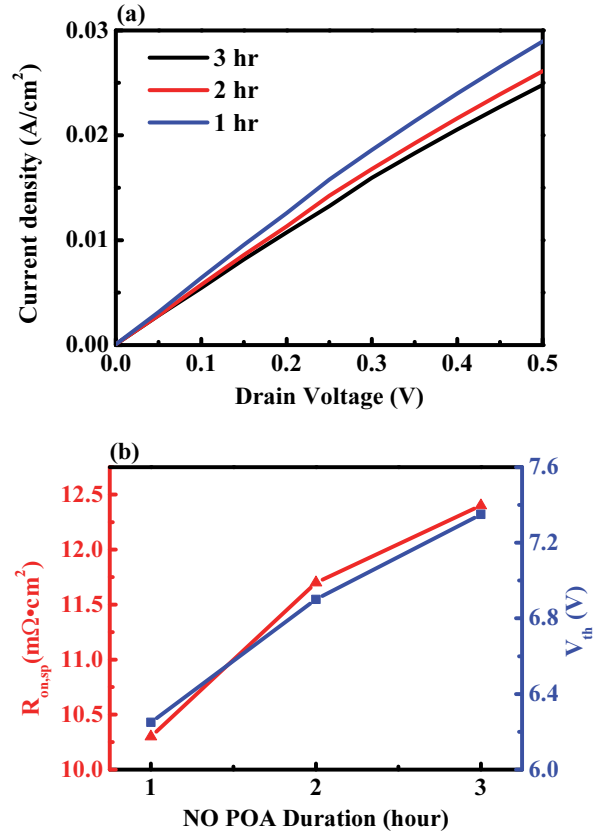


Fig. 6. (a) Output characteristics of SiC MOSFETs at linear region and (b) $R_{on,sp}$ and V_{th} of SiC MOSFETs with different NO annealing duration.

간 샘플의 경우 온저항은 각각 $10.3 \text{ m}\Omega\cdot\text{cm}^2$, $11.7 \text{ m}\Omega\cdot\text{cm}^2$, $12.4 \text{ m}\Omega\cdot\text{cm}^2$ 로 1시간 샘플에서 가장 낮은 값을 보여주었다. 이러한 결과는 3시간 POA 대비, 약 17% 감소된 수치를 보여준다. NO POA 공정은 SiC 소자의 온저항을 감소시키는 데 효과적인 것을 나타낸다. 그림 7의 삽입된 linear region 그래프는 문턱 전압 특성을 자세히 보여주기 위해 SiC MOSFETs의 전달 특성을 보여준다. POA 1~3 시간 샘플의 문턱 전압은 각각 6.25 V, 6.91 V, 7.35 V로 보여준다. 이는 POA 시간이 증가함에 따라 소자의 스위칭 전압이 증가함을 의미한다. 결론적으로, POA 1시간 공정은 SiC 소자의 온저항을 최소화하고, 낮은 문턱 전압이 전력 소자의 효율성을 높이는 데 중요한 요소임을 확인할 수 있다.

그림 7은 드레인 전압이 0.1 V일 때의 SiC (0001) MOSFETs의 전달 특성을 보여준다. 드레인 전압에 0.1 V으로 인가하여 전계-효과 이동도를 도출하였다. POA 3시간 샘플이完만한 기율기와 가장 작은 전류를 보여주고 있

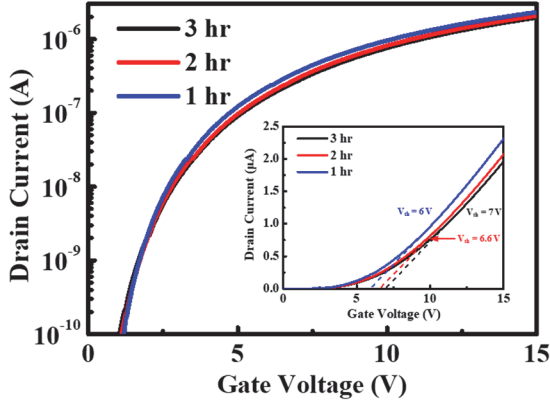


Fig. 7. Transfer characteristics of SiC MOSFETs at $V_d=0.1$ V.

다. POA (3시간, 2시간, 1시간) 샘플 순으로 가파른 기울기 및 더 낮은 문턱 전압을 보여주고 있다. 이는 계면 트랩 밀도가 감소함에 따라 발생하며, 채널 내 계면 트랩 밀도는 문턱 전압과 전류량에 영향을 끼치는 것을 알 수 있다. 다음 식 (3)을 이용하여 그림 7의 전달 특성으로부터 전계-효과 이동도(μ_{FE})를 도출하였다.

$$\mu_{FE} = \frac{dI_d}{dV_g} \frac{L}{C_{ox}V_{ds}W} \quad (3)$$

(C_{ox} : oxide capacitance, L: channel length, W: channel width)

이때, dI_d/dV_g 는 게이트 전압 대비 드레인 전류의 기울기, L은 채널의 길이, C_{ox} 는 산화막의 capacitance, V_{ds} 는 0.1 V, 그리고 W는 채널의 너비다.

그림 8은 SiC MOSFETs의 게이트 전압에 따른 전계-효과 이동도를 보여준다. 게이트 전압 15 V에서 POA 1~3시간 샘플은 각각 $37.7 \text{ cm}^2/\text{V}\cdot\text{s}$, $35.6 \text{ cm}^2/\text{V}\cdot\text{s}$, $34.4 \text{ cm}^2/\text{V}\cdot\text{s}$ 를 보여준다. 이러한 결과는 POA 3시간 샘플 대비, POA 1시간 샘플에서 약 9.6% 증가된 이동도를 가진다.

본 연구에서는 고온 산화 공정 이후 $1,250^\circ\text{C}$ NO POA 공정(1시간, 2시간, 3시간)을 이용하여 4H-SiC MOSFETs 게이트 산화막의 특성을 개선하고 전기적 특성을 분석하였다. $E_c-E_t=0.2$ eV 지점에서 가장 낮은 계면 트랩 밀도 ($7.9 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$)를 보여주었다. 또한, 3시간의 POA 공정을 진행한 샘플 대비 1시간의 POA 공정 진행한 샘플의 온저항은 약 17% 감소되었으며, 이동도는 약 9.6% 증가된 것을 보여주었다. NO 10%, $1,250^\circ\text{C}$, 1시간 환경에서 후속 열처리로 형성된 게이트 산화막의 계면 결함 밀도는 3시간 환경 대비 효과적으로 개선된 것으로 보이며, 이는

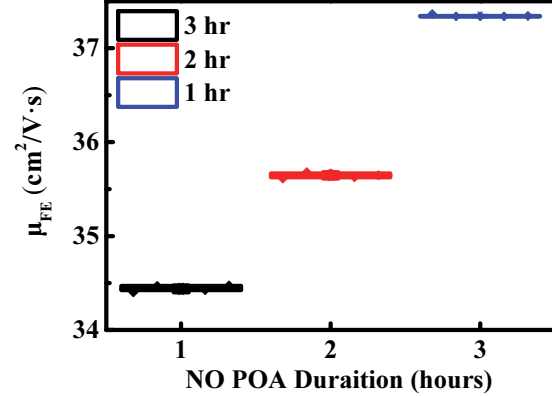


Fig. 8. Field-effect mobility (μ_{FE}) as a function of the gate voltage of SiC MOSFETs with different NO POA duration.

SiC 기반 MOSFET의 채널 특성 향상에 기여할 수 있을 것으로 사료된다.

ORCID

Sang-Mo Koo

<https://orcid.org/0000-0002-9827-9219>

감사의 글

This work was supported by the Korea Evaluation Institute of Industrial Technology (KEIT) (RS-2024-00401983) grant funded by the MOTIE of Korea, the National Research Foundation (NRF) (RS-2023-00266246) grant funded by the Korea governments, and the excellent researcher support project of Kwangwoon University in 2024.

REFERENCES

- [1] J. H. Moon, W. Bahng, I. H. Kang, S. C. Kim, M. G. Na, and N. K. Kim, *J. Korean Phys. Soc.*, **64**, 1363 (2014). doi: <https://doi.org/10.3938/jkps.64.1363>
- [2] T. Kobayashi, T. Okuda, K. Tachiki, K. Ito, Y. I. Matsushita, and T. Kimoto, *Appl. Phys. Express*, **13**, 091003 (2020). doi: <https://doi.org/10.35848/1882-0786/ababed>
- [3] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, R. K. Chanana, R. A. Weller, S. T. Pantelides, L. C. Feldman, O. W. Holland, M. K. Das, and J. W. Palmour, *IEEE Electron Device Lett.*, **22**, 176 (2001). doi: <https://doi.org/10.1109/55.915604>

- [4] R. H. Kikuchi and K. Kita, *Appl. Phys. Lett.*, **105**, 032106 (2014).
doi: <https://doi.org/10.1063/1.4891166>
- [5] Z. W. Shen, F. Zhang, S. Dimitrijević, J. S. Han, G. G. Yan, Z. X. Wen, W. S. Zhao, L. Wang, X. F. Liu, G. S. Sun, and Y. P. Zeng, *Chin. Phys. B*, **26**, 107101 (2017).
doi: <https://doi.org/10.1088/1674-1056/26/10/107101>
- [6] R. Kosugi, W. J. Cho, K. Fukuda, K. Arai, and S. Suzuki, *J. Appl. Phys.*, **91**, 1314 (2002).
doi: <https://doi.org/10.1063/1.1428099>
- [7] C. Kim, J. H. Moon, J. H. Yim, D. H. Lee, J. H. Lee, H. H. Lee, and H. J. Kim, *Appl. Phys. Lett.*, **100**, 082112 (2012).
doi: <https://doi.org/10.1063/1.3689766>
- [8] C. Fei, S. Bai, Q. Wang, R. Huang, Z. He, H. Liu, and Q. Liu, *J. Cryst. Growth*, **531**, 125338 (2020).
doi: <https://doi.org/10.1016/j.jcrysgro.2019.125338>
- [9] H. Yoshioka, T. Nakamura, and T. Kimoto, *J. Appl. Phys.*, **112**, 024520 (2012).
doi: <https://doi.org/10.1063/1.4740068>
- [10] M. Mudholkar and H. A. Mantooth, *IEEE Trans. Electron Devices*, **60**, 1923 (2013).
doi: <https://doi.org/10.1109/TED.2013.2258287>
- [11] O. Seok, H. W. Kim, J. H. Moon, H. S. Lee, and W. Bahng, *Jpn. J. Appl. Phys.*, **57**, 06HC08 (2018).
doi: <https://doi.org/10.7567/JJAP.57.06HC08>
- [12] T. Kobayashi, K. Tachiki, K. Ito, and T. Kimoto, *Appl. Phys. Express*, **12**, 031001 (2019).
doi: <https://doi.org/10.7567/1882-0786/ab032b>
- [13] M. Sometani, D. Nagai, Y. Katsu, T. Hosoi, T. Shimura, M. Takei, Y. Yonezawa, and H. Watanabe, *Jpn. J. Appl. Phys.*, **56**, 04CR04 (2017).
doi: <https://doi.org/10.7567/JJAP.56.04CR04>
- [14] T. Hosoi, D. Nagai, M. Sometani, Y. Katsu, H. Takeda, T. Shimura, M. Takei, and H. Watanabe, *Appl. Phys. Lett.*, **109**, 182114 (2016).
doi: <https://doi.org/10.1063/1.4967002>
- [15] T. Kobayashi, K. Tachiki, K. Ito, and T. Kimoto, *Appl. Phys. Express*, **12**, 031001 (2019).
doi: <https://doi.org/10.7567/1882-0786/ab032b>
- [16] Y. Li, X. Deng, Y. Liu, Y. Zhao, C. Li, X. Chen, and B. Zhang, *J. Semicond.*, **36**, 094003 (2015).
doi: <https://doi.org/10.1088/1674-4926/36/9/094003>
- [17] K. Moges, M. Sometani, T. Hosoi, T. Shimura, S. Harada, and H. Watanabe, *Appl. Phys. Express*, **11**, 101303 (2018).
doi: <https://doi.org/10.7567/APEX.11.101303>
- [18] S. Lee, S. Kim, H. J. Kang, H. W. Kim, O. Seok, J. H. Moon, W. Bahng, H. J. Kim, and M. W. Ha, *Phys. Scr.*, **94**, 125811 (2019).
doi: <https://doi.org/10.1088/1402-4896/ab432c>
- [19] J. H. Moon, I. H. Kang, H. W. Kim, O. Seok, W. Bahng, and M. W. Ha, *Curr. Appl. Phys.*, **20**, 1386 (2020).
doi: <https://doi.org/10.1016/j.cap.2020.09.003>
- [20] J. H. Moon, J. H. Yim, H. S. Seo, D. H. Lee, H. K. Song, J. Heo, H. J. Kim, K. Y. Cheong, W. Bahng, and N. K. Kim, *J. Electrochem. Soc.*, **157**, H196 (2009).
doi: <https://doi.org/10.1149/1.3267508>
- [21] K. Y. Cheong, S. Dimitrijević, J. Han, and H. B. Harrison, *J. Appl. Phys.*, **93**, 5682 (2003).
doi: <https://doi.org/10.1063/1.1555696>
- [22] J. Rozen, S. Dhar, M. E. Zvanut, J. R. Williams, and L. C. Feldman, *J. Appl. Phys.*, **105**, 124506 (2009).
doi: <https://doi.org/10.1063/1.3131845>
- [23] G. Y. Chung, C. C. Tin, J. R. Williams, K. McDonald, M. Di Ventura, S. T. Pantelides, L. C. Feldman, and R. A. Weller, *Appl. Phys. Lett.*, **76**, 1713 (2000).
doi: <https://doi.org/10.1063/1.126167>
- [24] K. Matocha, G. Dunne, S. Soloviev, and R. Beaupre, *IEEE Trans. Electron Devices*, **55**, 1830 (2008).
doi: <https://doi.org/10.1109/TED.2008.926595>
- [25] K. Tachiki and T. Kimoto, *IEEE Trans. Electron Devices*, **68**, 638 (2020).
doi: <https://doi.org/10.1109/TED.2020.3040207>
- [26] B. Y. Tsui, Y. T. Huang, T. L. Wu, and C. H. Chien, *Microelectron. Reliab.*, **123**, 114186 (2021).
doi: <https://doi.org/10.1016/j.microrel.2021.114186>
- [27] A. K. Agarwal, S. Seshadri, and L. B. Rowland, *IEEE Electron Device Lett.*, **18**, 592 (1997).
doi: <https://doi.org/10.1109/55.644081>