

강유전체를 이용한 무접합 타원형 Gate-All-Around FET의 문턱 전압 이하 스윙 모델

정학기 

군산대학교 전자공학과

Subthreshold Swing Model of Elliptic Junctionless Gate-All-Around FET Using Ferroelectric

Hakkee Jung

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

(Received October 4, 2024; Revised October 28, 2024; Accepted October 28, 2024)

Abstract: This paper presented an analytical SS model to determine the subthreshold swing (SS) of an elliptic junctionless Gate-All-Around (GAA) FET using ferroelectric. Analyzing a GAA FET with an elliptic cross-section was essential because it is difficult to manufacture a perfectly circular GAA FET. The results of the proposed SS model agreed well with 2D numerical simulation. Using this analytical SS model, SS was analyzed for the eccentricity and the ratio (P_r/E_c) of permanent polarization P_r and coercive electric field E_c in an elliptic junctionless GAA FET with an MFMS (Metal-Ferroelectric-Metal-Insulator-Semiconductor) structure using ferroelectric. As a result, the changing rate of the average surface potential due to the gate voltage increased and SS decreased as the eccentricity increased. It was found that the inner gate voltage amplified more than the outer gate voltage due to the ferroelectricity, better controlling the carriers in the channel, thereby reducing SS. As the P_r/E_c decreased, the changing rate of the ferroelectric charge for the outer gate voltage increased and SS decreased. As the eccentricity increased, the changing rate of SS for P_r/E_c decreased. There was no significant change in SS until the eccentricity was about 0.5. The SS began to decline above 0.5 due to the changes in ferroelectric charge, inner gate voltage, and average surface potential for the outer gate voltage.

Keywords: Ferroelectric, Elliptic, Gate-all-around, Subthreshold swing, Eccentricity

1. 서론

반도체 집적회로의 집적도가 2년에 두 배씩 증가한다는 무어의 법칙이 미세공정의 한계로 인하여 더 이상 일치하지 않고 있다. 이는 미세화과정을 겪고 있는 트랜지스터의

동작에 한계를 보이고 있기 때문이며 이를 해결하기 위하여 트랜지스터 구조 및 배치 기술을 개발하고 있다. 트랜지스터 구조는 FinFET의 개발로 인하여 이미 3차원 구조가 보편화되었으며 삼성전자 및 TSMC에서는 더욱 진화한 gate-all-around (GAA) FET의 실용화에 나서고 있다 [1,2]. GAA FET는 게이트 단자로 채널을 감싸는 구조로서 게이트 전압에 의한 채널 내 캐리어의 흐름을 제어하는 데 가장 효과적인 소자로서 나노와이어 형태로 시작하여 사각형의 nanosheet 형태를 거쳐 원통형 구조에 이르고 있다 [3,4]. 또한 전류 레벨을 향상시키기 위하여 multi-

✉ Hakkee Jung; hkjung@kunsan.ac.kr

Copyright ©2025 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

bridge channel FET 형태로 제작하고 있다 [5]. 이는 채널의 면적을 증가시켜 저항을 감소시키고 전류량을 증가시킬 수 있어 누설전류를 더욱 효과적으로 제어할 수 있는 구조이다.

이러한 노력에도 불구하고 트랜지스터의 미세화에 따른 단채널 효과는 항상 발생하고 있다 [6,7]. 특히 채널 길이 감소에 따라 문턱 전압 이하 영역에서 기생 전류의 증가는 누설전류의 원인이 되고 있어 트랜지스터 미세화에 걸림돌이 되고 있다 [8,9]. 전술한 바와 같이 온 전류(on current)는 다채널 형태로 트랜지스터를 제작하여 해결하고 있지만 오프 전류(off current)의 증가도 동시에 해결해야 하는 문제가 대두된다. 온 전류와 오프 전류의 관계를 잘 표현하는 단채널 효과는 문턱 전압 이하 스윙(subthreshold swing, SS)이다. 본 논문에서는 단채널 효과 중 누설전류와 가장 밀접한 관계가 있는 SS에 대하여 분석할 것이다.

GAA 구조 제작 시 필수적으로 사용하고 있는 식각, 증착 공정에서 필연적으로 발생하는 불규칙성 때문에 이상적인 원형 GAA 구조를 제작하기에 어려움을 겪고 있으며 이때 제작된 타원형 구조의 채널을 갖는 GAA FET에 대한 연구가 진행되고 있다 [10,11]. 타원형 GAA FET에 대한 기존의 연구 방향은 단지 장축과 단축의 크기 변화에 대한 단채널 효과의 분석에 집중되어 있다 [12,13]. 장축이든 단축이든 길이가 변화한다면 당연히 채널 단면적이 변화할 것이며 이로 인하여 단채널 효과도 변화할 것이다. 즉 이미 발표한 논문들에서는 동일한 채널 단면적에 대하여 분석한 것이 아니므로 본 논문에서는 동일한 단면적을 갖는 타원형 GAA FET에 대하여 SS를 분석할 것이다. 다행히 원형 GAA FET보다 타원형 GAA FET가 동일한 단면적을 가질 때 이심률(eccentricity)이 증가할 때 SS가 감소하는 특성을 보이고 있었다 [14]. 그러나 타원형 GAA FET일지라도 Boltzmann tyranny [15]에 따라 SS의 최저한계인 60 mV/dec를 극복할 수는 없었다. 이와 같은 한계를 극복하기 위하여 강유전체를 게이트 산화막으로 사용하기 시작하였다. 강유전체 물질인 HfO_2 에 대한 많은 연구가 진행되고 있으며 이를 트랜지스터에 응용하기에 이르렀다 [16,17]. 강유전체는 음의 커패시턴스 특성을 보이기 때문에 Boltzmann tyranny를 극복할 수 있다고 알려져 있으며 많은 연구가 진행되고 있다 [18,19]. 이에 삼성전자는 3나노 반도체공정 기반 GAA FET의 양산을 발표한 데 이어 강유전체를 이용한 1페타비트 수준의 저장용량을 제공할 수 있는 차세대 3차원 낸드플래시를 개발하기에 이르렀다 [20]. 이와 같이 강유전체를 이용한 GAA FET는 차세대 트랜지스터로써 반도체 업체의 화두가 될 것이며 상호

경쟁을 할 것이다. 이에 본 논문에서는 강유전체를 이용한 타원형 GAA FET의 SS를 해석하기 위한 모델을 제시하고자 한다. 이때 게이트 구조는 metal-ferroelectric-metal-insulator-semiconductor (MFMIS) 구조를 사용할 것이다. 채널 도핑은 소스/드레인 단자와 도핑 형태가 동일한 무접합 형태를 사용할 것이다.

2. 강유전체를 이용한 무접합 타원형 GAA FET의 문턱 전압 이하 스윙 모델

2.1 강유전체를 이용한 무접합 타원형 GAA FET의 구조와 전하

그림 1은 본 논문에서 사용한 타원형 GAA FET의 개략도이다. 그림 1에서 알 수 있듯이 MFMIS 구조로 이루어져 있으며 게이트 전압은 외부 게이트에 인가된 V_{gs2} 이며 내부 게이트에 유도된 전압은 V_{gs1} 이다. 강유전체는 HfZrO 를 사용하였으며 이미 발표한 논문에서도 언급한 바와 같이 잔류분극(remanent polarization) P_r 과 항전계(coercive field) E_c 의 일반적인 값에 대하여 SS를 구하였다. 특히 P_r 과 E_c 의 비인 P_r/E_c 에 따라 SS는 일정하기 때문에 P_r/E_c 가 각각 10, 20, 30 pF/cm인 경우에 대하여 SS를 비교하였다 [21]. 산화막으로는 SiO_2 를 사용하였으며 타원형 FET의 장축의 길이 a 와 단축의 길이 b 의 비(aspect ratio: AR) b/a 에 의하여 변화하는 이심률은 기준이 되는 원형 GAA FET의 채널 단면적 πR^2 과 타원형 GAA FET의 채널 단면적 πab 가 동일할 때, 즉 $R^2=ab$ 에 대하여 이심률이 변화할 때 SS를 구하였다. 채널 물질은 실리콘이며 채널 도핑은 N형으로 무접합 형태를 사용하였

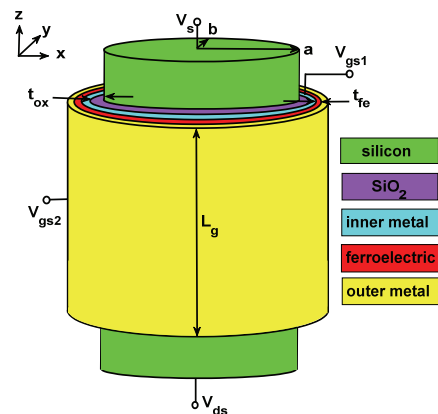


Fig. 1. Overview of the elliptic junctionless GAA FET with ferroelectric.

Table 1. Device parameters for this analytical SS model.

Device parameter	Symbol	Value
Channel length	L_g	20~60 nm
Channel radius	R	5~10 nm
Oxide thickness	t_{ox}	1~2 nm
Ferroelectric thickness	t_{fe}	10 nm
Doping concentration	N_D	$10^{18} / \text{cm}^3$
Ratio of P_r and E_c	P_r/E_c	10, 20, 30 pF/cm
Eccentricity	e	0~0.99

으며 농도는 $10^{18} / \text{cm}^3$ 를 사용하였다. 본 논문에서 사용한 소자 파라미터는 표 1과 같이 이미 발표한 논문 [21]에서 사용한 바와 같은 범위의 값을 사용하였다. 또한 모델링된 수식을 이용한 계산을 위하여 MATLAB을 사용하였다.

반지름 R 를 가진 원과 동일한 면적을 갖기 위한 장축과 단축의 관계는 타원의 이심률 e 에 대하여 다음 식 (1)과 같다.

$$e = \sqrt{1 - \left(\frac{b}{a}\right)^2}, \quad b = R(1 - e^2)^{\frac{1}{4}}, \quad a = \frac{R^2}{b} \quad (1)$$

MFMS 구조에서 인가 전압 V_{gs2} 에 의한 채널 내 캐리어의 변화를 관찰하기 위하여 먼저 강유전체의 전하 Q 를 구해야만 한다. 강유전체의 전하 Q 에 의하여 강유전체 전압 V_{fe} 가 결정될 것이며 다음 식 (2)에 의하여 채널 내 캐리어에 직접적으로 영향을 미치는 내부 게이트 전압 V_{gs1} 을 구할 수 있을 것이다.

$$V_{fe} = 2\alpha t_{fe} Q + 4\beta t_{fe} Q^3 + 6\gamma t_{fe} Q^5 \quad (2)$$

$$\alpha = -\frac{3\sqrt{3} E_c}{4 P_r} (m/F), \quad \beta = \frac{3\sqrt{3} E_c}{8 P_r^3} (m^3/F/C^2), \quad \gamma = 0$$

$$V_{gs1} = V_{gs2} - V_{fe} = V_{gs2} - (2\alpha t_{fe} Q + 4\beta t_{fe} Q^3 + 6\gamma t_{fe} Q^5)$$

먼저 채널 내 전하 Q_{sc} 는 다음 식 (3)으로 주어질 것이다.

$$Q_{sc} = -C_{ox} (V_{gs1} - V_{fb} - \phi_s) \quad (3)$$

여기서 표면 전위 ϕ_s 를 구하기 위하여 Chaing의 전위 모델을 이용하였다 [22]. 즉,

$$\begin{aligned} \phi_s &= \phi_c(z) + \left(\frac{x^2}{2\lambda_a^2} + \frac{y^2}{2\lambda_b^2} \right) \left\{ (V_{gs1} - V_{fb}) - \phi_c(z) \right\} \\ &= \phi_c(z) + \left(\frac{a^2 \cos^2 \theta}{2\lambda_a^2} + \frac{b^2 \sin^2 \theta}{2\lambda_b^2} \right) \left\{ (V_{gs1} - V_{fb}) - \phi_c(z) \right\} \end{aligned} \quad (4)$$

$$\phi_c(z) = Ae^{-\frac{z}{\lambda}} + Be^{\frac{z}{\lambda}} + \phi_{CL}, \quad \phi_{CL} = V_{gs1} - V_{fb} + \frac{qN_D \lambda^2}{\epsilon_{si}}$$

ϕ_{CL} 은 장채널 중심 전위이며 λ 는 스케일 길이, V_{fb} 는 평판 전압을 나타내며 N_D 는 채널 도핑 농도, ϵ_{si} 는 실리콘의 유전율이다. 식 (3)에서 변수 $A, B, \lambda_a, \lambda_b, \lambda$ 등은 참고문헌 [22]에 표기되어 있다. 식 (4)를 식 (3)에 대입하여 정리하면

$$Q_{sc} = C_{ox} \left\{ Ae^{-\frac{z}{\lambda}} + Be^{\frac{z}{\lambda}} + \frac{qN_D \lambda^2}{\epsilon_{si}} - \left(\frac{a^2 \cos^2 \theta}{2\lambda_a^2} + \frac{b^2 \sin^2 \theta}{2\lambda_b^2} \right) \left(Ae^{-\frac{z}{\lambda}} + Be^{\frac{z}{\lambda}} + \frac{qN_D \lambda^2}{\epsilon_{si}} \right) \right\} \quad (5)$$

와 같이 주어지며 C_{ox} 는 SiO_2 층의 커패시터이다. 이때 강유전체 전하는 다음 식 (6)과 같이 구할 수 있다.

$$Q = - \left(\frac{C_{ox}}{2\pi L_g \sqrt{(a^2 + b^2)/2}} \right) \left[\lambda(1 - e^{-\frac{L_g}{\lambda}})(\alpha V_{gs1} + \beta) - \lambda(1 - e^{\frac{L_g}{\lambda}})(\gamma V_{gs1} + \kappa) + \frac{qN_D \lambda^2}{\epsilon_{si}} L_g \right] \times \int_0^\pi \sqrt{a^2 \cos^2 \theta + b^2 \sin^2 \theta} \left\{ 1 - \left(\frac{a^2 \cos^2 \theta}{2\lambda_a^2} + \frac{b^2 \sin^2 \theta}{2\lambda_b^2} \right) \right\} d\theta dz \quad (6)$$

여기서 L_g 는 채널 길이이며 양자역학적 모델을 포함할 필요가 없는 20 nm 이상에 대하여 계산하였다. θ 는 장축에서 단축을 향하는 각도이다. $\alpha, \beta, \gamma, \kappa$ 는 참고문헌 [22]에 표기되어 있다. 장축과 단축의 길이가 다른 타원형 GAA FET의 경우 식 (4)를 이용하여 구한 표면 전위를 그림 2에 도시하였다. 이때 파라미터는 $t_{fe}, P_r/E_c$, 이심률 e 이다. 그림 2에서도 알 수 있듯이 타원형 GAA FET의 표면 전위는 위치에 따라 크게 변화하는 것을 알 수 있다. $t_{fe}=0$ nm인 경우 장축의 끝에서 표면 전위는 최소화되며 단축의 끝에서

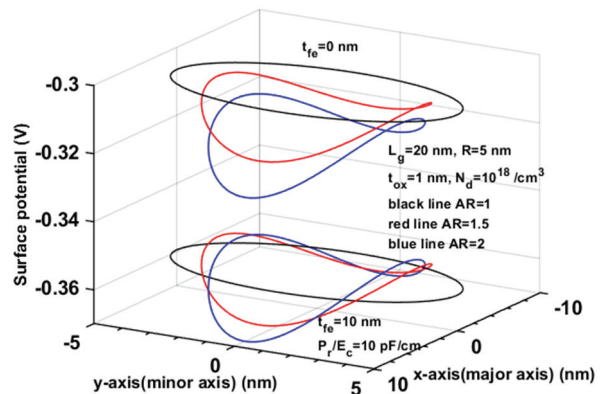


Fig. 2. Surface potential distributions with ferroelectric thickness, aspect ratio, and P_r/E_c as parameters.

최댓값을 보이고 있다. 이심률이 증가할수록 표면 전위의 최댓값과 최솟값은 감소하는 것을 관찰할 수 있다. 특히 원형 GAA FET의 표면 전위보다 항상 작다는 것을 알 수 있다. $t_{fe}=10$ nm, $P_r/E_c=10$ pF/cm의 경우 표면 전위는 크게 감소하고 있었으며 이심률에 따른 표면 전위의 변화도 $t_{fe}=0$ nm의 경우와 매우 상이한 분포를 나타내고 있었다. 즉, 원형의 표면 전위보다 높은 부분이 단축의 끝부분에서 나타났으며 이심률에 따라 $t_{fe}=0$ nm의 경우와 같이 일정한 변화를 보이고 있지 않았다. 식 (6)에서 적분은 MATLAB의 *integral* 명령어를 이용하여 구하였다. 식 (2)와 식 (6)을 이용하면 강유전체 전하 Q 를 구할 수 있다. 이는 MATLAB의 *solve* 명령어를 이용하였다.

2.2 강유전체를 이용한 무접합 타원형 GAA FET의 문턱 전압 이하 스윙 모델

식 (6)의 강유전체 전하와 식 (7)의 SS 정의를 이용하면 문턱 전압 이하 스윙을 구할 수 있다.

$$SS = \frac{dV_{gs2}}{d(\log I_{ds})} = \ln(10) \left(\frac{kT}{q} \right) \left(\frac{d\phi_{cmin}}{dV_{gs2}} \right)^{-1} \quad (7)$$

식 (7)에서 최소 중심 전위 ϕ_{cmin} 은 다음 식 (8)과 같이 구할 수 있다.

$$\begin{aligned} \phi_{cmin}(z = z_{min}) &= 2\sqrt{AB} + \phi_{CL} \\ z_{min} &= \frac{\lambda}{2} \ln\left(\frac{A}{B}\right) \end{aligned} \quad (8)$$

식 (8)은 V_{gs1} 에 대한 관계이므로 매개변수 Q 를 이용하여 식 (7)에서 요구되는 V_{gs2} 에 대한 최소 중심 전위 ϕ_{cmin} 의 미분을 다음 식 (9)와 같이 구할 수 있다.

$$\begin{aligned} \frac{d\phi_{cmin}}{dV_{gs2}} &= \frac{d\phi_{cmin}}{dV_{gs1}} \frac{dV_{gs1}}{dQ} \frac{dQ}{dV_{gs2}} = \frac{d}{dV_{gs1}} \left\{ 2\sqrt{AB} + \phi_{CL} \right\} \frac{dV_{gs1}}{dQ} \frac{dQ}{dV_{gs2}} \\ &= \left(\frac{d\phi_{CL}}{dV_{gs1}} + 2 \frac{d\sqrt{AB}}{dV_{gs1}} \right) \frac{dV_{gs1}}{dQ} \frac{dQ}{dV_{gs2}} \\ &= \left(1 + \alpha \sqrt{\frac{B}{A}} + \gamma \sqrt{\frac{A}{B}} \right) \left(\frac{dQ}{dV_{gs1}} \right)^{-1} \frac{dQ}{dV_{gs2}} \left\{ \because \frac{d\phi_{CL}}{dV_{gs1}} = 1 \right\} \end{aligned} \quad (9)$$

$$\begin{aligned} \frac{dQ}{dV_{gs1}} &= - \left(\frac{C_{ox}}{2\pi L_g \sqrt{(a^2 + b^2)/2}} \right) \left[\lambda \alpha (1 - e^{-\frac{L_g}{\lambda}}) - \lambda \gamma (1 - e^{-\frac{L_g}{\lambda}}) \right] \\ &\quad \int_0^\pi \sqrt{a^2 \cos^2 \theta + b^2 \sin^2 \theta} \left[1 - \left(\frac{a^2 \cos^2 \theta}{2\lambda_a^2} + \frac{b^2 \sin^2 \theta}{2\lambda_b^2} \right) \right] d\theta \\ \frac{dQ}{dV_{gs2}} &= \frac{1}{2\alpha_1 t_{fe} + 12\beta_1 t_{fe} Q^2 + \left(\frac{dQ}{dV_{gs1}} \right)^{-1}} \end{aligned}$$

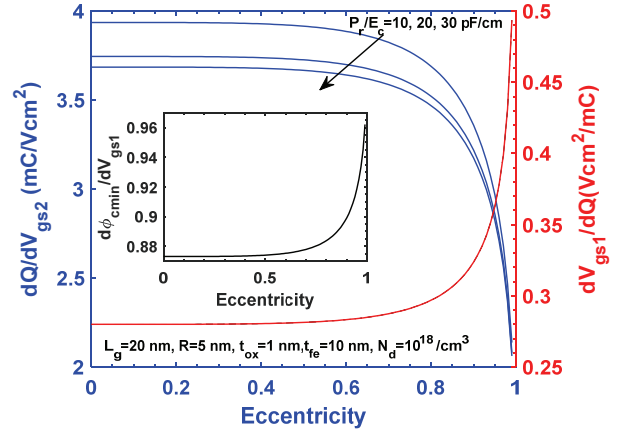


Fig. 3. Changing rates of the ferroelectric charge, inner and outer gate voltages for the eccentricity with P_r/E_c as a parameter (the inset denotes the changing rate of the minimum central potential for inner gate voltage).

식 (9)를 식 (7)에 대입하면 강유전체를 사용한 타원형 GAA FET의 SS를 구할 수 있다. 식 (9)에서 알 수 있듯이 인가 전압 V_{gs2} 에 대한 Q 의 변화 dQ/dV_{gs2} 와 Q 에 의한 내부 게이트에 유도된 전압 V_{gs1} 의 변화 dV_{gs1}/dQ 값은 직접적으로 $d\phi_{cmin}/dV_{gs2}$ 에 영향을 미치고 있다. 그림 3에 P_r/E_c 를 파라미터로 하여 이심률에 대한 dQ/dV_{gs2} 와 dV_{gs1}/dQ 의 변화를 도시하였다. 그림 3 내부에는 강유전체 두께가 $t_{fe}=0$ nm인 경우의 $d\phi_{cmin}/dV_{gs1}$ 를 함께 도시하였다. 그림 3에서 알 수 있듯이 P_r/E_c 가 작을수록 dQ/dV_{gs2} 이 증가하여 SS의 감소 효과를 보이고 있었다. 이는 P_r/E_c 가 작을수록 강유전체의 음의 커패시턴스의 절댓값 $|C_{fe}|$ 가 감소하여 SS를 감소시키기 때문이다 [23]. 이심률이 증가하면 dQ/dV_{gs2} 가 감소하여 SS를 증가시킬 것이다. 그러나 이심률이 증가하면 dV_{gs1}/dQ 이 급격히 증가하며, 그림 3 내부의 $d\phi_{cmin}/dV_{gs1}$ 값도 급격히 증가하여 결국 $d\phi_{cmin}/dV_{gs2}$ 값은 증가할 것이며 SS는 감소할 것을 예측할 수 있다. 즉 식 (9)를 분석해 보면 이심률이 증가하면 SS 값은 감소할 것이며 P_r/E_c 의 감소에 따라서도 SS는 감소한다는 것을 알 수 있다.

3. 문턱 전압 이하 스윙 모델의 타당성 및 분석

이상의 유도 과정의 타당성을 조사하기 위하여 기존의 논문에서 발표한 ISE DESSIS 값 [24]과 이미 검증된 Chaing의 문턱 전압 이하 전류 모델 [22]을 이용하여 구한 값을 본 논문에서 유도한 모델을 이용하여 구한 SS 값과 그림 4에서 비교하였다. 그림 4에서 알 수 있듯이 $t_{fe}=0$ nm

인 경우 ISE DESSIS에서 유도한 값과 잘 일치하였으며 $P_r/E_c=10$ pF/cm의 경우, 그리고 $AR=1$ 과 2일 경우 Chaing의 문턱 전압 이하 전류 모델을 이용하여 직접 구한 SS 값과 본 논문에서 제시한 SS 값이 잘 일치하는 것을 알 수 있었다. 또한 2절에서 서술한 바와 같이 $AR=2$ 로 이심률이 약 0.87로 증가하면 SS는 감소하며 P_r/E_c 가 20 pF/cm에서 10 pF/cm로 감소하면 SS도 감소한다는 것을 알 수 있었다.

외부 게이트 전압 V_{gs2} 에 의하여 내부 게이트 전압 V_{gs1} 이 증폭된다는 것은 강유전체의 특성에 기인한다. 강유전체의 특성 중 P_r/E_c 에 따라 전압증폭 dV_{gs1}/dV_{gs2} 의 관계를 자세히 고찰하기 위하여 그림 5에 dV_{gs1}/dV_{gs2} 와 함께 $d\phi_{cmin}/dV_{gs1}$ 과 $d\phi_{cmin}/dV_{gs2}$ 를 도시하였다. 그림 5에서 dV_{gs1}/dV_{gs2} 은 결국 그림 3에서 dQ/dV_{gs2} 와 dV_{gs1}/dQ 의 곱과 동일할 것이다. 그림 5에서도 알 수 있듯이 dV_{gs1}/dV_{gs2} 의 값은 P_r/E_c 값에 관계없이 항상 1보다 큰 값을 나타내고 있으므로

$$\frac{d\phi_{cmin}}{dV_{gs2}} > \frac{d\phi_{cmin}}{dV_{gs1}} \quad (10)$$

와 같은 관계를 보이면서 $t_{fe}=0$ nm일 경우보다 $t_{fe}=10$ nm인 경우 SS는 감소한다는 것을 알 수 있다. 그림 7에서 P_r/E_c 값이 작을 경우 dV_{gs1}/dV_{gs2} 이 더욱 커지며 이는 SS의 감소로 나타날 것이다. 이심률 증가에 따라 dV_{gs1}/dV_{gs2} 값이 감소하는 것은 SS의 증가 요인으로 작용할 것이다. 그러나 그림 5와 그림 3 내부에 도시한 바와 같이 $d\phi_{cmin}/dV_{gs1}$ 이 이심률에 따라 급격히 증가하므로 결국 $d\phi_{cmin}/dV_{gs2}$ 이 이심률 증가에 따라 증가하면서 SS는 감소할 것이다. 이러한 변화는 이심률이 0.8 이상 즉 $AR>2$ 에서 나타나고 있다는 것에 주목하라.

그림 3에서 언급한 바와 같이 dQ/dV_{gs2} 와 dV_{gs1}/dQ 는 SS의 증감에 기여하는 요소이다. 그림 6에 dQ/dV_{gs2} 와 dV_{gs1}/dQ 에 대한 SS의 변화를 P_r/E_c 를 파라미터로 그림 3과 동일한 조건에서 도시하였다. 그림 6(a)에서 e 가 증가하면 dQ/dV_{gs2} 감소에도 불구하고 SS는 감소한다는 것을 알 수 있다. 이는 그림 6(b)에서 e 증가에 대하여 dV_{gs1}/dQ 이 증가하기 때문인 것을 알 수 있다. 즉 P_r/E_c 값에 관계없이 $e=0$ 일 때 $dV_{gs1}/dQ=0.28$ 에서 $e=0.95$ 일 때 $dV_{gs1}/dQ=0.36$ 정도로 증가하는 것을 관찰할 수 있다. 그림 6(a)에서 동일한 이심률에 대하여 P_r/E_c 가 감소하면 dQ/dV_{gs2} 가 증가하고 있어 SS는 감소한다는 것을 알 수 있다.

V_{gs2} 에 의하여 유도된 Q 는 V_{gs1} 를 변화시킬 것이며 Q 에 대한 V_{gs1} 의 변화가 클수록 결국 V_{gs2} 에 대한 채널 내 캐리어의 제어 능력이 커질 것이다. 그림 6(b)에서도 알 수 있

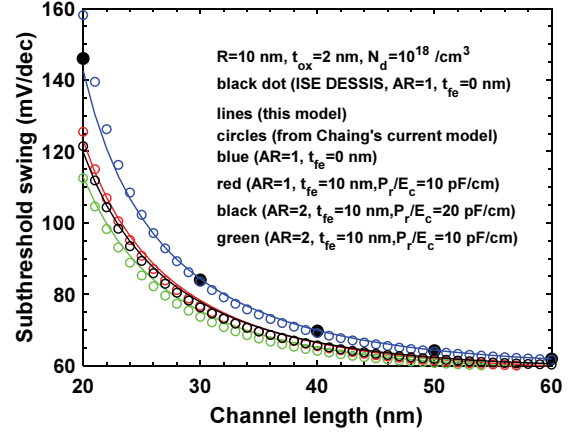


Fig. 4. Comparisons of subthreshold swings of this model with the results of ISE [24] and from Chaing's current model [22].

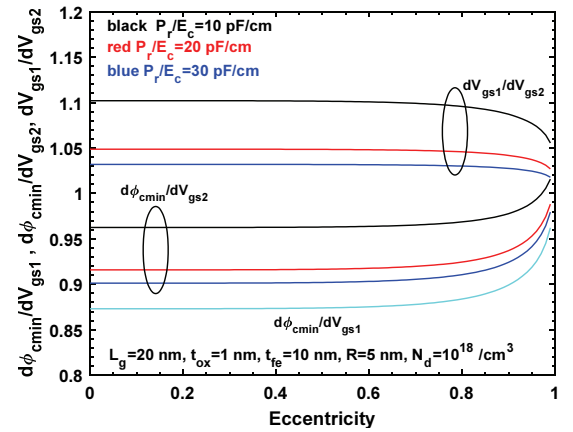


Fig. 5. Changing rates of the minimum central potential, inner and outer gate voltages for the eccentricity with P_r/E_c as a parameter.

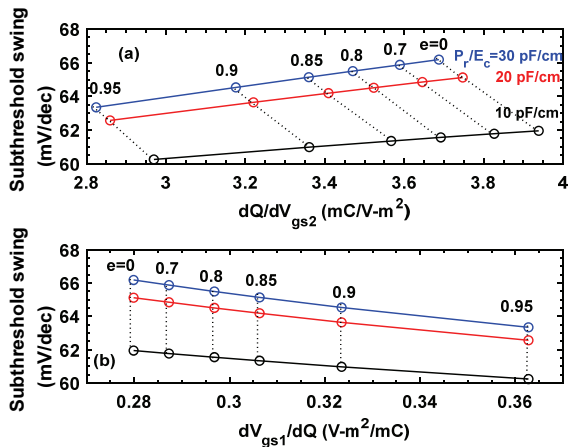


Fig. 6. Subthreshold swings for (a) dQ/dV_{gs2} and (b) dV_{gs1}/dQ with the eccentricity and P_r/E_c as parameters.

듯이 dV_{gs1}/dQ 가 증가하면 SS는 감소하는 것을 알 수 있다. 그림 3에서도 언급한 바와 같이 그림 6(b)에서 이심률이 증가하면 dV_{gs1}/dQ 도 증가하는 것을 알 수 있으며 동일한 이심률에서 P_r/E_c 값에 관계없이 동일한 dV_{gs1}/dQ 값을 갖고 있으나 전술한 바와 같이 P_r/E_c 가 감소하면 dQ/dV_{gs2} 가 증가하여 SS도 감소하고 있다는 것을 관찰할 수 있다.

평균 표면 전위 $\phi_{s,av}$ 의 인가 전압 V_{gs2} 에 대한 변화율이 SS에 미치는 영향을 관찰하기 위하여 그림 7에 그 관계를 도시하였다. 그림 7에서 알 수 있듯이 이심률이 증가하면서 $d\phi_{s,av}/dV_{gs2}$ 가 증가하고 이로 인하여 SS는 감소하고 있다는 것을 알 수 있다. $P_r/E_c=10$ pF/cm의 경우 $0 < e < 0.99$ 의 범위에서 $d\phi_{s,av}/dV_{gs2}$ 의 변화 범위는 매우 좁으며 이심률의 증가에 따라 급속히 SS가 감소하고 있었다. P_r/E_c 이 증가하면 이심률에 대한 $d\phi_{s,av}/dV_{gs2}$ 의 변화 범위가 넓어지면서 $d\phi_{s,av}/dV_{gs2}$ 이 감소하고 있었으며 이는 SS의 증가로 나타나고 있었다. 이심률이 0일 경우, 즉 채널의 단면적이 원형인 경우, P_r/E_c 에 대하여 $d\phi_{s,av}/dV_{gs2}$ 의 변화가 심하게 나타나고 있었으며 이로 인하여 SS의 변화가 가장 심하게 나타났으며 이심률이 증가할수록 P_r/E_c 의 변화에 SS는 덜 민감하게 변화하는 것을 관찰할 수 있다. 동일한 이심률에서 P_r/E_c 이 감소하면 $d\phi_{s,av}/dV_{gs2}$ 이 증가하여 SS는 감소하는 것을 알 수 있다. 이상의 결과에서 이심률이 증가할수록 그리고 P_r/E_c 이 감소할수록 $d\phi_{s,av}/dV_{gs2}$ 은 증가하고 결국 SS는 감소한다는 것을 알 수 있었다.

이상의 분석을 기초로 하여 이심률에 대한 SS의 변화를 P_r/E_c 을 파라미터로 그림 8에 도시하였다. 전술한 바와 같이 P_r/E_c 이 감소할수록 SS는 감소하며 이심률이 증가할수록 SS가 감소하였다. 강유전체의 두께가 0 nm인 경우와 비교하면 10 nm인 경우 항상 SS는 작은 값을 나타내고 있다. 이는 식 (10)에서 설명한 바와 같이 최소 중심 전위의 변화가 V_{gs1} 보다 V_{gs2} 에 더욱 큰 영향을 받기 때문에 강유전체의 존재에 의하여 SS는 더욱 감소시킬 수 있다는 것을 알 수 있다. 변화 경향을 보면 P_r/E_c 가 증가할수록 SS 값은 포화되고 있으며 이심률이 증가할수록 P_r/E_c 에 따른 변화가 감소하는 것을 관찰할 수 있다. 이는 그림 3에서 알 수 있듯이 이심률이 증가하면 SS에 영향을 미치는 인가 전압 V_{gs2} 에 의한 강유전체 전하 Q 의 변화 dQ/dV_{gs2} 이 P_r/E_c 에 관계없이 거의 일정해지기 때문이다. 그림 7에서 언급한 바와 같이 P_r/E_c 가 증가하면 이심률에 따라 SS의 변화가 더욱 심해지는 것을 알 수 있다. P_r/E_c 의 비가 10 pF/cm일 경우 이심률이 증가하면 $SS < 60$ mV/dec인 영역이 존재한다는 것을 알 수 있으며 강유전체 두께가 증가할수록 SS는 감소할 것이다.

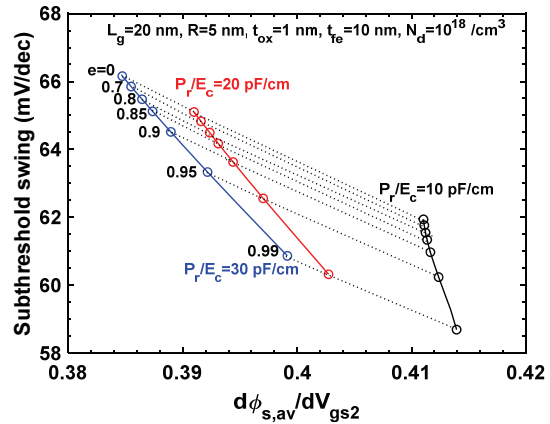


Fig. 7. Subthreshold swings for $d\phi_{s,av}/dV_{gs2}$ with the eccentricity and P_r/E_c as parameters.

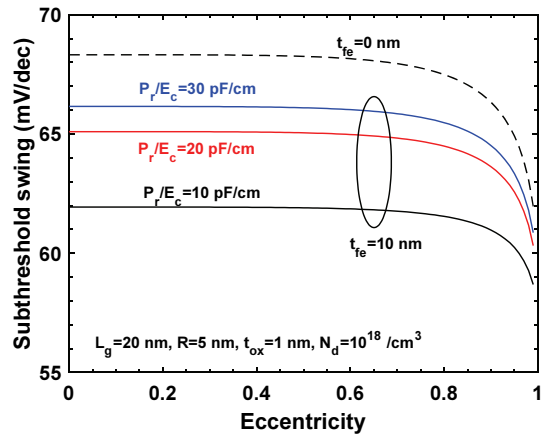


Fig. 8. Subthreshold swings for the eccentricity with the P_r/E_c and ferroelectric thickness as parameters.

4. 결론

강유전체를 사용한 타원형 GAA FET의 경우 SS에 영향을 미치는 요소들 간의 관계를 비교, 고찰하였다. 이를 위하여 해석학적 SS 모델을 제시하였으며 2D 시뮬레이션 결과 및 타 논문의 전류-전압 특성으로부터 유도한 결과와 비교하여 잘 일치하는 것을 관찰하였다. 공정상 원형 구조를 제작하기 어려우므로 타원형 단면적을 갖는 GAA FET에 대한 연구는 매우 중요하다고 생각되며 미세소자에서 필연적으로 발생하는 오프 전류의 증가에 따른 기생 전류의 증가는 큰 문제를 야기시키므로 SS의 감소가 중요할 것이다. SS를 감소시키기 위하여 강유전체를 이용한 MFMS 구조에 대한 타원형 GAA FET의 SS를 분석하였다. 결과적으로 강유전체의 존재에 의하여 SS가 감소한다는 것을

알 수 있었으며 이심률이 증가하면 SS가 감소하는 것을 관찰하였으나 AR 이 1.25 정도, 즉 이심률이 0.5 정도까지는 P_r/E_c 값에 관계없이 SS에 큰 변화를 보이지 않고 있었으나 AR 이 2, 즉 이심률이 0.87까지 증가하면 P_r/E_c 에 따라 SS에 큰 변화를 보이는 것을 관찰하였다. 이는 이심률 증가에 따라 외부 게이트의 인가 전압에 따른 강유전체 전하의 변화와 이 전하에 의하여 유도된 내부 게이트 전압의 증폭 현상에 기인한다. 이심률이 증가하면 외부 게이트의 인가 전압에 대한 반도체의 표면 전위 변화율이 증가하여 채널 내 캐리어를 효과적으로 제어할 수 있어 SS가 감소한다는 것을 알 수 있었다. 외부 게이트 전압에 대한 내부 게이트 전압의 변화율은 항상 1보다 커서 강유전체의 존재에 의하여 SS가 감소한다는 것을 알 수 있었다. 이상과 같이 강유전체 전하, 외부 게이트 전압, 내부 게이트 전압의 상호관계에 의하여 채널 내 최소 중심 전위의 변화를 발생시켜 SS가 변화하는 것이다. P_r/E_c 가 감소하면 동일한 이심률에 대하여 인가 전압에 의한 강유전체 전하의 변화량이 증가하여 SS가 더욱 감소하고 있다는 것을 알 수 있었다. 향후 타원형 GAA FET의 전위 모델을 이용하여 문턱 전압 및 드레인 유기 장벽 감소에 대한 연구 및 10 nm 이하에서도 사용할 수 있는 모델 개발 그리고 프린징 효과 (fringing effect)에 대한 연구를 진행할 것이다.

ORCID

Hakkee Jung

<https://orcid.org/0000-0002-2828-2957>

REFERENCES

- [1] A. Shilov, *TSMC's Roadmap at a Glance: N3X, N2P, AI6 Coming in 2025/2026*, <https://www.anandtech.com/show/21408/tsmc-roadmap-at-a-glance-n3x-n2p-a16-2025-2026> (2024).
- [2] A. Shilov, *Samsung's Next-Gen 3 nm and 4 nm Nodes on Track for Mass Production in 2H 2024*, <https://www.anandtech.com/show/21119/samsungs-nextgen-3nm-and-4nm-nodes-on-track-for-mass-production-in-2h-2024> (2024).
- [3] L. Wu, *Nat. Electron.*, **6**, 469 (2023).
doi: <https://doi.org/10.1038/S41928-023-01006-x>
- [4] R. R. Das, T. R. Rajalekshmi, and A. James, *IEEE Access*, **12**, 50556 (2024).
doi: <https://doi.org/10.1109/ACCESS.2024.3384428s>
- [5] M. Kang, M. Chang, Y. Park, C. Noh, S. H. Hong, and B. Park, *Proc. 2024 IEEE International Reliability Physics Symposium (IRPS)* (IEEE, Grapevine, USA, 2024) p. 6A-1-1.
doi: <https://doi.org/10.1109/IRPS48228.2024.10529401>
- [6] B. Singh, R. Devi, and S. Bala, *Multiscale Multidiscip. Model. Exp. Des.*, **7**, 3341 (2024).
doi: <https://doi.org/10.1007/s41939-024-00402-w>
- [7] R. Barik, R. S. Dhar, and M. I. Hussein, *Sci. Rep.*, **14**, 2902 (2024).
doi: <https://doi.org/10.1038/s41598-024-53487-1>
- [8] S. Manikandan, N. Chauhan, N. Bagga, A. Kumar, S. Banchhor, S. Roy, A. Bulusu, A. Dasgupta, and S. Dasgupta, *Proc. 2022 IEEE Internatinoal Conference on Emerging Electronics (ICEE)* (IEEE, Bangalore, India, 2022) p. 1.
doi: <https://doi.org/10.1109/ICEE56203.2022.10117608>
- [9] N. Kumar, A. Gupta, and P. Singh, *IEEE Trans. Electron Devices*, **71**, 4420 (2024).
doi: <https://doi.org/10.1109/TED.2024.3405474>
- [10] Z. X. Chen, H. Y. Yu, N. Singh, N. S. Shen, R. D. Sayanthan, G. Q. Lo, and D. L. Kwong, *IEEE Electron Device Lett.*, **30**, 754 (2009).
doi: <https://doi.org/10.1109/LED.2009.2021079>
- [11] S. Bangsaruntip, K. Balakrishnan, S. L. Cheng, J. Chang, M. Brink, I. Lauer, R. L. Bruce, S. U. Engelmann, A. Pyzyna, G. M. Cohen, L. M. Gignac, C. M. Breslin, J. S. Newbury, D. P. Klaus, A. Majumdar, J. W. Sleight, and M. A. Guillorn, *Proc. 2013 IEEE International Electron Device Meeting* (IEEE, Washington, USA, 2013) p. 20.2.1.
doi: <https://doi.org/10.1109/IEDM.2013.6724667>
- [12] P. J. Chao and Y. Li, *Proc. IEEE 14th International Conference on Nanotechnology* (IEEE, Toronto, Canada, 2014) p. 452.
doi: <https://doi.org/10.1109/NANO.2014.6968188>
- [13] T. K. Sharma and S. Kumar, *Proc. 2017 International Conference on Microelectronic Devices, Circuits and Systems (ICMDCS)* (IEEE, Vellore, India, 2017) p. 1.
doi: <https://doi.org/10.1109/ICMDCS.2017.8211534>
- [14] H. Jung, *AIMS Electron. Electr. Eng.*, **8**, 211 (2024).
doi: <https://doi.org/10.3934/electreng.2024009>
- [15] Y. Zhai, Z. Feng, Y. Zhou, and S. T. Han, *Mater. Horiz.*, **8**, 1601 (2021).
doi: <https://doi.org/10.1039/D0MH02029J>
- [16] M. A. Alam, M. Si, and P. D. Ye, *Appl. Phys. Lett.*, **114**, 090401 (2019).
doi: <https://doi.org/10.1063/1.5092684>
- [17] A. I. Khan, A. Keshavarzi, and S. Datta, *Nat. Electron.*, **3**, 588 (2020).
doi: <https://doi.org/10.1038/s41928-020-00492-7>
- [18] U. Schroeder, M. H. Park, T. Mikolajick, and C. S. Hwang, *Nat. Rev. Mater.*, **7**, 653 (2022).
doi: <https://doi.org/10.1038/s41578-022-00431-2>
- [19] S. Yang, J. Yuan, Z. Wang, X. Wu, X. Shen, Y. Zhang, C. Ma, J. Wang, S. Lei, R. Li, and W. Hu, *Adv. Mater.*, **36**, 2309337 (2024).
doi: <https://doi.org/10.1002/adma.202309337>
- [20] M. Zuhair, *Samsung Looks To Reach Over 1000-Layer NAND Through Newly-Emerged Hafnia Ferroelectrics*, <https://wccftech.com/samsung-over-1000-layer-nand-through-newly->

- emerged-hafnia-ferroelectrics/ (2024).
- [21] H. Jung, *AIMS Electron. Electr. Eng.*, **7**, 322 (2023).
doi: <https://doi.org/10.3934/electreng.2023017>
- [22] T. K. Chiang, *Superlattices Microstruct.*, **149**, 106751 (2021).
doi: <https://doi.org/10.1016/j.spmi.2020.106751>
- [23] L. Tu, X. Wang, J. Wang, X. Meng, and J. Chu, *Adv. Electron. Mater.*, **4**, 1800231 (2018).
doi: <https://doi.org/10.1002/aelm.201800231>
- [24] C. Li, Y. Zhuang, S. Di, and R. Han, *IEEE Trans. Electron Devices*, **60**, 3655 (2013).
doi: <https://doi.org/10.1109/TED.2013.2281395>