

실리콘 MOSFETs의 성능 및 신뢰성 향상을 위한 다중 Post-Metallization Annealing에 대한 연구

강상민¹, 최유진¹, 박효준¹, 길태현¹, 연주원¹, 이문권¹, 윤의철¹,
김민우¹, 전수진¹, 김문석², 박준영^{1,3}

¹ 충북대학교 전자공학부

² 국립한밭대학교 반도체시스템공학과

³ 주식회사 파크랩세미컨덕터

Study on Multiple Post-Metallization Annealing for Enhancing the Performance and Reliability of Silicon MOSFETs

Sang-Min Kang¹, Yu-Jin Choi¹, Hyo-Jun Park¹, Tae-Hyun Kil¹, Ju-Won Yeon¹, Moon-Kwon Lee¹,
Eui-Cheol Yun¹, Min-Woo Kim¹, Su-Jin Jeon¹, Moon-Seok Kim², and Jun-Young Park^{1,3}

¹ School of Electronics Engineering, Chungbuk National University, Cheongju 28644, Korea

² Department of Semiconductor System Engineering, Hanbat National University, Daejeon 34158, Korea

³ ParkLab Semiconductor Inc., Cheongju 28644, Korea

(Received October 18, 2024; Revised October 31, 2024; Accepted November 11, 2024)

Abstract: Post-metallization annealing (PMA) has been employed in silicon-based CMOS fabrication to enhance MOSFET reliability and performance. However, although deuterium annealing can reduce interface traps between the Si and SiO₂ gate dielectric, it remains insufficient to fully passivate these traps. In this context, a multiple PMA process, including additional hydrogen annealing, is proposed to further reduce dangling bonds. Silicon-based MOSFETs are fabricated to verify the proposed annealing process architecture. Electrical characterization of the threshold voltage (V_{TH}), subthreshold swing (SS), on-state current (I_{ON}), and carrier mobility (μ_n) is conducted to investigate the impact of the multiple PMA. This study provides a guideline for PMA in MOSFET fabrication, with improvements in both performance and reliability.

Keywords: Annealing, Deuterium annealing, Enclosed-gate layout transistors (ELT), Hydrogen annealing, Metal-oxide-semiconductor field-effect transistors (MOSFETs), Reliability, Silicon

1. 서론

반도체 소자의 크기는 칩 집적도의 향상, 출력 속도의 개선, 그리고 저전력 소모를 위하여 작아지고 있다 [1]. 하지만 반도체 소자의 지속적인 소형화는 문턱 전압(threshold voltage, V_{TH})의 불일치(mismatching), subthreshold swing (SS) 증가 등 심각한 단채널 효과(short-channel

✉ Moon-Seok Kim; mskim@hanbat.ac.kr

Jun-Young Park; junyoung@cbnu.ac.kr

Copyright ©2025 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

effects, SCEs)를 초래한다 [2,3]. 뿐만 아니라, 물리적으로 얇아진 게이트 절연막(gate dielectric) 두께는 direct tunneling, hot-carrier injection (HCI), 그리고 bias-temperature instability (BTI)와 같은 신뢰성 저하에 취약하다 [4,5]. 이러한 맥락에서, 게이트 절연막의 품질을 높이기 위하여, post-metallization annealing (PMA) 및 전열 어닐링(electro-thermal annealing, ETA) 등 다양한 어닐링(annealing) 공정 기술이 개발되어 왔다 [6,7]. 특히, PMA는 수소(hydrogen, H₂) 또는 중수소(deuterium, D₂) 가스를 활용하는데, 중수소로 형성되는 Si-D 결합 에너지는 2.67 eV로, 수소로 형성되는 Si-H 결합 에너지(bonding energy) 2.5 eV보다 더 크다 [8-11]. 따라서 중수소는 게이트 절연막과 실리콘(Si) 사이에 존재하는 계면 결함(interface trap)을 제거함에 있어 수소보다 더 선호된다 [12].

하지만 중수소는 수소보다 약 2배 더 무거운 질량으로 인하여, 두꺼운 층간 절연막(interlayer dielectric, ILD)을 투과하기에 효과적이지 못할 뿐만 아니라 [13], 금속배선 내에서 확산이 용이하지 않다 [14,15]. 이와 같은 이유로, 금속배선 형성(metallization) 직전에 중수소를 활용한 PMA가 주로 시행된다.

이 연구에서는, 수소를 활용한 PMA를 추가 도입하여, 게이트 절연막의 품질 개선을 더욱 가능하게 하는 다중 PMA (multiple post-metallization annealing, MPMA) 공정을 제안한다. 먼저 확산성은 부족하나, 실리콘과의 결합 에너지는 큰 중수소를 활용하여 1차 PMA를 시행한다. 이후, 확산성이 우수한 수소의 고유한 특성을 활용하여, 2차 PMA를 시행한다. 제안 공정의 검증은 위하여 실리콘 기판에서, 금속 산화물 반도체 전계 효과 트랜지스터 (metal-oxide-semiconductor field-effect transistors, MOSFETs)를 제작한다. 그리고 48개 nMOSFETs를 대상으로, 전기적 특성 분석(electrical characterization)을 수차례 진행하여, V_{TH} , SS, 온 상태 전류(on-state current, I_{ON}), 전자 이동도(electron mobility, μ_n)를 포함하는 소자의 특성을 정량적으로 비교 분석한다.

2. 실험 방법

먼저 실험을 진행하기에 앞서, 제안공정 검증을 위한 MOSFETs 소자를, 4인치 실리콘 웨이퍼(wafer) 상에서 제작하였다. 구체적으로 enclosed-gate layout transistors (ELTs) 구조를 지니는 nMOSFETs를 그림 1(a)와 같이 제작하였다 [16]. 그림 1(b)는 소자의 상세한 제조과정을 보

여주고 있다. 구체적으로, 건식 산화(dry oxidation) 공정을 통하여, 30 nm 두께의 SiO₂ 게이트 절연막을 형성하였다. 이후, 저압 화학 기상 증착(low-pressure chemical vapor deposition, LPCVD) 공정, 포토 공정(photo-lithography) 그리고 습식 식각(wet etching)을 활용하여, 170 nm 두께의 폴리 실리콘(n⁺ poly-Si) 게이트 전극을 형성하였다. 그리고 소스/드레인(source/drain, S/D) 영역을 형성하기 위하여, arsenic (5×10¹⁵ cm⁻², 80 keV)을 주입하였다. 이후, 도펀트 활성화(dopant activation)를 위하여 1,000°C에서 10초 동안의 급속 열처리(rapid thermal annealing, RTA)를 진행하였다. 제작된 nMOSFETs 소자의 크기는 게이트 길이(gate length, L_G)가 30~50 μm, 채널 폭(channel width, W_{CH})이 250~280 μm 범위이다. 그림 1(c) 및 (d)는 소자의 제작된 소자의 투

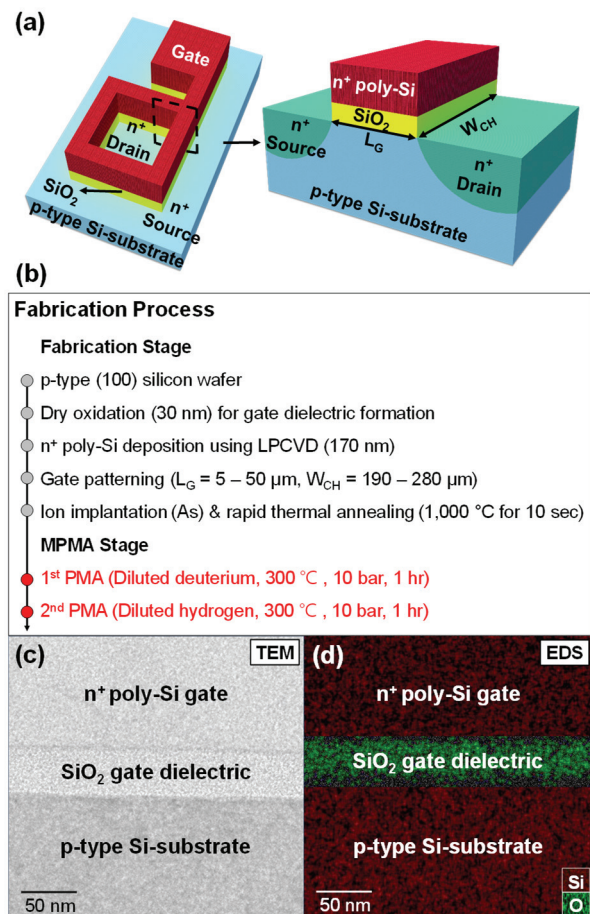


Fig. 1. (a) Schematic of the fabricated MOSFET on a silicon wafer, (b) summary of the fabrication process flow (the fabrication consists of both the device fabrication stage and the MPMA stage), (c) transmission electron microscopy (TEM), and (d) energy-dispersive X-ray spectroscopy (EDS) images of the fabricated MOSFETs.

Table 1. Summary of device information and annealing conditions for experiments.

Process	Parameters	Values
Device size	Gate length, L_G	30, 35, 40, 45, and 50 μm
	Channel width, W_{CH}	250, 260, 270, and 280 μm
	Poly-Si gate thickness	170 nm
	Physical gate dielectric thickness	30 nm
	Annealing temperature	300 $^{\circ}\text{C}$
MPMA	Annealing pressure	10 bar
	Gas mixture for 1 st PMA (%)	$\text{N}_2:\text{H}_2=96\%:4\%$
	Gas mixture for 2 nd PMA (%)	$\text{N}_2:\text{D}_2=96\%:4\%$
	Annealing time (min)	60 min
	Number of MOSFETs (#)	48

과 전자 현미경(transmission electron microscopy, TEM) 및 에너지 분산 X선 분광법(energy-dispersive X-ray spectroscopy, EDS) 이미지를 보여준다. 제작된 nMOSFETs 소자의 SiO_2 게이트 절연막은 30 nm이며, 폴리 실리콘 게이트 전극은 170 nm임을 재확인할 수 있다. 소자 제작 직후, Keithley 4200A 반도체 분석기(semiconductor parameter analyzer)를 활용하여, 먼저 상온에서 제작된 총 48개의 nMOSFETs의 I_D-V_G 및 I_D-V_D 초기 특성을 측정하였다. 이후, MPMA stage에서는 먼저 중수소를 활용하여, 300 $^{\circ}\text{C}$ 의 온도에서 1시간 동안 1차 PMA를 시행하였고, 동일한 소자를 재측정하였다. 끝으로, 동일한 온도 및 압력 조건에서 수소를 활용하여, 2차 PMA를 시행하였고, 동일한 소자를 다시 한 번 재측정하여 결과를 비교 분석하였다.

3. 결과 및 고찰

그림 2는 제작된 nMOSFETs의 I_D-V_G 및 I_D-V_D 측정 결과를 보여준다. 소자의 전기적 측정은 소자 제작 직후, 그리고 1차 PMA 후, 그리고 마지막으로 2차 PMA 후 시행되어, 총 3차례 시행되었다. 그림 2(a)를 통하여, 1차 및 2차 PMA 이후 소자의 SS 특성이 확연하게 개선되었음을 확인할 수 있다. 그리고 그림 2(b)는 PMA를 시행함에 따라, 소자의 포화 전류(saturation current)가 증가하는 것을 보여주고 있다. 이러한 SS 및 포화 전류의 개선은, 각각 계면 결함 감소 및 전자 이동도 증가에 의해 이루어진다.

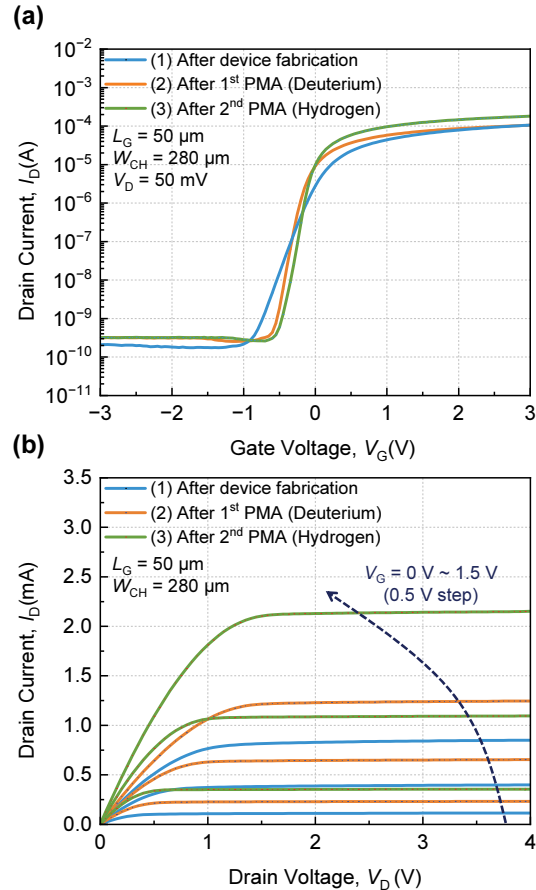


Fig. 2. Measured (a) transfer curve (I_D-V_G) and (b) output curve (I_D-V_D) characteristics of the fabricated MOSFETs with after device fabrication, after the 1st PMA using deuterium, and after the 2nd PMA using hydrogen.

그림 3은 48개 소자를 대상으로 추출한 소자의 V_{TH} , SS , I_{ON} , μ_n 평균 값을 보여준다. 이때, 소자의 V_{TH} 는 constant current method를 기준으로 추출되었으며, SS 는 V_{TH} 에서 100배 낮은 전류 구간의 기울기에서 추출되었다. 먼저, 소자 제작 후, 1차 PMA 후, 그리고 2차 PMA 후 소자의 V_{TH} 는 각각 -0.187 V, -0.188 V, -0.170 V로서, 유의미한 차이를 보여주지 않았다. 하지만 SS 측면에서, 소자의 초기 SS 는 212.64 mV/dec에서, 1차 PMA 후 103.77 mV/dec로 약 51.2% 개선되었으며, 추가로 이루어진 2차 PMA 이후 약 3.76%의 추가 개선이 확인되었다. 즉 수소를 통한 추가적인 2차 PMA의 시행은 게이트 절연막과 Si 채널 계면에 존재하는 계면 결함을 효과적으로 제거함을 알 수 있다. 유사하게, 중수소를 활용한 1차 PMA 직후, 소자의 I_{ON} 과 μ_n 은 제작 직후에 비하여 각각 24.37%, 56.99% 개선되었다. 더불어, 수소를 활용한 추가적인 2차

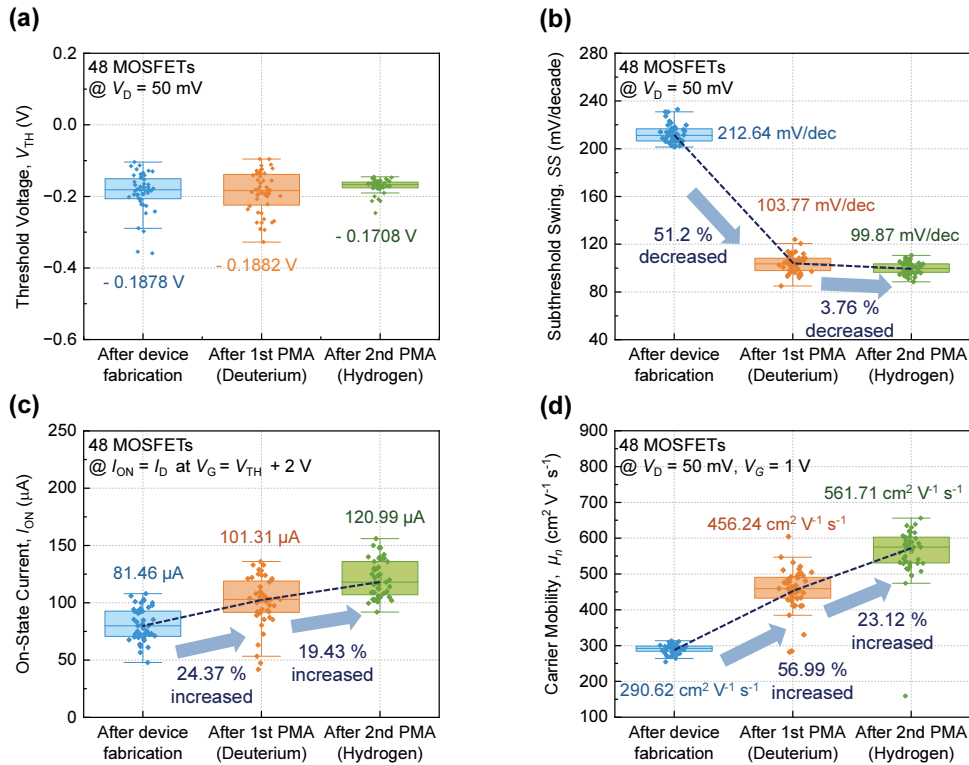


Fig. 3. Extracted device parameters such as (a) threshold voltage (V_{TH}), (b) subthreshold swing (SS), (c) on-state current (I_{ON}), and (d) carrier mobility (μ_n) with after device fabrication, after the 1st PMA using deuterium, and after the 2nd PMA using hydrogen.

PMA 이후, 약 19.43% 및 23.12%의 추가적인 개선이 확인되었다. 따라서 중수소를 1차 PMA를 시행한 소자를 대상으로 하여, 수소 2차 PMA를 추가 시행한다면, 계면 결함의 제거, 그리고 이를 통한 출력 개선에 매우 효과적임을 알 수 있다.

이러한 메커니즘은 그림 4(a)에 상세히 도시되어 있다. 먼저, 주입된 중수소는 경로 A와 경로 B를 통하여, Si 채널 및 SiO_2 게이트 절연막의 계면에 도달할 수 있다 [17]. 중수소는 확산되어 게이트 절연막과 실리콘의 계면에서 Si-D 결합을 형성함으로써 계면 결함을 제거한다 [그림 4(b)]. 하지만 완전히 제거되지 못한 일부 계면 결함은 수소를 활용한 2차 PMA 과정에서 Si-H 결합이 형성되며 제거된다 [그림 4(c)]. 본 연구에서 사용된 소자는 폴리 실리콘 게이트 전극을 보유하고 있으나, 폴리 실리콘은 그레인(grain) 사이즈에 의한 물성의 임의성을 지니고 있기에, 적절한 확산계수를 계산하기에 어려움이 존재한다. 이에, 300°C의 비정질 실리콘을 가정하여, 경로 A를 통한 중수소와 수소의 확산 계수(diffusion coefficient) $D(T)$ 차이를 정량적으로 비교하면 다음 식 (1)과 같다.

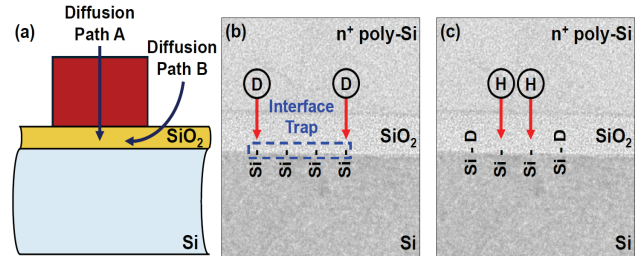


Fig. 4. (a) Lateral and vertical diffusion of hydrogen and deuterium for interface trap passivation, (b) deuterium and passivation at the Si/SiO₂ interface during the 1st PMA, and (c) additional hydrogen passivation of interface traps during the 2nd PMA.

$$D(T) = D_0 \cdot \exp\left(\frac{-E_a}{k_B \cdot T}\right) \quad (1)$$

D_0 는 특정 온도 환경에서 확산이 얼마나 활발하게 이루어지는지 나타내는 상수로, 수소는 $D_0 = 1.00 \times 10^{-3} cm^2/s$, 중수소는 $D_0 = 1.17 \times 10^{-2} cm^2/s$ 이다 [18,19]. E_a 는 확산을 시작하기 위해 요구되는 활성화 에너지로, 수소는 $E_a = 1.4 eV$, 중수소는 $E_a = 1.53 eV$ 의 값을 가진다 [18,19].

따라서 300°C의 비정질 실리콘에서의 수소의 확산 계수

는 $D_H(T)=4.85\times 10^{-16}$ cm²/s, 중수소의 확산 계수는 $D_D(T)=4.08\times 10^{-16}$ cm²/s이다. 즉 중수소보다 약 18.8% 더 큰 확산 계수를 지니는 수소는, 우수한 확산성을 바탕으로 폴리 실리콘 게이트를 투과하여, 게이트 절연막과 Si 사이의 물리적 계면에 도달하기 더 용이하다 [20]. 마찬가지로, 경로 B를 통한 수소와 중수소의 $D(T)$ 차이를 정량적으로 비교해 보았다. PMA 온도인 300°C 온도에서, SiO₂에 대한 수소 및 중수소의 D_0 는 각각 5.65×10^{-4} cm²/s, 5.01×10^{-4} cm²/s이다. 그리고 E_a 는 각각 0.45 eV, 0.46 eV이다 [21]. 이를 바탕으로, 계산된 SiO₂에서의 최종 수소 및 중수소의 확산 계수는 $D_H(T)=6.26\times 10^{-8}$ cm²/s, $D_D(T)=4.87\times 10^{-8}$ cm²/s이다. 즉 경로 B를 통한 확산 또한 수소가 중수소보다 약 26.3% 더 우수하다. 따라서 중수소에 의해 제거되지 않은 계면 결함은, 추가로 시행된 수소를 통한 2차 PMA에 의해 효과적으로 제거 가능하다.

4. 결론

이 연구에서는 소자의 출력 성능 및 신뢰성 개선을 위하여, 중수소 및 수소를 활용한, 다중 PMA 공정을 제안하였다. 제안 공정의 검증은 위하여, 실리콘 MOSFETs 소자를 4인치 웨이퍼 상에서 제작하였다. 소자 제작 이후, 중수소만을 활용한 1차 PMA, 그리고 수소를 추가로 활용한 2차 PMA를 진행하여, 소자의 특성 개선을 비교 분석하였다. 특히, 2차 PMA를 시행하였음에도 불구하고, 소자의 V_{TH} 차이는 미미하였다.

반면, 소자의 SS , I_{ON} , 그리고 μ_n 는 1차 PMA 대비, 2차 PMA 시행 이후 각각 3.76%, 19.43%, 23.12%의 추가 개선이 확인되었다. 이는 중수소에 비하여 더 큰 확산 계수를 지닌 수소가, 2차 PMA 과정에서 추가적인 Si-H 결합을 형성을 가능하게 하기 때문으로 추정된다. 다시 말하면, 중수소만으로 제거되지 못한 잔여 계면 결함은 수소를 활용한 2차 PMA 공정으로 제거 가능하다.

결론적으로, 실리콘 반도체 제조 공정에서, 중수소 및 수소를 모두 활용하여 다중 PMA를 시행하는 것은, 중수소의 강한 Si-D 결합 에너지와 수소의 높은 확산성이라는 각각의 고유한 장점을 잘 살릴 수 있다. 이를 통해, 소자의 전기적 출력과 신뢰성 향상이 가능할 것으로 기대된다.

ORCID

Moon-Seok Kim
Jun-Young Park

<https://orcid.org/0000-0001-5208-5649>
<https://orcid.org/0000-0003-4830-9739>

감사의 글

본 연구는 정부(과학기술정보통신부)-과학기술사업화진흥원(COMPA)의 실험실 특화형 창업선도대학 사업의 지원으로 수행되었다(2710002024).

REFERENCES

- [1] M. Badaroglu, Proc. 2021 IEEE International Roadmap for Devices and Systems Outbriefs (IEEE, Santa Clara, USA, 2022) p. 1.
doi: <https://doi.org/10.1109/IRDS54852.2021.00010>
- [2] J. Y. Yeon, K. S. Lee, S. S. Yoon, J. W. Yeon, H. Bae, and J. Y. Park, J. Korean Inst. Electr. Electron. Mater. Eng., **35**, 576 (2020).
doi: <https://doi.org/10.4313/JKEM.2022.35.6.6>
- [3] D. H. Wang, D. H. Kim, T. H. Kil, J. Y. Yeon, Y. S. Kim, and J. Y. Park, J. Korean Inst. Electr. Electron. Mater. Eng., **37**, 43 (2024).
doi: <https://doi.org/10.4313/JKEM.2024.37.1.5>
- [4] P. S. Lin and T. S. Li, IEEE Electron Device Lett., **15**, 138 (1994).
doi: <https://doi.org/10.1109/55.285404>
- [5] A. Acovic, G. L. Rosa, and Y. C. Sun, Microelectron. Reliab., **36**, 845 (1996).
doi: [https://doi.org/10.1016/0026-2714\(96\)00022-4](https://doi.org/10.1016/0026-2714(96)00022-4)
- [6] N. M. Johnson, D. K. Biegelsen, and M. D. Moyer, J. Vac. Sci. Technol., **19**, 390 (1981).
doi: <https://doi.org/10.1116/1.571070>
- [7] J. Y. Park, D. I. Moon, H. Bae, Y. T. Roh, M. L. Seol, B. H. Lee, C. H. Jeon, H. C. Lee, and Y. K. Choi, IEEE Electron Device Lett., **37**, 843 (2016).
doi: <https://doi.org/10.1109/LED.2016.2574341>
- [8] H. J. Bang, M. C. Nguyen, D. H. Lee, A.H.T. Nguyen, S. Kang, J. W. Choi, S. Y. Han, and R. Choi, J. Nanosci. Nanotechnol., **16**, 10341 (2016).
doi: <https://doi.org/10.1166/jnn.2016.13156>
- [9] K. B. Wiberg, The Deuterium Isotope Effect, ACS Publications (1966).
- [10] P. Avouris, R. E. Walkup, A. R. Rossi, T. C. Shen, G. C. Abeln, J. R. Tucker, and J. W. Lyding, Chem. Phys. Lett., **257**, 148 (1996).
doi: [https://doi.org/10.1016/0009-2614\(96\)00518-0](https://doi.org/10.1016/0009-2614(96)00518-0)
- [11] W. R. Wampler, S. M. Myers, and D. M. Follstaedt, Phys. Rev. B, **48**, 4492 (1993).
doi: <https://doi.org/10.1103/PhysRevB.48.4492>
- [12] I. C. Kizilyalli, J. W. Lyding, and K. Hess, IEEE Electron Device Lett., **18**, 81 (1997).
doi: <https://doi.org/10.1109/55.556087>

- [13] W. F. Clark, T. G. Ference, T. B. Hook, K. M. Watson, S. W. Mittl, and J. S. Burnham, *IEEE Electron Device Lett.*, **20**, 48 (1999).
doi: <https://doi.org/10.1109/55.737570>
- [14] J. Kua, L. J. Lauhon, W. Ho, and W. A. Goddard, III, *J. Chem. Phys.*, **115**, 5620 (2001).
doi: <https://doi.org/10.1063/1.1396815>
- [15] J. Jourdon, S. Moreau, D. Bouchu, S. Lhostis, N. Bresson, D. Guiheux, R. Beneyton, S. Renard, and H. Frémont, *Proc. 2017 IEEE International Reliability Physics Symposium (IRPS)* (IEEE, Monterey, USA, 2017).
doi: <https://doi.org/10.1109/IRPS.2017.7936378>
- [16] W. J. Snoeys, T.A.P. Gutierrez, and G. Anelli, *IEEE Trans. Nucl. Sci.*, **49**, 1829 (2002).
doi: <https://doi.org/10.1109/TNS.2002.801534>
- [17] B. J. Fishbein, J. T. Watt, and J. D. Plummer, *J. Electrochem. Soc.*, **134**, 674 (1987).
doi: <https://doi.org/10.1149/1.2100530>
- [18] M. Reinelt, S. Kalbitzer, and G. Moller, *J. Non-Cryst. Solids*, **59**, 169 (1983).
doi: [https://doi.org/10.1016/0022-3093\(83\)90548-3](https://doi.org/10.1016/0022-3093(83)90548-3)
- [19] P. A. Barnes and G. A. Rozgonyi, *Electrochem. Soc.*, **78**, 151 (1978) p.153.
- [20] M. J. de Jong, C. Salm, and J. Schmitz, *Microelectron. Reliab.*, **76**, 136 (2017).
doi: <https://doi.org/10.1016/j.microrel.2017.07.038>
- [21] R. W. Lee, R. C. Frank, and D. E. Swets, *J. Chem. Phys.*, **36**, 1062 (1962).
doi: <https://doi.org/10.1063/1.1732632>