



반데르발스 집적 기반 2차원 반도체 소자 공정: 유전체 및 컨택 통합 전략

박다현¹, 백하빈¹, 박창준¹, 이찬호¹, 서준기^{1,2} 

¹ 울산과학기술원 반도체 소재·부품 대학원

² 울산과학기술원 신소재공학과

Van der Waals Integration of Dielectrics and Metal Contacts with Two-Dimensional Semiconductors for Emerging Nanoelectronics

Dahyeon Park¹, Habin Baek¹, Changjun Park¹, Chanho Lee¹, and Joonki Suh^{1,2}

¹ Graduate School of Semiconductor Materials and Devices Engineering, Ulsan National Institute of Science and Technology (UNIST), Ulsan 44919, Korea

² Department of Materials Science and Engineering, Ulsan National Institute of Science and Technology (UNIST), Ulsan 44919, Korea

(Received January 20, 2025; Revised April 7, 2025; Accepted April 7, 2025)

Abstract: In parallel with the efforts to improve the device performance in modern integrated circuits, it is necessary to downscale their core components, field-effect transistors (FETs), generally gauged by their physical gate length. Upon such device scaling, the emergence of the short-channel effect impedes further scaling into the nanometer scale in the silicon VLSI (Very-Large-Scale-Integration) system. To address this issue, two-dimensional (2D) semiconductors, leveraging their atomically thin thickness and dangling-bond-free characteristics, are being highlighted as a material solution for future scaling technology without severe mobility degradation. Despite the expected ideal physical properties, 2D semiconductors have yet to realize their full potential owing to the limited development of integration technology. In this context, we survey and review the tailored van der Waals integration technologies for 2D FETs. In particular, we provide an in-depth study of both van der Waals integrated contact and dielectric methods along with an explanation of customized materials. In essence, this van der Waals integration-centered approach will be a core strategy to implement the high-performance 2D transistors that meet the demand of FET miniaturization.

Keywords: Device scaling, Dielectrics, Fermi-level pinning, High-k, Metal contact, Ohmic contact, Short-channel effect, Van der Waals integration, VLSI, 2D semiconductors

1. 서론

✉ Joonki Suh; jsuh@unist.ac.kr

Copyright ©2025 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

실리콘 VLSI 기반 현대 집적회로 기술의 발전은 핵심소자인 전계효과 트랜지스터(FET)의 크기를 줄이는 “스케일링(Scaling)”을 통해 이루어져 왔다. 고성능 소자를 구현

하기 위한 핵심 전략 기술인 스케일링은 집적회로의 소비 전력(power), 성능(performance), 면적(area), 비용(cost)을 모두를 개선하는데 기여했다. 그러나, 스케일링이 지속됨에 따라 실리콘 기반 FET에서 물리적 한계가 나타나기 시작했으며, 이를 해결하기 위한 기술적 과제들이 대두되고 있다 [1].

예를 들어, 소자의 초소형화에 따라 단채널 효과(short channel effects, SCE)가 스케일링의 주요한 문제로 부각되었다. 이를 억제하기 위해 채널 영역에 대한 게이트의 전기적 제어력을 극대화하는 것이 요구되었고, 유전체 위에 채널용 단결정 실리콘 층이 구조화된 실리콘 온 인슐레이터(silicon-on-insulator, SOI)기술과 FinFET 및 게이트 올 어라운드(gate-all-around, GAA)와 같은 새로운 트랜지스터 구조를 채택하였다. 하지만, 스케일링을 위한 얇은 두께의 실리콘 채널에서, 소재 고유 특성인 dangling bond로 인한 산란 현상으로 전자의 이동도가 저하되는 문제점이 발생한다. 특히 실리콘 채널의 두께가 5 nm 이하일 경우, 전자의 이동도는 이론적으로 채널 두께의 6제곱에 비례하여 감소한다 [2]. 이러한 문제들은 결과적으로 물리적 게이트 길이를 지속적으로 줄이는 것을 제한하고 있어 실리콘을 대체할 새로운 소재와 관련 집적 기술 개발이 요구되고 있다 [3].

이차원(2D) 반도체 소재는 원자 수준의 매우 얇은 두께

와 우수한 물리적, 전기적 특성으로 인해 차세대 전자 소자의 핵심 소재로 최근 큰 주목을 받고 있다 [4]. 특히, dangling bond가 없는 표면으로 계면에서의 전자 산란 현상을 최소화하고, 채널의 초미세화를 통한 SCE 예방에 유리한 특성을 보인다 [5]. 또한, 이차원 소재의 층간 반데르발스 결합을 조절하여 소자의 유연성을 확보할 수 있으며, 이를 통해 기존 실리콘 소재가 직면한 물리적 한계를 극복하여 고성능, 고집적 반도체 소자를 구현할 수 있다 [6]. 하지만, 기존의 3D 벌크 소재와의 전통적인 접합 방식은 2D 소재의 우수한 특성을 온전히 활용하는 데 한계를 보이며, 고에너지가 요구되는 금속 증착 공정이나 원자층 증착(atomic layer deposition, ALD) 기반 고유전율 유전체 집적 공정에서의 손상 및 계면 결합 형성 등이 이러한 한계를 더욱 부각시키고 있다. 특히, 해당 한계는 채널의 길이가 짧아질수록 접촉 저항의 영향이 커지고 채널-유전체 사이의 계면의 결합에 의한 산란의 영향으로 인해 소자의 성능을 제한하는 주요 원인으로 작용한다. 예를 들어, 기존의 금속-2D 접촉 방식에서는 금속과 2D 소재 간의 불완전한 결합으로 인해 높은 쇼트키 장벽과 접촉 저항이 발생하며, 이는 소자 성능의 저하와 전력 소모의 증가로 이어진다 [7]. 또한, ALD 기반 고유전율 유전체 집적 방식에서 발생하는 계면에서의 결합 역시 소자의 성능 열화의 원인이 된다. 이러한 문제는 특히 나노미터 단위의 초미세소자에서

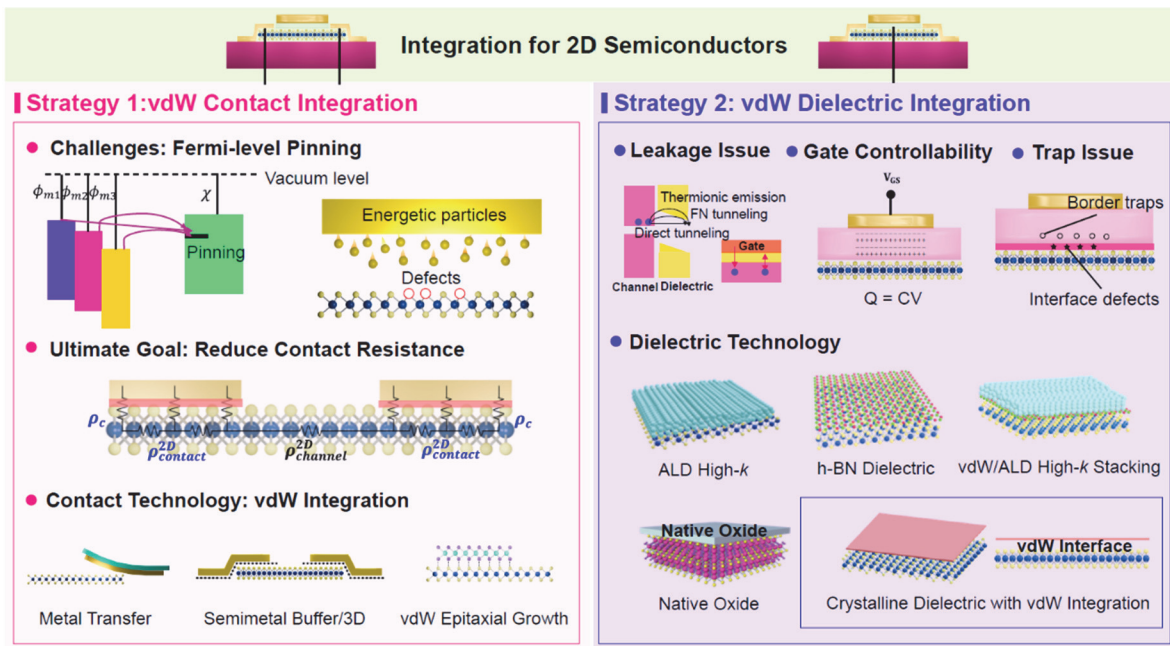


Fig. 1. Van der Waals integration technology for 2D semiconductors with schematic illustrations of contact engineering (left) and dielectric engineering (right).

심각하게 두드러지며, 고성능 소자 구현을 가로막는 주요 병목 현상이 되고 있다. 즉, 이를 극복하기 위해서는 채널 이외의 혁신적인 컨택 소재 및 게이트 유전체의 개발과 2D 반도체에 적용가능한 새로운 통합 집적 기술 개발이 요구된다 [8].

이차원 반도체 소재의 반데르발스 집적 중심 공정은 이러한 문제를 해결하기 위한 근본적인 해결책을 제공할 수 있다. 반데르발스 컨택 집적을 통해서, 금속과 2D 소재 간의 물리적인 손상을 최소화할 수 있고 접촉 계면의 품질을 크게 향상시킬 수 있어, 쇼트키 장벽을 낮추고 컨택 저항을 줄일 수 있다. 이를 통해, 단채널의 소자에서도 높은 전도성과 안정적인 성능을 확보할 수 있다. 한편, 반데르발스 유전체 집적은 이차원 소재와의 우수한 계면 특성을 유지할 수 있는 새로운 통합 방식으로, 계면 결함을 줄이고 전하 트랩을 최소화하여 유전체와 채널 간 전기적 상호작용을 최적화할 수 있는 공정이다. 즉, 반데르발스 컨택 및 유전체 집적 플랫폼을 통하여 소자의 전기적 안정성과 성능을 향상시킬 수 있으며 높은 소자 신뢰성을 제공할 수 있다. 따라서, 본 연구에서는 이차원 2D 소재를 활용한 소자 응용으로 반데르발스 컨택 및 반데르발스 유전체 집적이 가지는 중요성을 구체적인 사례를 통해 조명하고, 이를 통해 고성능 이차원 소자 구현을 위한 새로운 방향성을 제시하고자 한다(그림 1).

2. vdW INTEGRATION OF METAL CONTACTS (반데르발스 통합 기반 컨택 엔지니어링)

2.1 Technical issues in conventional metal contacts (2D 반도체의 컨택 이슈)

집적회로를 구성하는 소자의 동작 속도를 높이기 위하여 디바이스 저항을 줄이고 on-current를 높이는 방향으로 트랜지스터를 설계하는 노력이 진행되고 있다. 소자의 전체 저항은 채널 영역에서의 저항과 금속-반도체 표면에서의 컨택 저항으로 구성되는데, 소자가 소형화됨에 따라 채널 저항 대비 컨택 저항의 기여도가 커지게 된다. 이에 따라 금속-반도체 사이의 컨택 저항을 줄여 캐리어들이 쉽게 주입되는 접합을 만들어야 하고, 궁극적으로 이는 “오믹 컨택(ohmic contact)”을 실현함으로써 이루어질 수 있다.

오믹 컨택을 달성하기 위해서는 쇼트키 장벽을 제거하는 것이 필수적이다. 이상적인 경우, 쇼트키 장벽의 높이는 Schottky-Mott 법칙에 따라 금속의 일함수와 반도체의 전자친화도 차이로 결정된다 [식 (1)] [9,10].

$$\text{Schottky - Mott Rule: } \Phi_{SB-n} = \Phi_M - \chi_S \quad (1)$$

즉, 반도체의 도핑 농도를 조절하거나 일함수를 고려하여 적절한 금속 전극을 사용함으로써 오믹 컨택을 달성할 수 있다. 하지만, 실제 접합에서 페르미 레벨 고정(fermi level pinning, FLP)으로 인하여 Schottky-Mott 법칙이 온전히 적용되지는 않는데, 이 점이 고성능 이차원 소재 기반 트랜지스터의 실현을 어렵게 하는 주된 원인으로 작용한다 [11]. 페르미 레벨 고정 효과의 원인을 설명하기 위해 제안된 몇 가지 가설이 다음과 같이 존재한다.

먼저 반도체의 내재적 결함 또는 불순물로 인한 defect state이다. 2015년 텍사스 Dallas 대학 연구팀은 natural MoS₂의 표면을 STM을 통해 관찰하였고, 밴드갭(band gap) 내에서 전자 공여체 역할을 할 수 있는 S vacancies가 전체 면적의 최대 8%에 달하는 것을 확인하며 페르미 준위 위치의 변화를 설명하였다 [12]. 공정 중 결정 구조의 손상 및 표면 화학 결합으로 인한 interface state도 존재한다. 2018년 캘리포니아 대학 연구팀은 MoS₂에 Au를 전사한 소자와 증발 증착한 소자를 비교하였고, 증발 증착한 소자의 금속-반도체 계면에서 강한 고정 효과로 인한 높은 쇼트키 장벽이 나타나는 것을 확인하였다 [13]. 금속과 반도체의 파동함수 혼성화로 반도체 표면에 상태밀도를 유도하는 metal induced gap state (MIGS) 역시 주요한 요인이다. 2017년 콜롬비아 대학 연구팀은 주사 터널링 분광법(scanning tunneling spectroscopy, STS)을 활용하여 다양한 금속과 MoS₂의 접합에서 국소 상태 밀도(local density of states, LDOS)를 측정하였고 MoS₂에서 MIGS의 존재를 입증하였다 [14].

실리콘 기반 소자에서는 컨택 저항을 줄이기 위해 반도체 표면을 고농도로 도핑하여 쇼트키 장벽을 낮추고 공핍층을 축소시켜 터널링(tunneling) 전류를 유도하거나, 금속-실리콘 합금을 형성하는 실리사이드(silicide)를 형성하여 금속-실리콘 계면의 결함을 줄여 페르미 레벨 고정을 줄이는 방식을 채택하고 있다 [15,16]. 하지만, 실리콘 표면의 dangling bond는 interface state를 쉽게 생성하고 페르미 레벨 고정을 유도하여 궁극적인 오믹 컨택 형성을 어렵게 한다. 이러한 맥락에서, dangling bond가 없는 이차원 반도체 소재 표면 특성은 오믹 컨택 관점에서 실리콘 소재의 단점을 해결할 수 있는 해결책으로 제시됐다. 하지만, 이러한 기대와 달리 이차원 소재의 얇은 특성으로 인해 리소그래피(electron-beam lithography, EBL) 및 금속의 물리적 기상 증착(physical vapor deposition, PVD)과 같은 표준 디바이스 제조 공정 중 결정 구조가 쉽게 손

상되어 이차원 반도체 소재에서도 이상적인 오믹 컨택의 어려움이 발생했다 [17,18]. 이와 같이 재료의 표면에서 발생된 손상은 페르미 레벨 고정을 유도하고 컨택 저항을 높이는 원인이 되기에 이에 따라 이차원 반도체의 표면 손상을 최소화할 수 있는 반데르발스 기반의 컨택 기술이 요구되고 있다.

2.2 vdW contacts with 2D channel (이차원 채널의 반데르발스 컨택 집적)

2.2.1 Metal layer transfer

‘고에너지’ 금속 증착 공정은 이차원 반도체 계면의 결장 격자를 손상시킬 수 있고, 리소그래피 공정 중 발생하는 폴리머 불순물들은 소자 특성에 치명적인 요인으로 작용한다. 이 문제점들을 해결하기 위해 금속을 이차원 반도체 위에 전사하는 방식이 활용되고 있다 [그림 2(a)].

2018년 캘리포니아 대학 연구팀은 MoS₂ 플레이크 위에 전자빔 증착(electron-beam evaporation)을 활용하여 금속을 직접 증착한 소자와 PDMS를 활용하여 MoS₂ 위에 금속을 전사한 소자를 비교하였다 [13]. 연구 결과, PVD 방식으로 직접 증착된 금속/MoS₂ 계면에서는 많은 결함이 생성된 반면, 전사 방식을 활용한 소자는 깨끗한 계면 덕분에 페르미 레벨 고정 효과가 크게 완화되는 것으로 나타났다 [그림 2(b), (c)]. 반도체에서 페르미 레벨 고정 강도를 나타내는 FLP factor는 다음과 같은 식으로 정의된다 [식 (2)] [13].

$$S = \left| \frac{d\Phi_{SB}}{d\Phi_M} \right| \quad (2)$$

해당 연구에서는 Ag, Cu, Au, Pd, Pt의 다섯 가지 금속으로부터 S 값을 추출하였는데, PVD 기반의 직접 증착 소자의 경우 S 값이 0.09로 매우 강한 고정 효과를 보였으나,

전사 방식을 적용한 소자는 S 값이 0.96으로 1에 가까운 값을 기록하여 페르미 레벨 고정 효과가 크게 완화되었음을 확인하였다. 전사 방식의 이러한 특성은 2D 트랜지스터 소자의 극성을 일관되게 유지시켜주는 역할도 한다. 예를 들어, 2020년 후난 대학 연구팀은 WSe₂ 채널 위에 Au 전극을 PVD 방식으로 증착한 소자와 전사시킨 소자를 제작하여 비교하였다 [그림 2(b)] [19]. 그 결과, PVD 방식으로 증착된 소자는 n형의 거동을 보인 반면, 전사 방식으로 증착한 소자의 경우 페르미 레벨 고정 효과가 완화되며 p형의 거동을 보이게 된다고 보고하였다 [그림 2(c), (d)].

이처럼 전사 공정을 통한 금속의 집적 기술은 계면에서 발생하는 페르미 레벨 고정을 효과적으로 해결함으로써 금속의 일함수와 반도체의 전자친화도 조절을 통해 오믹 컨택의 형성을 가능하게 하는 접근임을 알 수 있다. 그러나, 기판에 증착된 금속을 기계적으로 벗겨내는 방식이기에, 기판과의 접착력이 낮은 금속에만 적용이 가능하다는 한계점이 존재한다.

2.2.2 2D Buffer/3D stacking

채널과 금속 전극 사이에 버퍼층을 삽입하여 금속화 공정 중 발생하는 2D 격자의 손상을 줄이는 방식이 활용되고 있다. 특히, dangling bond가 없는 이차원 버퍼층을 사용하면, 기존의 삼차원 금속과 반도체 채널 간 상호작용으로 발생하는 MIGS와 defect state를 효과적으로 줄일 수 있기에 깨끗한 반데르발스 계면을 달성하기 위한 방안으로 연구되고 있다 [20–22].

그래핀은 dangling bond가 없는 깨끗한 계면을 가진 이차원 준금속 소재로, 페르미 레벨 고정 현상을 방지할 수 있어 컨택을 위한 이차원 버퍼 재료로 주목받고 있다. 그러나 대표적인 n형 전이금속 디칼코겐 화합물(transition metal dichalcogenide) 물질인 MoS₂와 접합할 때, 그래핀의 일함수가 MoS₂보다 높아 Schottky-Mott 법칙에 따

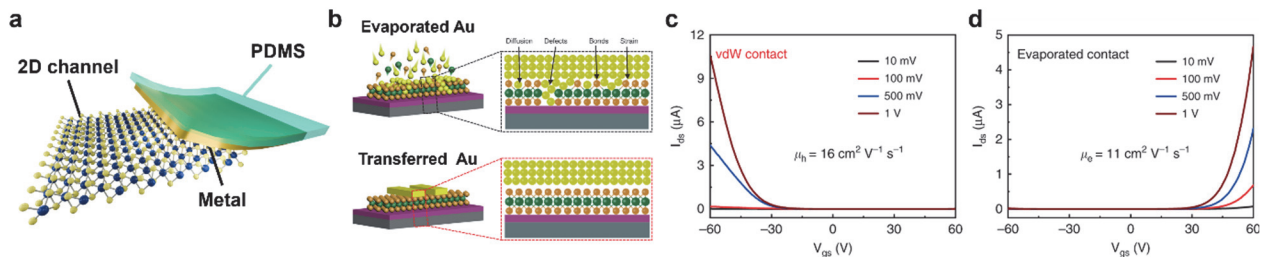


Fig. 2. (a) Schematic image of transferring contact metal onto 2D channels, (b) the cross-sectional schematic of vdW contact with WSe₂, and Au electrode evaporated on WSe₂ using conventional thermal evaporation, (c), (d) the I_{ds} - V_{gs} transfer characteristics of the WSe₂ transistor using both vdW-integrated (c) and conventionally evaporated electrodes (d) are shown. Each device exhibits carrier mobilities of 16 and 11 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$, respectively, at a bias of 1 V. Panels b–d reprinted with permission from Ref. [21]. Copyright 2020, Kong, L. et al.

라 쇼트키 장벽 높이가 기존 금속 접합보다 높아지는 문제가 발생한다 [23]. 이 문제는 그래핀과 금속의 흡착을 통해 해결할 수 있는데, 흡착된 금속에 의해 그래핀의 일함수가 제어될 수 있다는 점이 이론적으로 예측되었고, 실험적으로도 입증되었다 [24]. 2018년 광주과학기술원(GIST) 연구팀은 대면적의 MoS₂ 및 그래핀 단층을 화학기상증착법 (chemical vapor deposition, CVD)으로 합성한 후, 이를 사용하여 그래핀/Ag 컨택이 있는 MoS₂ FET를 제조하였다 [25]. 이를 통해 쇼트키 장벽의 높이를 이론적으로 계산된 MoS₂의 쇼트키 장벽 값인 0.19 eV 수준까지 낮추었으며, 컨택 저항도 Ag/MoS₂에서의 798 kΩ·μm에서 115 kΩ·μm로 크게 감소시켰다 [그림 3(b), (c)].

그래핀 외에도 다양한 밴드갭과 전자친화도를 가진 이차원 TMD 물질을 버퍼층으로 활용하는 연구가 진행되고 있다. 2020년 웨인 주립 대학 연구팀은 MoS₂ 채널과 Ti 전

극 사이의 버퍼층으로 TMD 물질인 WSe₂와 MoSe₂를 활용하여 소자를 제작하였고, 이를 통해 쇼트키 장벽과 컨택 저항을 유의미하게 감소시켰다 [26]. 특히, MoSe₂와의 접합에서는 쇼트키 장벽이 100 meV에서 25 meV로 낮아졌고, 컨택 저항도 14.5 kΩ·μm에서 1.9 kΩ·μm로 감소되었다고 보고하였다 [그림 3(d), (e)].

그러나, 이차원 버퍼층을 활용한 컨택에서의 일함수는 개별 이차원 버퍼층이나 삼차원 금속의 일함수와 다르기에 새로운 특성을 지닌 컨택으로 간주해야 하며, 그 원인에 대해 보다 깊이 이해하기 위해서는 추가적인 연구가 필요한 상황이다 [27]. 또한, 금속 전극과 반도체 채널 사이에 생성되는 추가적인 반데르발스 갭은 추가적인 직렬저항을 발생시키게 되어 캐리어 주입을 방해하는 요인으로 작용한다는 단점이 존재한다.

2.2.3 vdW hetero-epitaxial growth

전사 방식은 반데르발스 집적을 위한 일반적인 방법이지만 전사 과정에서 계면에 원치 않는 불순물이 흡착될 수 있고, 대규모 제조에 적용하는 것은 비효율적이라는 단점이 있다. 그에 반해 이차원 금속-이차원 반도체 반데르발스 접합의 직접 성장 방식은 대규모 합성의 가능성을 보여주는 공정이며, 이 점은 특히 연구실-산업체 간의 전환이 가능한 플랫폼을 제공한다 [그림 4(a)].

반데르발스 에피택시 성장 방식을 활용하여 반도체 TMD 물질 위에 금속 TMD 물질을 직접 성장시키는 연구가 진행되고 있으며, 이를 통해 다양한 금속-반도체 (metal-semiconductor, MS) 조합에 대한 연구가 이루어지고 있다. 2018년 베이징 공과대학 연구팀은 WSe₂와 MoSe₂를 반데르발스 에피택시 기판으로 활용하여 CVD 공정을 통해 VSe₂를 이종 에피택시 방식으로 직성장시키는 연구를 보고했다 [28]. VSe₂는 WSe₂와는 2.2%, MoSe₂와는 1.9%의 작은 격자 불일치를 가져 반데르발스 계면을 가지는 이종 구조로 성장되었으며, 특히 VSe₂와 MoSe₂의 계면에서는 옴믹 컨택이 형성된다고 보고하였다 [그림 4(b)~(d)]. 또한 2023년 후난 대학 연구팀은 MoS₂와 WSe₂ 플레이크 위에 VS_{2x}Se_{2(1-x)} 조성을 가진 TMD 금속 합금을 직성장시켰으며, 합성 온도가 증가함에 따라 S의 증기압이 증가하고, 이를 통해 합금의 조성을 변화시켜 일함수를 조절할 수 있음을 보고하였다 [29]. 특히, S의 비율이 증가할수록 일함수는 감소하게 되는데, $x \geq 0.5$ 일 때 VS_{2x}Se_{2(1-x)}와 MoS₂ 사이에 옴믹 접합이 달성될 수 있다고 보고하였다 [그림 4(e)]. 이러한 에피택시 기반의 직성장 방식은 대규모의 MS 접합을 제작할 수 있다는 점에서 큰 장점을 가진다. 2020년 후난 대학 연구팀은 공초점 레

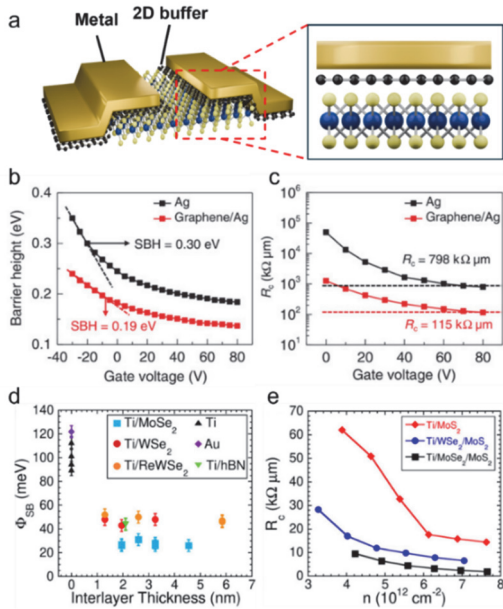


Fig. 3. (a) Schematic image showing the use of a 2D buffer layer between the 2D channel and the metal electrode, (b) barrier heights and (c) contact resistances (R_c) of MoS₂ FETs without and with the graphene buffer layer at the Ag–MoS₂ contacts, as a function of gate voltage. Panels b and c reprinted with permission from Ref. [27]. Copyright 2024 Advanced Materials, (d) SBH extracted from MoS₂ FETs using different contact metals and buffer layer materials. By inserting a 2D buffer layer with an advantageous band alignment, the SBH can be reduced significantly to ~50 meV (using WSe₂ and ReWSe₂ buffer layer) and further to ~25 meV (using MoSe₂ buffer layer) regardless of the interlayer thickness, and (e) extracted contact resistance for each contact type as a function of carrier density (gate voltage bias). Panels d and e reprinted with permission from Ref. [28]. Copyright 2024 American Chemical Society.

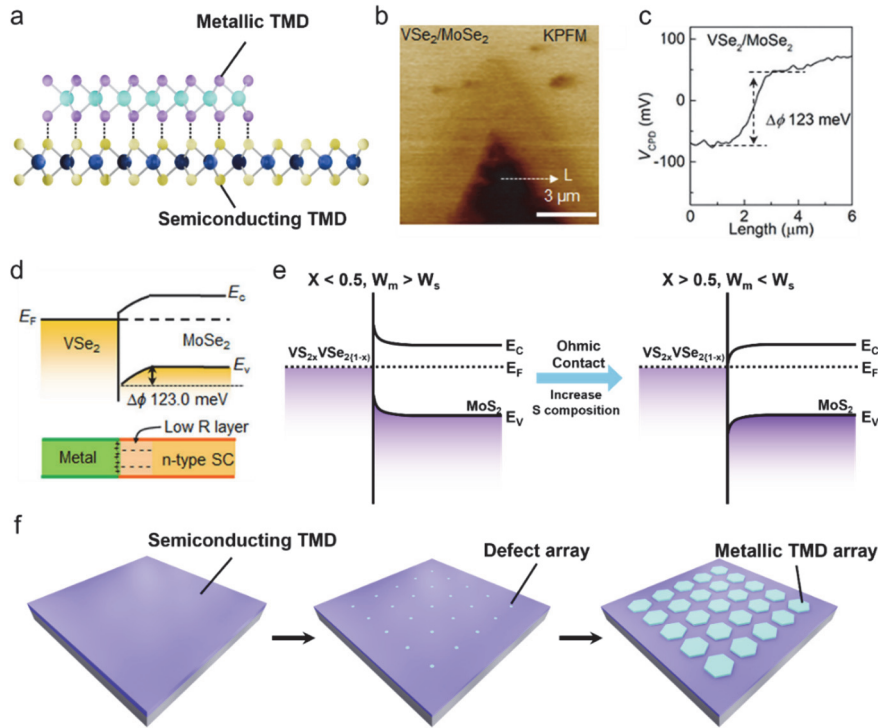


Fig. 4. (a) Schematic image of hetero-epitaxial growth of 2D metallic TMD with similar lattice constants on 2D semiconducting TMD, (b) KPFM surface potential map of transferred ML-VSe₂/SL-MoSe₂ on conductive Si substrates, (c) line profile of the surface potential difference of vertical stack, and (d) corresponding schematic of the band profile for ML-VSe₂/SL-MoSe₂ according to KPFM characterization. Panels b–d reprinted with permission from Ref. [31]. Copyright 2018 American Chemical Society, (e) two types of band alignment of VS_{2x}VSe_{2(1-x)}/MoS₂ vdW heterostructures: $W_m > W_s$ (Schottky contact) & $W_m < W_s$ (ohmic contact), and (f) semiconductor TMDs initially synthesized through a CVD process and subsequently patterned to create periodic defect arrays. These defect arrays serve as exclusive nucleation sites, enabling the site-specific growth of metallic TMDs, resulting in the formation of metallic-TMD/semiconducting-TMD vdW heterostructures arrays.

이저를 사용해 반도체 TMD 물질 위에 결합 어레이를 생성하고, 이를 통해 금속 TMD의 핵 생성 사이트를 패터닝하였다 [30]. 이후 CVD 공정을 통해 금속 TMD를 합성한 결과, 사전에 패턴화된 위치에서만 선택적으로 금속 TMD가 성장하는 것을 확인하였다 [그림 4(f)].

그러나, CVD 기반의 금속-반도체 이종 에피택시 성장 방식은 매우 정밀한 격자 조건을 요구하고, 금속 TMD의 합성 온도는 반도체 TMD의 합성 온도와 호환되어야 한다. 이는 합성 가능한 금속 TMD를 제한시켜 원하는 일함수를 가진 금속 TMD 전극을 활용하는 데 어려움을 겪는다. 뿐만 아니라, 재료 간 격자 부정합으로 인한 스트레인도 재료 내부에서 불균일하게 분포하기 때문에 소자 특성에 영향을 미칠 수 있다는 한계점도 존재한다 [31].

2.2.4 Sacrificial layer based vdW contact

앞서 제시된 전사 방식의 주요 한계점인 기판과 강하게 접착되는 금속의 활용이 어렵다는 점과 대규모 제조 공정

적용에 적용하기 어렵다는 문제를 해결하기 위해, 2D 반도체와 금속 전극 사이에 희생층을 삽입하는 방법이 제안되었다. 2022년 연세대학교 연구팀은 WSe₂ 채널과 금속 전극(Au) 사이에 Se 희생층을 삽입하는 연구를 보고하였다 [32]. Se는 낮은 응집 에너지를 가지며, 진공에서 약 150°C 이하의 온도에서 쉽게 증발할 수 있다. 연구팀은 이러한 특성을 활용하여, Se 희생층 위에 Au를 증착한 소자와 전자빔 증착 방식으로 Au를 직접 증착한 소자를 각각 제작한 뒤, transfer curve를 비교 분석하였다. 그 결과, Au를 직접 증착한 소자는 페르미 레벨 고정 효과로 인해 n형 특성을 보인 반면, Se 희생층을 활용한 소자는 Au의 전자빔 증착 과정에서 발생하는 채널 결함을 줄여 반데르발스 컨택을 형성함으로써, $135 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 의 높은 이동도를 갖는 p형 특성을 나타냈다고 설명하였다. 그러나, 해당 연구에서 희생층으로 활용된 Se는 열 증발(thermal evaporation) 방식으로 증착되었기에, 여전히 2D 재료의 고유 격자에 영향을 미칠 수 있다는 한계점이 존재한다.

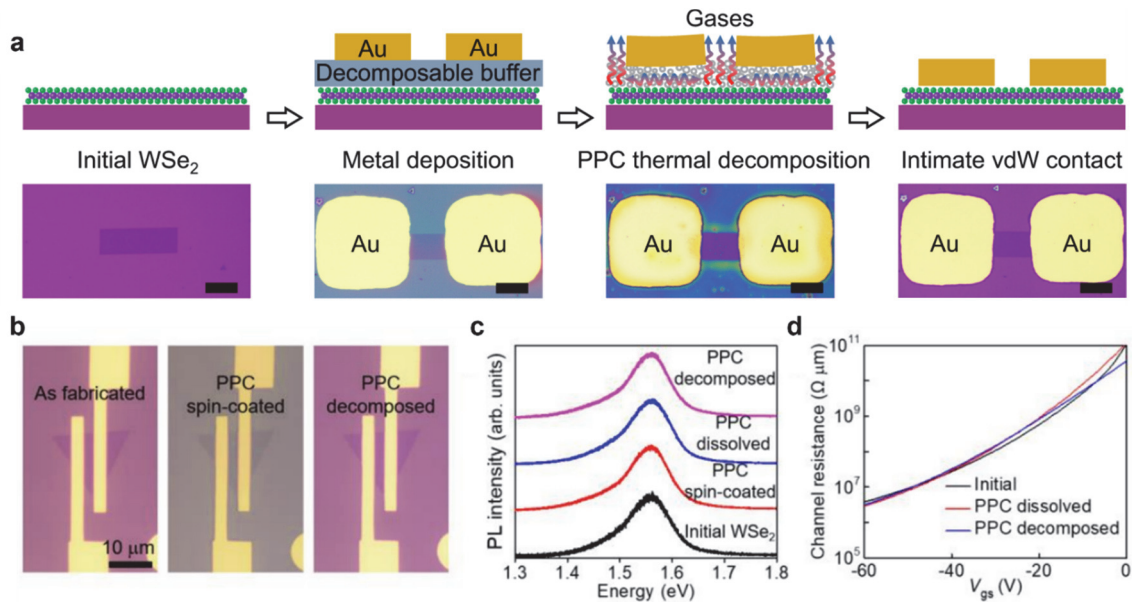


Fig. 5. (a) Schematics and optical images of vdW Au-WSe₂ integration with four steps: WSe₂ flake prepared on substrate, (b) optical images of the as-fabricated WSe₂ transistor (left), with poly(propylene carbonate) (PPC) sacrificial layer spin-coated (middle), and PPC layer dry-decomposed (right), (c) photoluminescence (PL) spectrums of as fabricated WSe₂, after PPC spin-coated, after PPC dissolved, and after PPC dry decomposed. The PL peak remains identical during these processes, and (d) the corresponding channel resistance against gate voltage (V_{gs}) of WSe₂ transistors with consistent electrical properties observed, indicating the PPC integration and removing processes won't change the intrinsic properties of monolayer WSe₂. Panels a–d reprinted with permission from Ref. [33]. Copyright © 2023, Lingan Kong et al.

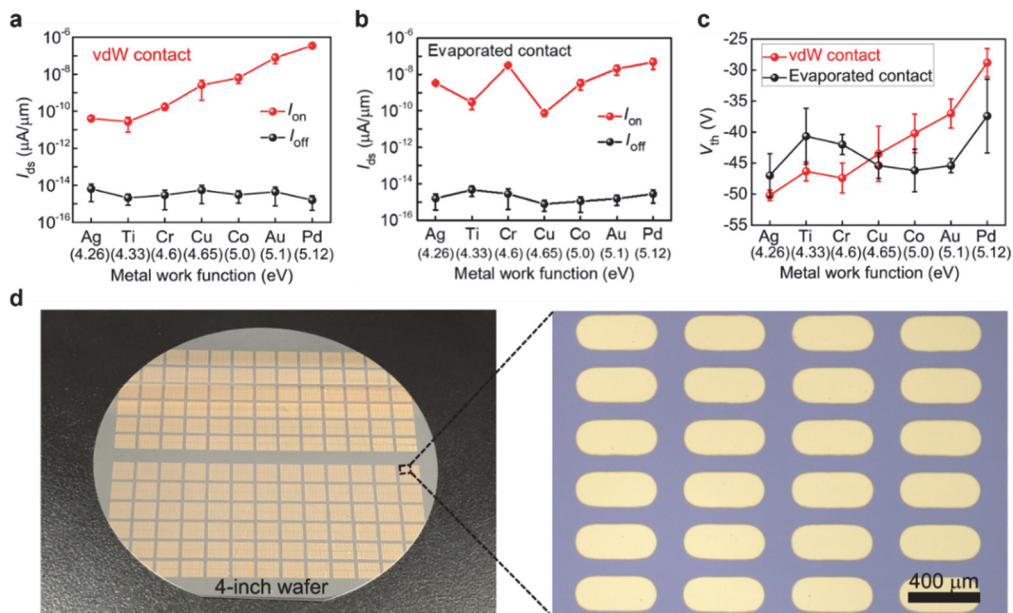


Fig. 6. (a), (b) Extraction of on-state current densities of WSe₂ transistors with vdW contact (b) and evaporated contact. (c) Extraction of threshold voltage (V_{th}) of WSe₂ transistors with vdW contact and evaporated contact. (d) Optical images of large scale vdW contacts. Panels a–d reprinted with permission from Ref. [33]. Copyright © 2023, Lingan Kong et al.

2023년 후난대학 연구팀은 기존의 한계점을 해결할 수 있는 propylene carbonate (PPC)를 희생층으로 활용하여 2D 반도체와 금속 간의 접촉 특성을 개선하는 연구를 진행하였다 [33]. 연구팀은 WSe₂ 위에 충분한 두께의 PPC 폴리머를 스프인 코팅한 후, 그 위에 금속을 열 증발 방식으로 직접 증착하였다 [그림 5(a)]. 이후, 250°C에서 30분간 가열하여 PPC층을 분해함으로써 Au가 WSe₂와 반데르발스 접합을 형성하도록 유도하였다. 이 과정에서 PPC의 스프인 코팅 전후로 광학적 및 전기적 특성이 변하지 않음을 확인하며, 해당 공정이 저에너지 방식을 입증하였다 [그림 5(b)~(d)]. 또한, 연구팀은 이 방식을 활용하여 Ag, Ti, Cr, Cu, Co, Au, Pd 등 7가지 다른 접촉 금속을 사용한 반데르발스 접합 소자와 직접 증착된 소자의 전기적 특성을 비교 분석하였다 [그림 6(a)~(c)]. 그 결과, 반데르발스 접합 소자의 경우 일함수가 큰 금속을 사용할수록 더 높은 온-전류(on-current)와 문턱 전압(threshold voltage, V_{th})을 나타내는 경향이 뚜렷하게 관찰된 반면, 직접 증착된 소자는 페르미 레벨 고정 효과로 인해 이러한 경향이 명확하게 나타나지 않는 것으로 확인되었다. 추가적으로, 연구팀은 해당 반데르발스 증착 방식을 활용하여 4인치 크기의 웨이퍼에 25,000개 이상의 반데르발스 접합을 제작하였으며, 이를 통해 웨이퍼 규모의 제조 가능성을 입증하였다 [그림 6(d)].

3. vdW INTEGRATION OF DIELECTRICS

FET 구조에서 게이트 유전체는 전압 신호가 주어질 때 물질 내부의 분극을 통해 채널에 전하를 유도하여 전류를 조절하는 중요한 역할을 수행하며, 트랜지스터의 성능에 직접적인 영향을 미친다. 특히, 우수한 게이트 절연체는 채널의 누설 전류를 방지하여 전력 손실을 최소화하고 동일한 전압에서 더 많은 전하를 유도할 수 있어 트랜지스터 성능을 향상시킬 수 있다. 기존의 실리콘 기반 소자에서는 고 유전율 금속 게이트(high-k metal gate, HKMG)의 도입으로 기존 SiO₂ 산화막의 낮은 유전율에 대한 단점을 해결해왔다. FET의 초소형화에 따라 발생하는 SCE 문제를 해결하기 위해 이차원 반도체 소재가 실리콘 소재의 대체자로 주목받고 있다. 하지만, dangling bond가 없는 이차원 소재에서는 실리콘 소자에서 적용되는 고유전율 유전체 집적 공정의 어려움이 존재하여 소자 제작 시 물질이 가지는 이론적인 잠재력을 보여주지 못하고 있다 [34]. 따라서, 이차원 반도체 소재에 적합한 새로운 유전체와 집적 방식이

필요하다. 이러한 맥락에서, 이 장에서는 이차원 반도체 소재 맞춤형 유전체 집적의 조건과 집적을 위한 공정 기술에 대하여 다루고자 한다.

3.1 Dielectrics for 2D transistors (이차원 반도체 소자를 위한 게이트 유전체의 조건)

FET에서 게이트-유전체-반도체 사이에서의 직접적인 전하 교환을 최소화하여 원하지 않는 누설 전류를 방지하여야 한다. 이러한 반도체 채널과 유전체 사이의 전하 교환은 전하들이 band offset이라고 불리는 에너지 장벽을 넘는 것을 통해 이루어질 수 있다. 밴드갭은 다른 물질 간의 전하의 누설을 막는 에너지 장벽인 band offset을 결정하는데, 밴드갭이 큰 물질을 유전체 소재로 채택하면 다양한 반도체 물질과의 집적 시 높은 band offset을 형성할 수 있기 때문에 누설 전류를 방지할 수 있다 [35]. 또한, 유전체의 두께가 얇으면 터널링 현상을 통하여 게이트에서 채널로 누설 전류가 생기기 때문에, 터널링 현상이 일어나지 않게 유전체 두께를 최적화하는 것 역시 누설 전류를 막을 수 있는 방법이다. 그리고 항복 전압을 넘으면 유전체 소재의 파괴가 일어나면서 큰 누설전류가 발생하는데, 항복전압이 큰 유전체를 사용함으로써, 전압에 의한 누설 전류를 막고 소자의 동작 전압 범위를 높일 수 있다.

전압 신호는 유전체를 통하여 채널에 전하를 유도하는 방식으로 조절되기 때문에, 동일 전압에서 많은 전하들을 유도할 수 있는 유전체 소재가 필요하다. 이는 유전체의 정전용량($C = \kappa\epsilon_0 \frac{A}{d}$)을 높이는 방식으로 이루어질 수 있는데, 터널링에 의한 누설 전류로 인해 두께를 줄이는 방법에는 한계가 있다. 따라서, 동일 전압과 동일 두께에서 큰 정전용량을 가질 수 있는 High-k 소재를 게이트 유전체로 사용함으로써 더 많은 전하들을 유도할 수 있고, 이는 채널에 미치는 게이트의 지배력을 극대화할 수 있다.

고품질의 유전체는 적은 결함이 요구되고 결함은 유전체 내부 결함과 반도체와 유전체 사이의 계면 결함이 있다. 유전체 내부의 결함들은 채널 속 전하들이 터널링을 통해 전하 교환을 할 수 있는 공간이 된다. 비정질 기반의 유전체는 내부 결함의 밀도가 크고 내부 결함 자리의 에너지 밴드가 넓으며 반도체의 밴드 경계와 차이가 적기 때문에 전하가 유전체의 내부 결함에 쉽게 터널링 될 수 있다 (그림 7) [36]. 그렇기 때문에 상대적으로 내부 결함이 적은 결정질 유전체를 통해서 내부의 전하 교환을 최소화하고 소자의 히스테리시스(hysteresis) 값을 개선할 수 있다 [37].

채널과 유전체 사이의 계면을 고품질로 만드는 것 역시

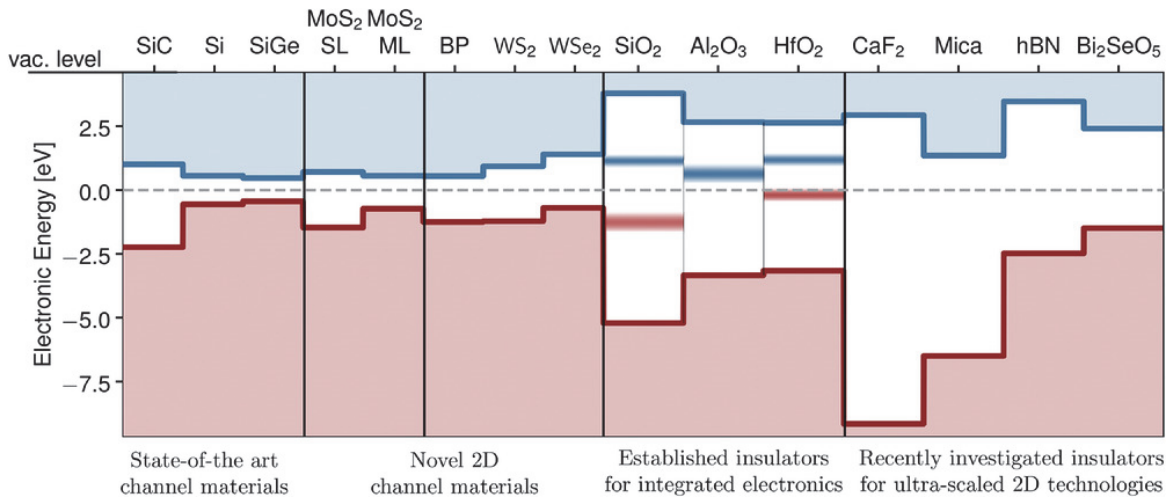


Fig. 7. Comparison of dielectrics and channel by band alignment. Trap band energy distribution in amorphous dielectrics (blue and red). It reprinted with permission from Ref. [36]. Copyright 2022 Walzl, M. et al. *Advanced Materials* published by Wiley-VCH GmbH.

소자 특성을 향상시키는데 중요한 요소이다. 계면 간의 품질이 좋지 않으면, 계면 트랩 밀도(density of interface traps, D_{it})가 커지고, 전하가 빠르게 포획되어 이동도가 감소하며 문턱 전압 이하에서 문턱 전압 이하 스윙이 악화된다 [37,38]. 이러한 이유로 유전체의 반데르발스 집적공정을 통해 계면 결함 밀도를 낮춰서 낮은 문턱 전압 이하 스윙 값을 얻을 수 있다.

이차원 반도체는 dangling bond가 없는 물질의 특성상 ALD기반의 High-k 유전체 집적이 어렵고 계면 결함 밀도가 높아서 소자의 성능을 열화시키는 원인이 된다. 따라서, 고성능 이차원 반도체 소자 구현을 위하여 큰 밴드갭을 가지는 고품질 High-k 유전체의 “반데르발스 계면 집적 공정”이 중요하다.

3.2 Dielectric integration technology for 2D transistors (이차원 소재 맞춤형 유전체 집적을 위한 공정 기술의 이해)

3.2.1 ALD based high-k integration

2011년 EPFL 연구팀은 단층 MoS_2 이차원 반도체와 ALD 공정 기반의 HfO_2 High-k 유전체의 집적으로 이차원 반도체 소재 기반 트랜지스터의 동작을 보고했다. 해당 연구에서는 MoS_2 기반 소자의 성능을 높이기 위하여, 25의 높은 유전상수를 가지고 있으며 5.7 eV 정도의 상당히 큰 밴드갭을 가진 HfO_2 물질을 게이트 유전체로 채택하였다 [39]. 하지만, dangling bond가 없는 이차원 소재의 표면에는 흡착 가능한 공간이 부족해서, ALD 기반의 High-

k 유전체 집적 공정이 어렵고 고품질의 계면 형성이 안 될 뿐만 아니라, 비정질 물질이라는 단점이 있다 [37,40]. 이러한 이유로, 해당 집적공정 방식은 높은 히스테리시스 값과 문턱 이하 전압 스윙을 초래하기 때문에 이차원 반도체 소재에 적합한 집적 방식으로 적합하지 않다.

3.2.2 vdW integration (h-BN)

2014년 UC Berkeley 대학 연구팀은 이차원 절연체의 대표적인 물질인 질화붕소(hexagonal boron nitride, h-BN)를 게이트 유전체로 사용함으로써, 이차원 소재들의 반데르발스 집적만으로 소자를 제작하였고 이를 보고하였다 [41]. 해당 연구와 같이 h-BN을 게이트 유전체 소재로 사용한다면, 이차원 반도체와의 반데르발스 계면 집적을 이루어 고품질의 계면을 형성할 수 있다. 이를 통해, 기존의 ALD 공정 기반 High-k 유전체 집적의 문제를 해결할 수 있다. 하지만, h-BN은 out-of-plane 방향으로 3.29에서 3.76 정도의 낮은 유전 상수를 가지고 있다는 단점이 있다 [42]. 또한, 1.3 nm 이하의 얇은 두께를 가진 h-BN 소재에서 $10^{-2} A/cm^2$ 이상의 누설 전류가 흐르며, 두께를 정밀하게 조절하면서 단결정 h-BN을 대면적으로 성장시키기 어렵다. 해당 소재적, 기술적인 한계가 존재하여 고품질의 계면이란 장점만으로는 h-BN을 게이트 유전체로 사용하기에 한계가 있다 [43].

3.2.3 Native oxide (Bi_2Se_5 on Bi_2O_2Se)

반도체와 유전체 사이의 계면의 품질을 높이는 방법으로 자연 산화막을 형성하는 방법이 있다. 실리콘과 같은 기

존 삼차원 반도체 소재에서는 SiO₂ 자연산화막을 형성하여 계면의 품질을 좋게 만든다. 이차원 반도체 소재에서도 비슷한 방법이 제시되었는데, 2020년 북경대학 연구팀은 고이동도를 가지는 이차원 반도체인 Bi₂O₂Se 채널 위에 21의 높은 유전상수를 가진 Bi₂SeO₅ 자연산화막을 형성하여 고품질 계면 상태의 High-k 유전체 집적을 성공하였다 [44]. 이 방법을 통해 ALD 기반의 유전체 집적 공정의 단점으로 지적되었던 계면에서 발생하는 문제와 h-BN 소재 고유의 크지 않은 유전상수에 기인한 문제 모두 해결할 수 있었다. 하지만, 자연산화막을 이용한 방식은 특정 물질 위에서만 적용 가능하여 다양한 채널 위에 집적 가능한 공정 플랫폼이 아니라는 단점을 가지고 있다.

3.2.4 vdW interface on high-k technique

ALD 기반의 High-k 소재 집적에서 발생하는 계면 문제와 h-BN이 가지고 있는 크지 않은 유전상수의 단점을 모두 해결할 또 다른 대안으로, h-BN을 채널과 접합하고 그 위에 High-k 소재를 증착하는 연구 역시 진행되었다. 2016년에는 h-BN과 HfO₂의 이중접합을 통한 소자의 고성능화 연구가 진행되었고 좋은 계면 품질 덕분에 104 cm²/V·s의 높은 이동도를 얻었다. 하지만 h-BN 접합으로 인해 항복 전계가 8 MV/cm에서 6.5 MV/cm으로 감소하였고, 고유전체인 HfO₂와 낮은 유전상수를 가진 h-BN이 직렬 연결됨으로써 정전용량 값이 480 nF/cm²에서 310 nF/cm²로 크게 감소하였다 [45]. 2019년 난징대학 연구팀은 MoS₂위의 Seed 층으로 유기분자 perylenetetracarboxylic dianhydride (PTCDA)를 형성하고 그 위에 High-k 물질을 증착하는 연구를 진행하였고, 60 mV/dec의 문턱전압 이하 스윙 값을 얻었다고 보고하였다. 그러나, 이 역시 유기분자들의 낮은 유전상수로 인한 정전용량 손실을 최소화하기 위해서는 1 nm 이하로 증착이 강제되는 문제가 있다 [46]. 이처럼 이중 접합 방식은 좋은 계면을 얻을 수 있다는 장점이 있지만, 서로 다른 유전체의 직렬연결에서 기인하는 정전용량 값의 손해를 보게 된다는 한계점이 존재한다.

3.2.5 Crystalline high-k dielectric (CaF₂, LaOCl, GdOCl)

앞서 제시된 유전체 집적의 한계를 해결하기 위해, 큰 밴드갭과 고유전율을 모두 갖춘 결정질 유전체 소재의 발굴 및 이의 반데르발스 집적이 핵심 과제로 떠오르고 있다. 이러한 관점에서 CaF₂와 같은 이온결정 유전체 및 LaOCl, GdOCl 등과 같은 희토류-옥시할라이드(Rare-earth oxyhalide) 기반의 물질들이 연구되고 있다. 이러한 이온결정 기반의 유전체들은 h-BN과는 달리 이차원 물질은 아

니지만, 물질이 할로젠 원소로 종결되는 덕분에 화학적으로 불활성한 특성이 있다. CaF₂ 경우는 해리된 H와 OH가 CaF₂와 반응하지 않고 H₂O로 결합됨을 보였다 [47]. LaOCl 소재의 연구에서는 방사형 분포 함수 계산으로 Cl이 S와 가장 가까운 원자임을 보임으로써 할로젠 원소로 종결됨을 증명하였다. 이에 더하여, 단면 TEM 사진으로 전사 공정 기반 LaOCl 유전체의 집적은 채널과 반데르발스 계면을 형성하고 있음을 보였다 [그림 8(a)] [48]. 같은 희토류-옥시할라이드 물질인 GdOCl 유전체 집적 연구에서 역시 고품질 계면 형성을 보여주었다. 연구 내용에 따르면, GdOCl/MoS₂의 슈퍼셀 구조를 만들고 밀도범함수이론(density functional theory, DFT) 계산법을 이용하여 GdOCl과 MoS₂의 원자구조가 접촉 후 변형이 없음을 입증했다 [그림 8(b)] [49]. 결정적으로 접촉면에 대한 수직 방향에 대한 평면 평균 전하밀도 차이 계산을 해서 S와 Cl 원자의 간격이 5.7 Å임을 확인하였다. 즉, 해당 연구 결과를 통해, 할로젠 기반 결정질 유전체는 반데르발스 집적에 준하는 효과를 구현할 수 있음을 보여주었다 [그림 8(c)] [48-50]. 뿐만 아니라, 결정질 유전체는 비정질 유전체보다 내부의 불활성 결합 자리가 매우 적기 때문에, 낮은 내부 결합 밀도를 가진다. 즉, 결정질 유전체가 이차원 반도체와 집적될 시, 계면트랩 및 내부트랩 밀도 감소의 이점을 얻을 수 있다. 이는 문턱 전압 이하 스윙의 향상과 소자의 히스테리시스 특성의 개선으로 이어질 수 있다 [그림 8(d)].

CaF₂는 기본적으로 밴드갭이 12.1 eV, 누설 전류가 10⁻¹¹ A 이하인 유전체이고 위의 특성 덕분에 93 mV/dec의 문턱전압 이하 스윙, 30 mV의 히스테리시스, 10~15 MV/cm의 유전체의 강도 등 우수한 특성을 지녔다 [51]. 하지만, CaF₂는 8.4의 유전상수를 가지고 있으며, 이는 다른 High-k 유전체 대비 크지 않은 숫자이다. 그리고, Si(111)에서 MBE로 성장시켜야 하기 때문에 고비용이 요구되고 하부 게이트로만 사용해야 하는 공정적인 한계점이 존재한다. GdOCl은 밴드갭 4.58 eV, 히스테리시스 5 mV, 문턱전압 이하 스윙 67.9 mV, 유전율 15.3 등 굉장히 우수한 특성을 보였고 [49], LaOCl은 밴드갭 4.21 eV, 히스테리시스 0~30 mV, 유전율 10.8 등 좋은 성능을 실험으로 입증하였다 [46]. LaOCl은 DFT 시뮬레이션을 통해 단일 층 LaOCl이 55.8의 유전율, 0.05 nm의 EOT, 7.79×10⁻⁸ A/cm²의 낮은 누설 전류를 보였고, 이중층 LaOCl이 10⁻²⁰ A/cm²의 낮은 누설 전류를 보였다 [52].

종합적으로 언급한 모든 유전체의 특성들을 비교해보면 좋은 특성을 보이는 Bi₂SeO₅은 실용성에 한계가 있고 h-BN, ALD HfO₂등은 On/Off 비율, 히스테리시스, 유전율, 유전체 강도 등에서 아쉬운 결과를 보였다. 그렇기 때문에

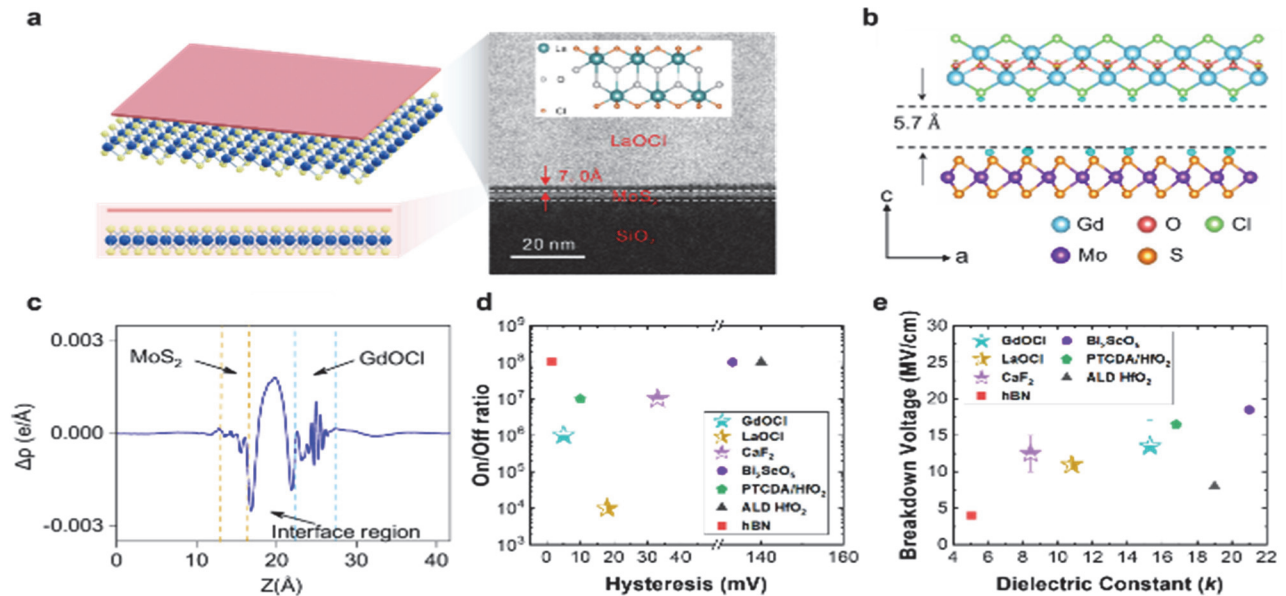


Fig. 8. High-k dielectric with vdW interface. (a) Schematic and cross-sectional TEM image of crystalline LaOCl/MoS₂. Panel (a) reprinted with permission from Ref. [50]. Copyright 2023 Wiley-VCH GmbH, (b) side views of the differential charge density of the GdOCl/MoS₂ vdW heterostructure, and (c) plane-averaged differential charge density of the GdOCl/MoS₂ vdW heterostructure. Panels (b) and (c) reprinted with permission from Ref. [49]. Copyright 2024 Xu, W. et al., (d) comparison of On/Off ratio and hysteresis of crystalline dielectric with other gate dielectrics [44,46,48,49,51,53,54], and (e) comparison of breakdown voltage and dielectric constant of crystalline dielectric with other gate dielectrics [44-46,48,49,51,55,56].

반데르발스 표면을 가진 유전체가 네 가지 지표에 대해 강점이 있으며 특히 이차원 반도체 소자를 위한 희토류-옥시 할라이드 기반 유전체의 집적의 잠재력을 확인할 수 있었다.

3.2.6 Additional dielectric integration

앞에서는 2D 반도체 소재에 적합한 유전체와 집적 방식에 대하여 심층적으로 다루었다. 이에 더하여, 이 장에서는 반데르발스 소재의 흥미로운 장점을 활용한 고성능 소자 구현의 새로운 솔루션들을 소개한다.

2022년 UCLA 연구팀에서 발표한 보고에 따르면, plug-and-probe 접근 방식을 이용하여 한 번의 전사 공정으로 금속 컨택과 유전체의 반데르발스 집적을 성공하였다 [57]. 해당 연구에서는 SiO₂에 그래핀을 적층하고 그 위에 컨택용 금속과 High-k 유전체 및 게이트 금속을 증착하였다. 그리고, PMMA를 코팅하여 pick up하고 산소 플라즈마로 그래핀을 제거한 후 원하는 반도체 기판 위에 전사하여 소자화에 성공하였다. 이러한 기술의 혁신은 interlayer 희생층으로 사용된 반데르발스 소재 덕분에 이루어질 수 있었는데, 그래핀이 실리콘 기판과의 응집력을 완화시켜주어 모 기판으로부터 쉽게 떼어 낼 수 있게 해주었기 때문에 가능했다. 따라서, 해당 연구는 반데르발스 소

재의 특성을 이용하여 컨택과 High-k 유전체를 동시에 반데르발스 집적을 달성했다는 점에 큰 의미가 있다.

2024년에는 반데르발스 유전체의 장점을 살리면서 반도체 채널의 극성을 바꾸어 CMOS 소자 구현을 가능케 하는 CrOCl 유전체 물질이 보고되었다 [58]. 해당 논문에서는, 이론과 실험 결과를 바탕으로 반데르발스 소재인 MoS₂와 CrOCl 사이의 강한 반데르발스 결합 커플링으로 인하여, MoS₂의 극성이 p형으로 바뀐다고 설명한다. 이 연구는 2D 물질의 p형 도핑의 어려움을 반데르발스 반도체와 유전체의 이종접합으로 해결한 사례로, CMOS형 반도체 소자를 위한 유전체 연구의 영역을 넓혔다. 뿐만 아니라, planar 구조에 그치지 않고 수직 방향으로 반데르발스 적층을 통한 수직형 CFET 구조를 보여주어, 고성능 2D 소자를 위한 소재적인 해결책과 더불어 소자 구조적인 솔루션을 담은 연구임에 의의가 있다.

4. 결론

본 논문에서는 고성능 이차원 반도체 소자를 구현하기 위한 반데르발스 컨택 및 반데르발스 유전체 집적 공정 기

술의 중요성과 방향성을 논의하였다. 이차원 반도체는 FET의 초소형화 요구를 충족시키는 동시에, 이론적으로 실리콘을 능가하는 성능을 지닌 차세대 소재로 주목받고 있다. 그러나 기존 공정 방식에서는 계면에서 발생하는 다양한 문제가 소자 적용의 한계로 작용해 왔다. 이러한 한계를 극복하기 위해, 이차원 소재에 적합한 새로운 집적 방식이 요구되며, 반데르발스 집적 기술은 이러한 문제를 해결할 수 있는 유망한 접근법으로 부상하고 있다. 특히, 채널 소재로 사용되는 이차원 반도체에 최적화된 컨택 소재와 유전체 소재를 발굴하고, 이를 반데르발스 집적 기술로 소자화 함으로써 이차원 소재가 가지고 있는 고유의 잠재력을 극대화할 수 있을 것이다. 따라서, 반데르발스 집적 기술을 중심으로 한 접근은 FET의 초소형화 요구를 충족시키는 고성능 이차원 반도체 소자의 구현을 가능하게 할 것이다.

ORCID

Joonki Suh

<https://orcid.org/0000-0002-0221-8447>

감사의 글

This work was supported by Tokyo Electron Korea Limited (2.240169.01). The authors thank Mr. Mingyu Jang and Mr. Seunghwan Kim for their invaluable comments and feedback during manuscript preparation.

REFERENCES

- [1] S. Kim, C. Kim, N. Hur, and J. Suh, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **36**, 547 (2023).
doi: <https://doi.org/10.4313/JKEM.2023.36.6.2>
- [2] Y. Liu, X. Duan, H. J. Shin, S. Park, Y. Huang, and X. Duan, *Nature*, **591**, 43 (2021).
doi: <https://doi.org/10.1038/s41586-021-03339-z>
- [3] X. He, J. Fronheiser, P. Zhao, Z. Hu, S. Uppal, X. Wu, Y. Hu, R. Sporer, L. Qin, R. Krishnan, E. M. Bazizi, R. Carter, K. Tabakman, A. K. Jha, H. Yu, O. Hu, D. Choi, J. G. Lee, S. B. Samavedam, and D. K. Sohn, *Proc. IEEE Int. Electron Devices Meeting (IEDM)* (IEEE, San Francisco, CA, USA, 2017) p. 1.
doi: <https://doi.org/10.1109/IEDM.2017.8268427>
- [4] D. Akinwande, C. Huyghebaert, C. H. Wang, M. I. Serna, S. Goossens, L. J. Li, H. S. P. Wong, and F.H.L. Koppens, *Nature*, **573**, 507 (2019).
doi: <https://doi.org/10.1038/s41586-019-1573-9>
- [5] L. Liao, E. Kovalska, J. Regner, Q. Song, and Z. Sofer, *Small*, **20**, 2303638 (2023).
doi: <https://doi.org/10.1002/sml.202303638>
- [6] Y. Liu, Y. Huang, and X. Duan, *Nature*, **567**, 323 (2019).
doi: <https://doi.org/10.1038/s41586-019-1013-x>
- [7] R. T. Tung, *Appl. Phys. Rev.*, **1**, 011304 (2014).
doi: <https://doi.org/10.1063/1.4858400>
- [8] X. Huang, C. Liu, and P. Zhou, *npj 2D Mater. Appl.*, **6**, 27 (2022).
doi: <https://doi.org/10.1038/s41699-022-00327-3>
- [9] W. Schottky, *Z. Phys.*, **113**, 367 (1939).
doi: <https://doi.org/10.1007/bf01340116>
- [10] N. F. Mott, *Proc. R. Soc. Lond. A*, **171**, 27 (1939).
doi: <https://doi.org/10.1098/rspa.1939.0051>
- [11] R. T. Tung, *Phys. Rev. Lett.*, **84**, 6078 (2000).
doi: <https://doi.org/10.1103/PhysRevLett.84.6078>
- [12] R. Addou, S. McDonnell, D. Barrera, Z. Guo, A. Azcatl, J. Wang, H. Zhu, C. L. Hinkle, M. Quevedo-Lopez, H. N. Alshareef, L. Colombo, J. W. Hsu, and R. M. Wallace, *ACS Nano*, **9**, 9124 (2015).
doi: <https://doi.org/10.1021/acsnano.5b03309>
- [13] Y. Liu, J. Guo, E. Zhu, L. Liao, S. J. Lee, M. Ding, I. Shakir, V. Gambin, Y. Huang, and X. Duan, *Nature*, **557**, 696 (2018).
doi: <https://doi.org/10.1038/s41586-018-0129-8>
- [14] A. Kerelsky, A. Nipane, D. Edelberg, D. Wang, X. Zhou, A. Motmaendadgar, H. Gao, S. Xie, K. Kang, J. Park, J. Teherani, and A. Pasupathy, *Nano Lett.*, **17**, 5962 (2017).
doi: <https://doi.org/10.1021/acs.nanolett.7b01986>
- [15] P. B. Zhang, *Proc. R. Soc. Edinb., Sect. A Math.*, **150**, 1 (2019).
doi: <https://doi.org/10.1017/prm.2018.76>
- [16] G. Kim, H. Shin, J. Lee, and W. Lee, *Met. Mater. Int.*, **26**, 1 (2020).
doi: <https://doi.org/10.1007/s12540-020-00609-9>
- [17] X. Zheng, A. Calò, E. Albisetti, X. Liu, A. S. Alharbi, G. Arefe, X. Liu, M. Spieser, W. J. Yoo, T. Taniguchi, K. Watanabe, C. Aruta, A. Ciarrocchi, A. Kis, B. S. Lee, M. Lipson, J. Hone, D. Shahrjerdi, and E. Riedo, *Nat. Electron.*, **2**, 17 (2019).
doi: <https://doi.org/10.1038/s41928-018-0191-0>
- [18] J. Jang, Y. Kim, S. S. Chee, H. Kim, D. Whang, G. H. Kim, and S. J. Yun, *ACS Appl. Mater. Interfaces*, **12**, 5031 (2019).
doi: <https://doi.org/10.1021/acsmi.9b18591>
- [19] L. Kong, X. Zhang, Q. Tao, M. Zhang, W. Dang, Z. Li, L. Feng, L. Liao, X. Duan, and Y. Liu, *Nat. Commun.*, **11**, 1 (2020).
doi: <https://doi.org/10.1038/s41467-020-15776-x>
- [20] Y. Zheng, J. Gao, C. Han, and W. Chen, *Cell Rep. Phys. Sci.*, **2**, 100298 (2021).
doi: <https://doi.org/10.1016/j.xcrp.2020.100298>
- [21] A. K. Geim and I. V. Grigorieva, *Nature*, **499**, 419 (2013).
doi: <https://doi.org/10.1038/nature12385>

- [22] Y. Liu, N. O. Weiss, X. Duan, H. C. Cheng, Y. Huang, and X. Duan, *Nat. Rev. Mater.*, **1**, 16042 (2016).
doi: <https://doi.org/10.1038/natrevmats.2016.42>
- [23] Y. T. Lee, K. Choi, H. S. Lee, S. Min, P. J. Jeon, D. K. Hwang, H. J. Choi, and S. Im, *Small*, **10**, 2356 (2014).
doi: <https://doi.org/10.1002/smll.201303908>
- [24] C. Gong, D. Hinojos, W. Wang, N. Nijem, B. Shan, R. M. Wallace, K. Cho, and Y. J. Chabal, *ACS Nano*, **6**, 5381 (2012).
doi: <https://doi.org/10.1021/nn301241p>
- [25] S. Chee, D. Seo, H. Kim, H. Jang, S. Lee, S. P. Moon, K. H. Lee, S. W. Kim, H. Choi, and M. Ham, *Adv. Mater.*, **31**, 1804422 (2018).
doi: <https://doi.org/10.1002/adma.201804422>
- [26] K. Andrews, A. Bowman, U. Rijal, P. Y. Chen, and Z. Zhou, *ACS Nano*, **14**, 6232 (2020).
doi: <https://doi.org/10.1021/acsnano.0c02303>
- [27] L. Ma, Y. Wang, and Y. Liu, *Chem. Rev.*, **124**, 2583 (2024).
doi: <https://doi.org/10.1021/acs.chemrev.3c00697>
- [28] Z. Zhang, Y. Gong, X. Zou, P. Liu, P. Yang, J. Shi, L. Zhao, Q. Zhang, L. Gu, and Y. Zhang, *ACS Nano*, **13**, 885 (2018).
doi: <https://doi.org/10.1021/acsnano.8b08677>
- [29] X. Li, H. Long, J. Zhong, F. Ding, W. Li, Z. Zhang, R. Song, W. Huang, J. Liang, J. Liu, R. Wu, B. Li, B. Zhao, X. Yang, Z. Zhang, Y. Liu, Z. Wei, J. Li, and X. Duan, *Nat. Electron.*, **6**, 842 (2023).
doi: <https://doi.org/10.1038/s41928-023-01050-7>
- [30] J. Li, X. Yang, Y. Liu, B. Huang, R. Wu, Z. Zhang, B. Zhao, H. Ma, W. Dang, Z. Wei, K. Wang, Z. Lin, X. Yan, M. Sun, B. Li, X. Pan, J. Luo, G. Zhang, Y. Liu, and X. Duan, *Nature*, **579**, 368 (2020).
doi: <https://doi.org/10.1038/s41586-020-2098-y>
- [31] Y. Han, K. Nguyen, M. Cao, P. Cueva, S. Xie, M. W. Tate, P. Purohit, S. M. Gruner, J. Park, and D. A. Muller, *Nano Lett.*, **18**, 3746 (2018).
doi: <https://doi.org/10.1021/acs.nanolett.8b00952>
- [32] G. Kwon, Y. H. Choi, H. Lee, H. S. Kim, J. Jeong, K. Jeong, M. Baik, H. Kwon, J. Ahn, E. Lee, and M. H. Cho, *Nat. Electron.*, **5**, 241 (2022).
doi: <https://doi.org/10.1038/s41928-022-00746-6>
- [33] L. Kong, R. Wu, Y. Chen, Y. Huangfu, L. Liu, W. Li, D. Lu, Q. Tao, W. Song, W. Li, Z. Lu, X. Liu, Y. Li, Z. Li, W. Tong, S. Ding, S. Liu, L. Ma, L. Ren, and Y. Liu, *Nat. Commun.*, **14**, 1 (2023).
doi: <https://doi.org/10.1038/s41467-023-36715-6>
- [34] D. Zeng, Z. Zhang, Z. Xue, M. Zhang, P. K. Chu, Y. Mei, Z. Tian, and Z. Di, *Nature*, **632**, 788 (2024).
doi: <https://doi.org/10.1038/s41586-024-07786-2>
- [35] S. Yang, K. Liu, Y. Xu, L. Liu, H. Li, and T. Zhai, *Adv. Mater.*, **35**, 187901 (2023).
doi: <https://doi.org/10.1002/adma.202207901>
- [36] M. Walzl, T. Knobloch, K. Tselios, L. Filipovic, B. Stampfer, Y. Hernandez, D. Waldhör, Y. Illarionov, B. Kaczer, and T. Grasser, *Adv. Mater.*, **34**, 481082 (2022).
doi: <https://doi.org/10.1002/adma.202201082>
- [37] Y. Y. Illarionov, T. Knobloch, M. Jech, M. Lanza, D. Akinwande, M. I. Vexler, T. Mueller, M. C. Lemme, G. Fiori, F. Schwierz, and T. Grasser, *Nat. Commun.*, **11**, 1 (2020).
doi: <https://doi.org/10.1038/s41467-020-16640-8>
- [38] T. Knobloch, G. Rzepa, Y. Y. Illarionov, M. Walzl, F. Schanovsky, B. Stampfer, M. M. Furchi, T. Mueller, and T. Grasser, *IEEE J. Electron Devices Soc.*, **6**, 972 (2018).
doi: <https://doi.org/10.1109/JEDS.2018.2829933>
- [39] B. Radisavljevic, A. Radenovic, J. Brivio, V. Giacometti, and A. Kis, *Nat. Nanotechnol.*, **6**, 147 (2011).
doi: <https://doi.org/10.1038/nnano.2010.279>
- [40] J. A. Robinson, M. LaBella, K. A. Trumbull, X. Weng, R. Cavelero, T. Daniels, Z. Hughes, M. Hollander, M. Fanton, and D. Snyder, *ACS Nano*, **4**, 2667 (2010).
doi: <https://doi.org/10.1021/nn1003138>
- [41] T. Roy, M. Tosun, J. S. Kang, A. B. Sachid, S. B. Desai, M. Hettick, C. C. Hu, and A. Javey, *ACS Nano*, **8**, 6259 (2014).
doi: <https://doi.org/10.1021/nn501723y>
- [42] A. Laturia, M. L. Van de Put, and W. G. Vandenberghe, *npj 2D Mater. Appl.*, **2**, 1 (2018).
doi: <https://doi.org/10.1038/s41699-018-0050-x>
- [43] T. Knobloch, Y. Y. Illarionov, F. Ducry, C. Schleich, S. Wachter, K. Watanabe, T. Taniguchi, T. Mueller, M. Walzl, M. Lanza, M. I. Vexler, M. Luisier, and T. Grasser, *Nat. Electron.*, **4**, 98 (2021).
doi: <https://doi.org/10.1038/s41928-020-00529-x>
- [44] T. Li, T. Tu, Y. Sun, H. Fu, J. Yu, L. Xing, Z. Wang, H. Wang, R. Jia, J. Wu, C. Tan, Y. Liang, Y. Zhang, C. Zhang, Y. Dai, C. Qiu, M. Li, R. Huang, L. Jiao, and H. Peng, *Nat. Electron.*, **3**, 473 (2020).
doi: <https://doi.org/10.1038/s41928-020-0444-6>
- [45] X. Zou, C. Huang, L. Wang, L. Yin, W. Li, J. Wang, B. Wu, Y. Liu, Q. Yao, C. Jiang, W. Wu, L. He, S. Chen, J. C. Ho, and L. Liao, *Adv. Mater.*, **28**, 2062 (2016).
doi: <https://doi.org/10.1002/adma.201505205>
- [46] W. Li, J. Zhou, S. Cai, Z. Yu, J. Zhang, N. Fang, T. Li, Y. Wu, T. Chen, X. Xie, H. Ma, K. Yan, N. Dai, X. Wu, H. Zhao, Z. Wang, D. He, L. Pan, Y. Shi, and X. Wang, *Nat. Electron.*, **2**, 563 (2019).
doi: <https://doi.org/10.1038/s41928-019-0334-y>
- [47] A. S. Foster, T. Trevethan, and A. L. Shluger, *Phys. Rev. B*, **80**, 115421 (2009).
doi: <https://doi.org/10.1103/physrevb.80.115421>
- [48] L. Li, W. Dang, X. Zhu, H. Lan, Y. Ding, Z. Li, L. Wang, Y. Yang, L. Fu, F. Miao, and M. Zeng, *Adv. Mater.*, **36**, 2309296 (2023).
doi: <https://doi.org/10.1002/adma.202309296>
- [49] W. Xu, J. Jiang, Y. Chen, N. Tang, C. Jiang, and S. Yang, *Nat.*

- Commun.*, **15**, 1 (2024).
doi: <https://doi.org/10.1038/s41467-024-53907-w>
- [50] B. Zhang, Y. Zhu, Y. Zeng, Z. Zhao, X. Huang, D. Qiu, Z. Fang, J. Wang, J. Xu, R. Wang, S. Gao, and Y. Hou, *J. Am. Chem. Soc.*, **145**, 11074 (2023).
doi: <https://doi.org/10.1021/jacs.3c00401>
- [51] Y. Y. Illarionov, A. G. Banskchikov, D. K. Polyushkin, S. Wachter, T. Knobloch, M. Thesberg, L. Mennel, M. Paur, M. Stöger-Pollach, A. Steiger-Thirsfeld, M. I. Vexler, M. Walzl, N. S. Sokolov, T. Mueller, and T. Grasser, *Nat. Electron.*, **2**, 230 (2019).
doi: <https://doi.org/10.1038/s41928-019-0256-8>
- [52] M. R. Osanloo, M. L. Van de Put, A. Saadat, and W. G. Vandenberghe, *Nat. Commun.*, **12**, 1 (2021).
doi: <https://doi.org/10.1038/s41467-021-25310-2>
- [53] S. Hong, C. S. Lee, M. H. Lee, Y. Lee, K. Y. Ma, G. Kim, S. I. Yoon, K. Ihm, K. J. Kim, T. J. Shin, S. W. Kim, E. Jeon, H. Jeon, J. Y. Kim, H. I. Lee, Z. Lee, A. Antidormi, S. Roche, M. Chhowalla, and H. S. Shin, *Nature*, **582**, 511 (2020).
doi: <https://doi.org/10.1038/s41586-020-2375-9>
- [54] X. Zou, J. Wang, C. Chiu, Y. Wu, X. Xiao, C. Jiang, W. Wu, L. Mai, T. Chen, J. Li, J. C. Ho, and L. Liao, *Adv. Mater.*, **26**, 6255 (2014).
doi: <https://doi.org/10.1002/adma.201402008>
- [55] M. Wen, J. Xu, L. Liu, P. T. Lai, and W. M. Tang, *Appl. Phys. Express*, **9**, 095202 (2016).
doi: <https://doi.org/10.7567/apex.9.095202>
- [56] Q. A. Vu, S. Fan, S. H. Lee, M. K. Joo, W. J. Yu, and Y. H. Lee, *2D Mater.*, **5**, 031001 (2018).
doi: <https://doi.org/10.1088/2053-1583/aab672>
- [57] L. Wang, P. Wang, J. Huang, B. Peng, C. Jia, Q. Qian, J. Zhou, D. Xu, Y. Huang, and X. Duan, *Nat. Nanotechnol.*, **17**, 1206 (2022).
doi: <https://doi.org/10.1038/s41565-022-01221-1>
- [58] Y. Guo, J. Li, X. Zhan, C. Wang, M. Li, B. Zhang, Z. Wang, Y. Liu, K. Yang, H. Wang, W. Li, P. Gu, Z. Luo, Y. Liu, P. Liu, B. Chen, K. Watanabe, T. Taniguchi, X. Q. Chen, and Z. Han, *Nature*, **630**, 346 (2024).
doi: <https://doi.org/10.1038/s41586-024-07438-5>