

교류형 플라즈마 디스플레이에서 낮은 주사 전압에 의한 배경광을 낮추기 위한 새로운 구동 파형

조병권 

부경대학교 전기공학부 디스플레이반도체공학전공

New Driving Waveform to Reduce Background Light by Low Scan Voltage in AC Plasma Display Panel

Byung-Gwon Cho

Major of Display Semiconductor Engineering, School of Electrical Engineering, Pukyong National University, Busan 48513, Korea

(Received January 2, 2025; Revised January 15, 2025; Accepted January 20, 2025)

Abstract: The characteristics of each address discharge were investigated when the voltages of the scan and common electrodes were lowered simultaneously during an address period under the same address voltage conditions in an AC plasma display panel. It was confirmed that the delay time of address discharge shortened as the voltage decreased. However, the background light increased because the low scanning voltage generated more discharge between the electrodes of the upper and lower plates in the reset period. To lower the background light, a positive voltage was applied to the address electrode of the lower panel during the period when the rising ramp wave was applied, and a floating voltage was applied to the address electrode during the period when the falling ramp wave was applied during the reset period. As a result, the background light could be lowered by about 30%.

Keywords: Plasma display, Address discharge, Scan electrode, Address voltage, Background light

1. 서론

교류형 플라즈마 디스플레이 패널(AC PDP)은 색 표현력이 뛰어나고 응답속도가 빠르고 대화면에서 저가격에 유리한 디스플레이지만, 다른 디스플레이에 비하여 소비 전력 및 밝기 등에서 부족한 면이 있다 [1,2]. 특히 AC PDP에서는 밝기를 향상시키기 위해서는 구동 특성상 빛을 발생시키는 큰 방전이 발생하는 유지 펄스의 개수를 증가시

켜야 한다 [3]. 그러나 일반적으로 기입 기간의 시간이 매우 길기 때문에 하나의 프레임 시간 내에서 유지 방전이 발생할 수 있는 시간은 짧아지게 되어 밝기를 높일 수 없다. 그러므로 기입 기간의 시간을 단축시킬 수 있는 방법이 연구되어 왔으나 가격 상승이나 배경광 상승 등의 다른 부작용이 발생되었다 [4,5].

일반적으로 AC PDP는 ADS (address display separated)라고 불리는 구동 방식을 사용하고 있는데, 그것은 기입하는 address 기간과 화면에 빛을 발생시키는 display 기간(회로에서는 sustain 기간이라고 부름)을 분리하는 방식이다 [6]. 다른 구동 방식으로는 기입 기간 도중에 빛을 발생시키는 AWD (address while display)라는 구동 방식도 연구되었지만, 구동 파형이 복잡하고 인접 셀에서의 오

✉ Byung-Gwon Cho; bgcho@pknu.ac.kr

Copyright ©2025 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

방전에 의해 선택하지 않은 셀에서 빛이 발생하기 쉬운 단점이 있기 때문에 지금은 거의 사용하지 않는다 [7].

ADS 구동 방식의 장점은 셀을 선택하는 기입 시간과 빛을 발생시키는 유지 시간이 분리되어 있으므로 오방전의 발생 확률이 낮아지고 구동 회로도 간단해지지만, 대화면 또는 고화질의 디스플레이에서는 셀의 개수가 많아지기 때문에 하나의 프레임 시간(16.7 ms) 내에서 기입 시간이 길어지게 되고 반대로 빛을 발생시키는 display 시간은 짧아지게 된다 [8].

일반적으로 디스플레이는 하나의 프레임 시간 내에서의 빛의 세기에 의해 색상 및 밝기를 결정한다. AC PDP는 구조상 상판과 하판으로 구성된 셀 내부에 특정 가스를 주입한 후 밀폐시키고 외부에서 각 전극에 전압을 인가하여 셀 내부에서 플라즈마 방전을 유도시킨다. 발생된 플라즈마는 3색 형광체를 여기(excitation)시켜서 빛을 발생시키는 원리로 색을 구현한다. 하나의 정해진 프레임 시간 내에서 각 형광체에서의 빛의 세기를 결정하는 것은 강한 플라즈마 방전이고 그 횟수에 의해서 계조가 결정이 된다 [9,10]. 강한 플라즈마는 각 전극에 높은 전압의 사각 펄스를 인가하여 발생시킬 수 있다. 그러므로 밝을 빛을 발생하게 하기 위해서는 높은 전압을 갖는 사각 펄스의 개수를 늘이면 된다. 그러나 앞서 언급하였듯이, ADS 구동방식에서는 셀을 선택하는 기입 시간과 빛이 발생하는 유지 시간이 분리되어 있고 기입 시간에서는 각 셀의 위에서 아래로 순차적으로 주사 및 기입 펄스를 인가하여 빛을 발생시킬 셀을 선택한다 [11]. 선택된 셀의 각 전극에 펄스가 인가된 후 플라즈마 방전은 늦게 발생하는데, 그것을 방전 지연 시간이라고 한다. 각 셀에 인가되는 주사 및 기입 펄스의 폭은 패널의 특성에 따라 정해져 있고 만약 펄스의 폭을 줄인다면 안정적으로 방전이 발생되지 않기 때문에 셀 내부에 벽전하들이 생성되지 않는다. 그러므로 방전이 발생하는 동안 넉넉한 기입 펄스의 폭이 필요하다.

또한 대화면 및 고화질 디스플레이를 구현하기 위해서는 셀의 개수가 더욱 많아지는데, 하나의 프레임 시간 내에서 셀 개수만큼 기입 시간이 더욱 늘어나게 되고 빛을 발생시키는 강한 플라즈마 방전에 의해 빛을 발생시키는 유지 시간은 상대적으로 줄어들기 때문에 기입 시간을 단축시키는 기술이 필요하다.

하나의 TV 프레임 시간 중에서 70% 이상을 차지하는 기입 시간을 단축시키기 위해서는 각 셀 내에서의 방전을 빠르게 발생시켜서 각 라인의 펄스 폭들의 시간을 줄여야 한다. 본 연구에서는 먼저 기입 시간에 인가되는 전압의 높이의 변화에 따른 방전의 발생 시간을 조사하였다. 또한 방전 지연 시간을 단축시키는 전압 조건에서의 다른 부작용을

해결하고 개선하기 위한 새로운 구동 파형을 제시한다.

2. 패널 및 구동 파형

그림 1은 입체적으로 나타낸 교류형 플라즈마 디스플레이 패널(AC PDP)의 구조도를 보이고 있다. 패널은 크게 상판과 하판으로 구분되어 있으며 각각 2개의 전극과 1개의 전극으로 구성되어 있다. 즉, 상판에는 유지(X) 전극과 주사(Y) 전극이 있으며 서로 나란히 평행되게 배열되어 있고, 하판에는 기입(W) 전극이 상판의 전극의 방향과 다르게 수직 방향으로 나열되어 있다. 그림 1에서의 하판에서 전극이 3개가 나타나있는 이유는 빛의 삼원색인 빨강(red), 초록(green), 파랑(blue)의 형광체가 격벽을 경계로 각각 도포되어 있기 때문이다. 상판과 하판 사이의 공간은 Ne-Xe 가스로 채워져 있으며 이곳에서 플라즈마 방전이 발생하기 때문에 방전 공간이라고 한다.

그림 1에서 상판을 살펴보면, 하판과 마주보고 있고 상판 중에서 방전 공간과 접하고 있는 부분은 유전체가 있다. 만약 전극이 방전 공간에 노출되어 있으면 손상될 수 있기 때문에 유전체에 의해 방전 공간에 직접적으로 접하고 있지 않고 보호되고 있다. 상판의 전극들은 방전을 발생시키기 용이하도록 넓게 퍼져있으며 공간을 많이 차지 않게 하기 위하여 얇게 구성되어 있다. 마지막으로 발생된 플라즈마 방전에 의한 빛을 볼 수 있도록 투명한 유리가 도포되어 있다. 하판에는 아래쪽에 상판과 수직 방향으로의 기입 전극이 있고 그 위에 형광체가 도포되어 있다. 그리고 각각의 형광체 사이에 격벽을 설계하여 셀들이 분리되어 있다. 이 격벽들은 형광체의 도포 면적을 넓힐 뿐만 아니라 인접 셀과의 오방전이 발생하는 것을 방지하는 역할을 한다.

AC PDP의 구동 방식에 있어서 계조를 표현하는 방법은 그림 2에서 보이는 유지 시간에서의 사각 펄스의 개수에 의해서 결정된다. 그러므로 하나의 프레임(frame) 시간을

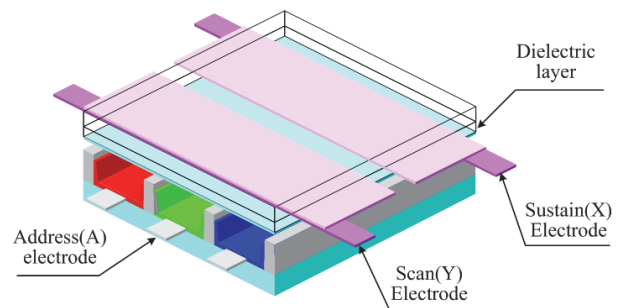


Fig. 1. Schematic diagram of the AC PDP with three electrodes.

여러 개의 부화면(subfield) 시간으로 나누고 각 부화면 시간마다 사각 펄스의 개수를 다르게 구동 파형이 설계된다. 그 중에서 선택된 부화면 시간을 조합하여 계조가 구현된다. 하나의 부화면 시간 동안에는 각각 초기화, 기입, 유지 기간으로 나누어져 구성되어 있다. 초기화 기간에는 그림 2에서 'Reset'이라고 적혀있듯이 주사 전극(Y)에 방전이 발생하지 않는 V_s 전압만큼 전압을 먼저 올리고 더 높은 전압(V_{reset})까지 상승 경사파가 인가될 때, 셀 내부에 약한 플라즈마 방전이 발생하면서 전하들이 각 전극에 인가되는 전압에 따라서 유전체 및 형광체 부분으로 이동한다 [12]. 이동된 전하들은 서로 전위차가 발생되어 인가되는 전압이 셀 내부에서의 방전이 발생하는 전압 이하로 인가된다면 전극 가까이의 유전체 및 형광체에 남아 있는데 그것을 벽전하라고 부른다. 초기화 방전에 의해서 셀 내부에서의 약한 방전에 의해 전극에 쌓여있던 전하들이 초기화 되고 벽전하들이 재배치가 된 후 기입 기간에서는 주사 (V_{scl}) 및 기입 펄스(V_a)의 인가에 의해 플라즈마 방전이 발생한다. 이때 다른 하나의 전극인 X 전극에서는 바이어스 전압(V_b)을 인가하여 선택된 셀에서 기입 방전이 발생하면 양의 전하가 Y 전극에, 음의 전하는 X 전극에 쌓이게 된다. 기입 방전이 발생된 이후 유지 기간에서 X 전극은 0 전압인 상태에서 Y 전극에 양의 유지 전압(V_s)을 갖는 사각 파형이 인가되면 셀 내부에 쌓여있는 벽전하와 합쳐져서 강한 플라즈마 방전이 발생한다. 그리고 곧바로 Y 전극은 0 전압이 되고 X 전극에 유지 전압이 인가되면 다시 강한 플라즈마 방전이 발생된다. 유지 기간에서 X와 Y 전극에 교대로 유지 전압이 인가되기 때문에 방전이 계속적으로 발생하고 이것을 유지 방전이라고 부른다. 이 유지 방전의 횟수에 따라서 셀의 밝기가 결정되므로 유지 기간이 길수록 밝기를 높일 수 있다. 그러나 AC PDP는 기입기간에서 위에서 아래로 주사 파형이 순차적으로 인가되기 때문에 세로 방향의 전극 라인의 개수에 따라서 기입 시간이 늘어나므로 유지 시간을 늘일 수 없으므로 기입 시간에서 각각의 펄스가 인가되는 시간을 줄여야 한다. 그런데, 주사 및 기입 펄스의 폭은 펄스 인가시의 발생하는 플라즈마 방전이 발생하는 동안 펄스 폭을 유지 해야하므로 펄스들이 인가될 때 플라즈마 방전의 발생시간을 단축시켜야 한다. 이전의 연구에서 주사 전압의 레벨이 낮을수록 방전의 발생시간은 단축되었다고 보고되었으므로 본 실험에서는 그림 2에서의 구동 파형에 인가된 전압 레벨이 표 1과 같이 Y 전극의 주사 전압(V_{scl})이 -30 부터 -120 V까지 변화하였으며 X와 Y 전극의 전압차는 일정하게 유지하기 위해서 X 전극의 바이어스 전압도 170부터 80 V까지 같이 변화하였다. 다른 전압 조건들은 동일하게 인가되었다.

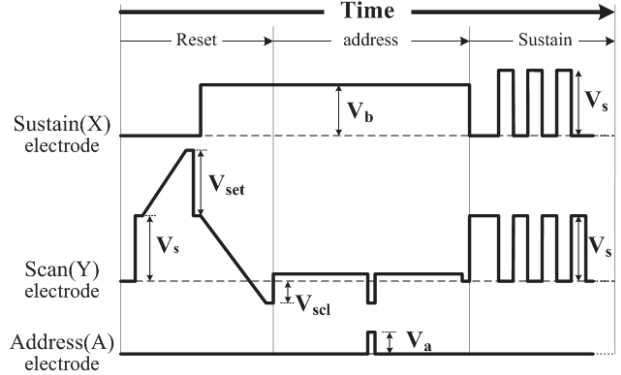


Fig. 2. Conventional driving waveforms applied the voltages to three electrodes according to time variation during one sub-field time.

Table 1. Applied voltage levels for Fig. 2 in this experiment.

	Voltage [V]
V_{set}	200
V_s	180
V_b	170 ~ 80
V_{scl}	-30 ~ -120
V_a	60

3. 기입 방전 및 휘도의 측정

그림 3은 표 1의 전압 레벨로 그림 2의 구동 파형에 인가하였을 때 기입 방전의 지연되는 시간과 그 조건에서의 배경광을 측정 한 것이다. 그림 3에서 아래쪽에 나타난 숫자들은 기입 기간에서 Y 전극에 인가되는 주사 전압을 의미하고 X 전극과의 전압차는 200 V를 유지하였다. 예를 들어, Y 전극의 주사 전압이 -30 V일 때, X 전극의 바이어스 전압은 170 V이고, 주사 전압이 -60 V일 때, 바이어스 전압은 140 V로 인가된다. 기입 방전 시간은 Y 전극의 주사 및 A 전극의 기입 펄스가 동시에 인가되었을 때의 발생하는 방전의 지연 시간을 의미한다. 그림 3에서는 Y 전극의 주사 전압이 낮아질수록 Y 전극과 A 전극 사이의 전위차가 커지기 때문에 방전은 더 빠르게 발생한다. 그러나 초기화 기간에서는 Y 전극에서 하강하는 경사파형의 최종 전압이 주사 전압 레벨만큼 낮아지기 때문에 Y와 A 전극 사이에 초기화 방전이 많이 발생할 것으로 예상되어 그림 3에서처럼 배경광을 측정하였고 그 결과 주사 전압이 음으로 낮아질 수록 배경광은 증가함을 알 수 있다. 배경광이 증가한다는 것은 그레이 레벨에서 검정색 화면이 밝아지

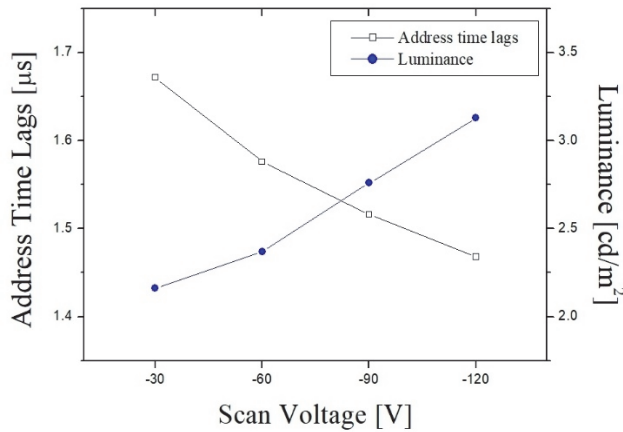


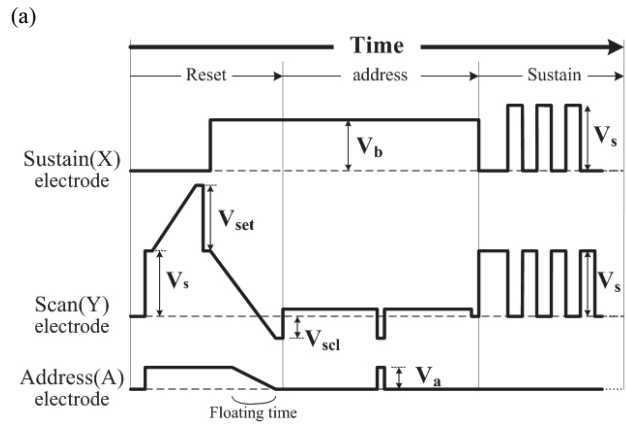
Fig. 3. Measured the address discharge time and background luminance when the various scan voltages were applied during an address period.

는 것이므로 이로 인해 명암비가 나빠지고, 또한 각 부화면에서의 휘도가 조금씩 높아지기 때문에 그레이 레벨을 구현할 때 각 휘도가 역전하는 현상이 발생할 수도 있다 [13].

4. 새로운 구동 파형

그림 3에서의 실험 결과, 주사 전압이 음으로 낮아질 때마다 기입 방전의 지연 시간은 단축시킬 수 있었으나 부작용으로 배경광이 상승하였다. X와 Y 전극 사이의 전압은 종래와 동일하게 유지하였기 때문에 배경광 상승의 원인은 초기화 기간에서 Y 전극의 하강 경사파 기간 동안 종래보다 더 낮아진 Y 전극의 전압에 의해 A 전극과의 전위차가 높아져서 방전이 더 많이 발생된다 [14]. 만약 A 전극의 전압도 Y 전극과 동일한 전위차를 유지하면서 변화한다면 그림 3에서 언급한 기입 방전의 특성은 향상되지 않을 것이다. 또한 A 전극의 기입 전압은 자유도가 없으며 Va 전압 또는 0 전압 레벨만 존재한다. 그러므로 초기화 기간에서 Y 전극의 하강 경사파 기간 동안 Y와 A 전극 사이에서 발생하는 방전을 줄이기 위해서 그림 4(a)와 같이 이전 시간인 Y 전극의 상승 경사파 기간 동안 Y와 A 전극 사이의 방전을 최소한으로 하기 위해서 A 전극에 Va 만큼 인가한 후 하강 경사파 기간 동안 A 전극의 전압을 인가하지 않는 상태, 즉 플로팅(floating) 상태로 두면 초기화 방전을 줄여서 배경광을 낮출 수 있다.

일반적으로 초기화 기간에서 Y 전극의 상승 경사파 시간 동안 X와 Y 전극뿐만 아니라 Y와 A 전극 사이에도 방전이 발생하여 벽전하가 쌓이게 되고 하강 경사파 시간 동



(b)

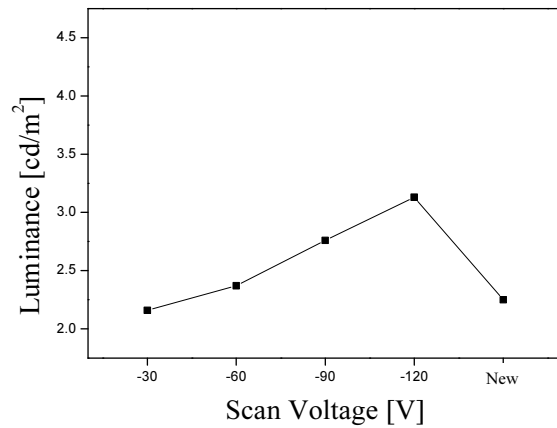


Fig. 4. (a) New driving waveform during a reset period and (b) changes of the background luminance with the various scan voltages.

안 인가되는 전압과 쌓인 벽전하들에 의해 다시 한번 방전이 발생하여 벽전하를 재분배한다. 특히 음의 낮은 주사 전압을 인가할 경우에는 하강 경사파 시간 동안 전위차가 크기 때문에 A 전극에 같은 양의 벽전하가 남아 있더라도 Y와 A 전극 사이의 방전이 크게 발생하고 이것은 배경광을 상승하게 하는 원인이 된다. 그러므로 초기화 기간에 Y 전극의 상승 경사파 기간 동안 Va 전압만큼 올려둔다면 Y 전극에 높은 전압이 인가되더라도 A 전극과의 방전은 줄일 수 있고, A 전극에 쌓이는 벽전하의 양도 줄일 수 있다. 그러나 만약 전체 초기화 기간 동안 기입 전극에 Va 그대로 인가한다면 Y 전극의 하강 경사파 시간 동안 Y와 A 전극 사이에 전위차가 커져서 오히려 큰 방전이 발생할 가능성이 있다. 그러므로 하강 경사파 시간 동안의 뒷부분에서의 일정 시간 동안 A 전극에 전압을 인가하지 않는 플로팅 상태로 둔다면 Y와 A 전극 사이의 방전을 방지할 수 있다.

그림 4(b)에서는 종래 및 새로운 구동 파형에 있어서 Y 전극에 인가된 여러가지의 주사 전압 레벨에 따른 배경광을 측정하였다. Y 전극의 주사 전압은 -30 V부터 -120 V까지 변화하였고 X 전극의 바이어스 전압은 170 V부터 80 V까지 변화하였다. 그림 4(a)의 새로운 구동 전압의 조건은 Y 전극의 주사 전압이 -120 V이고 X 전극의 바이어스 전압은 80 V일 때이며 같은 조건하에서 배경광은 Y 전극의 주사 전압이 -30 V와 비슷한 수준으로 낮출 수 있었다. 즉, 초기화 기간에서 기입 전극에 전압이 없는 Y 전극의 주사 전압이 -120 V일 때와 비교하면, 새로운 구동 파형을 적용하였을 때 배경광은 약 30% 낮출 수 있었다.

AC PDP의 구동 방법에서 각 부화면 시간의 초기화 기간 동안 종래의 구동파형을 인가하였을 때와 새로운 구동파형을 인가하였을 때 측정된 광파형이 그림 5에서와 같이 오실로스코프로 측정되었다. 그림 5에서 구동 파형에 인가된 전압 레벨들은 표 1에서의 경우와 같다. 그림 5(a)와 5(b)에서 위에서부터 각각 Y 전극, A 전극의 전압 및 광파형이 나타나 있으며, 광 파형을 측정하는 장비는 Hamamatsu

사의 C6380이 사용되었다. X 전극은 변화가 없으므로 생략되었다. 두 그림들을 비교해 볼 때 초기화 기간에서 Y 전극의 상승 경사파 기간 동안 광파형의 양이 줄어들었음을 발견할 수 있는데, 그것은 Y와 A 사이의 방전이 줄어들었음을 의미한다. 또한 하강 경사파 시간에서 방전이 발생할 시간에 A 전극을 플로팅 시켰을 경우에도 방전의 양이 줄어들었음을 알 수 있고, 줄어든 방전의 양은 배경광을 낮추게 된다.

5. 결론

교류형 플라즈마 디스플레이에서 하나의 부화면 시간 내에서 빛을 발생시키는 유지 기간의 시간을 늘이기 위해서는 기입 시간을 단축시켜야 한다. 일반적으로 기입 시간 동안 주사 전압을 음으로 낮추면 기입 방전이 빠르게 발생하므로 주사 및 기입 펄스폭을 단축시켜서 전체 시간을 단축시킬 수 있었다. 그러나 주사 전압이 음으로 낮아지면 초기화 기간의 하강 경사파의 전압 또한 낮아지므로 Y와 A 전극 사이의 방전의 양이 많아지게 되었다. 그러므로 Y와 A 전극 사이의 방전을 최소화하기 위하여 상승 경사파 시간에서는 Va 전압을 인가하고 하강 경사파 시간에는 A 전극의 전압을 플로팅 시켜서 방전의 양을 줄일 수 있었고 그 결과 종래의 기입 방전의 시간을 단축시키는 음으로 낮은 주사 전압을 인가하는 조건하에서 A 전극의 전압을 조정하여 배경광을 약 30% 줄일 수 있었다.

ORCID

Byung-Gwon Cho

<https://orcid.org/0000-0002-0563-3494>

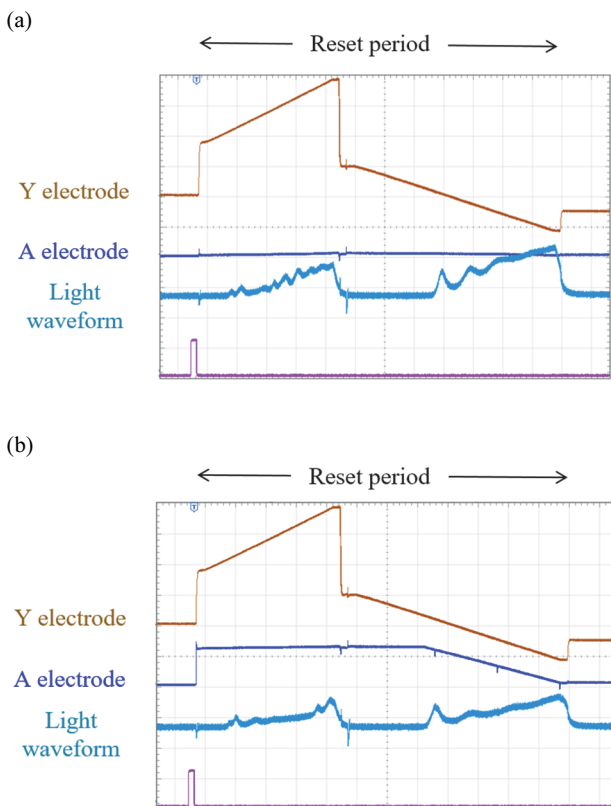


Fig. 5. Comparison of measured light waveforms with voltage levels in Table 1 applied with (a) conventional and (b) new driving waveforms

감사의 글

이 논문은 부경대학교 자율창의학술연구비(2023년)에 의하여 연구되었음.

REFERENCES

- [1] L. F. Weber, *Proc. IDRC 99*, **23**, 12 (1999).
doi: https://doi.org/10.11485/itetr.23.67.0_12
- [2] M. Uchidoi, *SID Symp. Dig. Tech. Pap.*, **35**, 202 (2004).
doi: <https://doi.org/10.1889/1.1821386>
- [3] J. C. Jung and K. W. Whang, *IEEE Trans. Electron Devices*, **55**,

- 3407 (2008).
doi: <https://doi.org/10.1109/TED.2008.2006890>
- [4] C. H. Park, D. H. Kim, S. H. Lee, J. H. Ryu, and J. S. Cho, *IEEE Trans. Electron Devices*, **48**, 1082 (2001).
doi: <https://doi.org/10.1109/16.925230>
- [5] B. G. Cho, H. S. Tae, and S. I. Chien, *IEEE Trans. Electron Devices*, **50**, 1758 (2003).
doi: <https://doi.org/10.1109/TED.2003.813452>
- [6] K. Yoshikawa, Y. Kanazawa, M. Wakitani, T. Shinoda, and A. Ohtsuka, *Jpn. Disp. 92 Dig.*, **16**, 605 (1992).
doi: https://doi.org/10.11485/tvtr.16.83_17
- [7] M. Ishii, K. Igarashi, S. Mikoshiha, H. Asai, and S. Sago, *SID Symp. Dig. Tech. Pap.*, **30**, 162 (1999).
doi: <https://doi.org/10.1889/1.1833985>
- [8] B. G. Cho, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **25**, 1004 (2012).
doi: <https://doi.org/10.4313/JKEM.2012.25.12.1004>
- [9] B. G. Cho, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **36**, 56 (2023).
doi: <https://doi.org/10.4313/JKEM.2023.36.1.9>
- [10] B. G. Cho, *J. KIIT*, **19**, 47 (2021).
doi: <https://doi.org/10.14801/jkiit.2021.19.2.47>
- [11] J. Y. Kim, Y. T. Jeong, C. S. Park, H. S. Tae, and B. G. Cho, *Mol. Cryst. Liq. Cryst.*, **663**, 124 (2018).
doi: <https://doi.org/10.1080/15421406.2018.1470600>
- [12] J. Y. Kim, Y. T. Jeong, and B. G. Cho, *Mol. Cryst. Liq. Cryst.*, **735**, 101 (2021).
doi: <https://doi.org/10.1080/15421406.2021.1972233>
- [13] B. G. Cho, *J. KIIT*, **18**, 45 (2020).
doi: <https://doi.org/10.14801/jkiit.2020.18.2.45>
- [14] B. G. Cho, H. S. Tae, K. Ito, N. S. Jung, and K. S. Lee, *IEEE Trans. Electron Devices*, **53**, 1112 (2006).
doi: <https://doi.org/10.1109/TED.2006.872696>