

온도 조절된 H₂O₂ 공정을 통한 In₂O₃ 박막 트랜지스터의 전기적 안정성 향상

최정훈¹, 이재윤¹, 이범구¹, 서정무¹, 김성진^{1,2} 

¹충북대학교 전자정보대학

²충북대학교 의생명연구원

Improved Electrical Stability of In₂O₃ Thin-Film Transistors Through Temperature-Controlled H₂O₂ Processes

Jeong Hun Choi¹, Jae-Yun Lee¹, Beom Gu Lee¹, Jeong Moo Seo¹, and Sung-Jin Kim^{1,2}

¹ College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Korea

² Biomedical Research Institute, Chungbuk National University Hospital, Cheongju 28644, Korea

(Received March 19, 2025; Revised March 26, 2025; Accepted March 26, 2025)

Abstract: In this study, we investigated the electrical stability and performance enhancement of In₂O₃ thin-film transistors (TFTs) through hydrogen peroxide (H₂O₂) and ultraviolet (UV) treatment under controlled temperature conditions. The In₂O₃ TFTs were fabricated using a sol-gel process, followed by H₂O₂ treatment at 40, 50, and 60°C in combination with UV irradiation. The impact of these processing conditions on the device characteristics, including mobility (μ), threshold voltage (V_{th}), subthreshold swing (S/S), and on/off current ratio, was systematically analyzed. The results indicate that the 50°C TFTs exhibited the most stable electrical performance, with minimal V_{th} shift under negative bias stress (NBS) conditions and optimized switching behavior. Furthermore, static inverter measurements confirmed the reliable voltage transfer characteristics (VTCs) and gain performance of the optimized In₂O₃ TFTs. These findings suggest that the proposed H₂O₂ and UV treatment technique can effectively improve the reliability and long-term stability of In₂O₃-based electronic devices, making them promising candidates for future electronic applications.

Keywords: In₂O₃, Thin film transistor, H₂O₂, UV, Thermal evaporation

1. 서론

반도체 기술의 발전은 현대 전자기술의 핵심 동력이 되어왔으며, 특히 박막 트랜지스터(TFT)는 디스플레이, 센

서, 웨어러블 기기 등 다양한 분야에서 중요한 역할을 하고 있다 [1-3]. TFT의 성능과 안정성은 반도체 물질의 특성에 의해 크게 좌우되며, 최근에는 높은 전자 이동도, 우수한 광학적 특성, 그리고 장기적인 안정성을 갖춘 산화물 반도체가 주목받고 있다 [4-6]. 그 중에서도 In₂O₃ 기반 TFT는 높은 전자 이동도와 높은 투명성을 제공하여 차세대 전자 소자로 각광받고 있으며, 성능 향상을 위한 다양한 연구가 진행되고 있다. 대표적인 접근법으로는 (1) 게이트 절연막 개선, (2) 채널 물질 도핑, (3) 후처리 공정 적용 등이 있

✉ Sung-Jin Kim; ksj@cbnu.ac.kr

Copyright ©2025 KIEEME. All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

다 [7-9]. 그러나 기존 기술에는 몇 가지 한계점이 존재한다. 예를 들어, 장시간 동작 시 전기적 안정성이 저하될 수 있으며, 고온 열처리 또는 플라즈마 처리가 추가로 필요하여 제조 공정이 복잡하고 비용이 증가하는 문제가 있다. 또한, 대면적 기판 적용 시 박막의 균일도를 확보하는 것이 어려워 대량 생산의 주요 제한 요소로 작용한다 [10-13]. 더 나아가 In₂O₃ 기반 소자는 외부 환경(수분, 산소 농도 변화 등)에 취약하여 장기적인 신뢰성이 저하될 수 있으며, 이를 해결하기 위한 공정 최적화 및 안정성 향상 전략이 요구된다 [14,15]. 기존 연구에서는 고온 열처리, 플라즈마 처리, 혹은 불순물 도핑을 통해 전기적 특성을 개선하는 접근법이 주로 사용되었다. 그러나 이러한 방법들은 추가적인 제조 공정을 필요로 하며, 높은 공정 온도(>300°C)로 인해 유연 기판과 같은 차세대 소자 제작에 한계를 보인다. 최근에는 저온 공정에서 박막의 품질을 개선할 수 있는 화학적 처리 기법이 주목받고 있으나, 이를 효과적으로 활용한 연구는 제한적이다 [16,17].

본 연구에서는 온도 조절된 H₂O₂ 공정을 적용하여 In₂O₃ 기반 TFT의 성능 개선을 목표로 하였다. H₂O₂는 산소 결핍을 보완하고 계면 결함을 줄여 전기적 특성을 향상시키며, UV 광 처리는 활성 산소 종(ROS)을 형성해 산화 반응을 촉진한다 [18-23]. 이에 따라, H₂O₂ 온도를 40°C, 50°C, 60°C로 조절하며 UV 처리를 병행하여 박막의 전기적 특성 변화를 분석하였다. 특히, 계면 결함 감소 및 전기적 안정성 향상을 검토하여 최적의 공정 조건을 도출하였다. 연구 결과는 In₂O₃ 기반 TFT 성능 개선을 위한 새로운 공정을 제시하며, 차세대 투명 디스플레이 및 플렉서블 전자 소자 개발에 기여할 것으로 기대된다.

2. 실험 방법

그림 1(a)는 본 연구에서 제작한 In₂O₃ TFT의 개략도를, 그림 1(b)는 H₂O₂ 및 UV 처리를 통한 In₂O₃ 박막 트랜지스터의 공정과정에 대한 모식도를 나타낸다. 본 연구에서는 하부 게이트 상단 접촉 구조를 기반으로 소자를 제작하였으며, 게이트 전극 및 게이트 유전체 층으로는 SiO₂가 형성된 100 nm의 두께 n형 실리콘 웨이퍼를 사용하였다. 우선, 기판 표면의 불순물을 제거하기 위해 piranha cleaning을 수행한 후, N₂ 가스를 이용하여 건조시켰다. 이후, 80 °C 오븐에서 1시간 동안 추가적으로 건조하여 잔류 용매를 완전히 제거하였다. 또한, 기판과 전구체 용액 사이의 접촉력을 향상시키기 위해 기판 표면에 15분 동안 UV/오존 처리를 적용하였다. In₂O₃ 박막 형성은 졸-겔

(sol-gel) 공정을 활용하여 진행되었다. 전구체 용액으로 질산인듐 하이드레이트 [In(NO₃)₃·xH₂O]를 사용하였으며, 이 용액은 99.99% 순도의 DI 물에 용해되었다. 용액은 45°C에서 2시간 동안 분당 600 rpm 속도로 교반하여 균일하게 혼합하였다. 이후, SiO₂ 게이트 유전체 위에 In₂O₃ 용액을 3,000 rpm으로 30초 동안 스핀 코팅하였다. 이후, 코팅된 기판을 핫 플레이트에서 250°C로 2시간 동안 하드 베이킹하여 박막을 형성하였다.

그런 다음 In₂O₃ 박막 트랜지스터의 전기적 안정성을 향상시키기 위해 그림 1(b)와 같이 40°C, 50°C, 60°C로 온도 조절된 H₂O₂와 UV 조사를 5분 동안 병행하는 공정을 수행하였다. 이 공정을 통해 In₂O₃ 박막 내 산소 결함(V_o)을 효과적으로 줄이고, 표면 및 계면 층에 산소(O₂)를 공급함으로써 소자의 전기적 특성을 개선할 수 있었으며, UV 조사에 의해 H₂O₂ 분자가 활성화되면서 산화 반응이 촉진되었다. 이를 통해 박막의 계면 결함이 감소하고 전기적 특성 및 안정성을 개선하는 데 중요한 역할을 한다. 마지막으로, 100 nm 두께의 알루미늄(Al) 소스 전극과 드레인 전극을 thermal evaporation을 통해 증착하였다. 이때, 제작된 소자의 채널 길이와 채널 폭은 각각 2,000 μm와 200 μm로 정의되었다.

In₂O₃ 박막 트랜지스터의 전기적 안정성 향상을 위해 output curve, transfer curves 전기적 특성을 확인하고 gate bias stress (GBS) 측정을 통해 스트레스에 대한 안정성을 평가하였다. 또한 static inverter를 이용하여 반

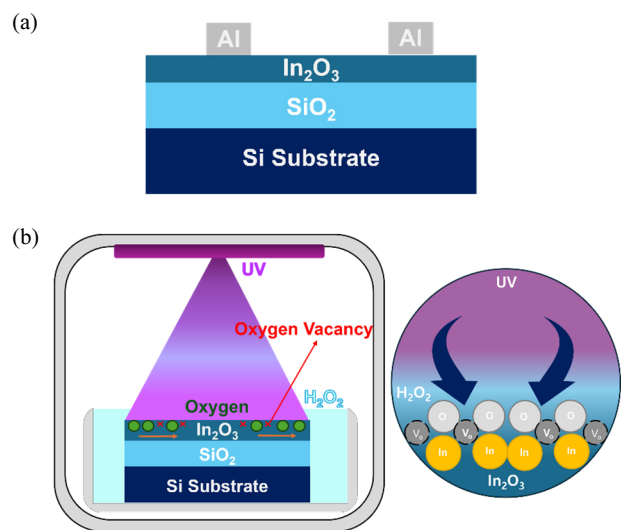


Fig. 1. (a) A schematic diagram of In₂O₃ thin-film transistors through temperature-controlled H₂O₂ processes and (b) the process flow of In₂O₃ thin-film transistors through temperature-controlled H₂O₂ processes.

전 특성과 입력 신호에 대한 스위칭 응답 속도를 확인하였으며, 온도 조절된 H₂O₂ 공정 처리를 통한 In₂O₃ 박막 트랜지스터의 응용 가능성을 확인하였다.

3. 결과 및 고찰

In₂O₃ 기반 박막 트랜지스터의 전기적 특성을 분석하기 위해 V_{ds} , I_{ds} , V_{gs} , S/S 등의 주요 지표를 측정하였다. 트랜지스터의 작동 원리를 이해하기 위해서는 전압과 전류의 관계를 분석하는 것이 필수적이다. Drain-source voltage (V_{ds})는 트랜지스터의 드레인과 소스 단자 간에 인가되는 전압을 의미하며, drain-source current (I_{ds})는 이 전압에 의해 흐르는 드레인-소스 간의 전류를 나타낸다. 또한, gate-source voltage (V_{gs})는 게이트와 소스 간에 인가되는 전압으로, 채널의 형성 및 전자 이동을 제어하는 역할을 한다. 한편, subthreshold swing (S/S)는 트랜지스터가 off 상태에서 on 상태로 전환될 때, 전류 변화에 필요한 게이트 전압의 기울기를 나타내는 지표로, 소자의 스위칭 성능을 평가하는 데 활용된다.

그림 2는 V_{ds} 를 0에서 25 V까지 0.5 V 간격으로 변화시키고, I_{ds} 의 변화를 나타내는 output curve를 측정하였다. 그림 2(a) pristine는 포화영역에서 낮은 I_{ds} 와 on/off 비율을 보이며, 전기적 특성이 저하됨을 확인할 수 있다. 그림 2(b) 40°C는 output curve를 측정하였을 때 포화영역에서 I_{ds} 와 on/off 비율이 낮은 반응을 보이며, 소자의 특성이 현저히 저하되고 있는 것을 확인할 수 있었다. 상대적으로 낮은 온도에서 처리되어 계면 재구성이 충분하지 않

을 가능성이 있다 [24-26]. 그림 2(d) 60°C는 포화영역에서 I_{ds} 가 선형적으로 보여주지만 높은 반응성으로 인해 산화막의 과도한 구조적 변형이 발생할 가능성이 있으며, 이에 따라 이동도 및 안정성이 다소 감소하는 경향을 보였다 [27-29]. 반면, 그림 2(c) 50°C는 포화영역에서 I_{ds} 가 안정적으로 증가하며 높은 전류 특성을 보인다. 이는 산소 결합 (V_o)의 보완과 계면 재구성이 가장 효과적으로 이루어진 결과로 판단된다. 이를 통해, 50°C 조건이 가장 적절한 공정 조건임을 확인할 수 있다. 이를 더욱 자세히 분석하기 위해 성능지표와 transfer curves 분석을 진행하였다.

그림 3은 V_{gs} 를 -10 V에서 25 V까지 변화시키고, V_{ds} 를 25 V로 고정한 상태에서 I_{ds} 의 변화를 나타내는 transfer curves를 보여주며, 온도 조절된 H₂O₂ 공정 처리가 mobility (μ), 문턱전압 (V_{th}), on/off ratio에 미치는 영향을 분석한 결과를 제시한다. 그림 3 pristine는 H₂O₂/UV만 적용한 경우, V_{th} 가 높고 μ 가 낮아, 전계효과 트랜지스터 동작이 원활하지 않음을 확인할 수 있었다. 그림 3 40°C는 μ , on/off는 일부 개선되었지만, V_{th} 와 S/S 크기에 따라 높게 동작하는 것을 확인할 수 있었다. 그림 3 60°C는 높은 온도에 의하여 산화 반응이 빠르게 이루어져 on/off current가 늦게 동작하며, S/S이 다소 저하될 가능성이 보인다 [30,31]. 반면, 그림 3 50°C는 가장 높은 μ , S/S 비율이 가장 우수하며 다른 디바이스에 비해 선형적으로 나타나는 것을 확인할 수 있었다.

Subthreshold swing (S/S), μ 는 In₂O₃ 박막 트랜지스터의 주요 성능지표 중 하나로, 아래의 수식을 통해 정의되었다.

$$S/S = \frac{dV_G}{d(\log I_D)} \quad (1)$$

식 (1)은 S/S를 계산한 것이며, 디바이스의 ON 상태로 변하는 특성을 평가하는 데 중요한 역할을 한다.

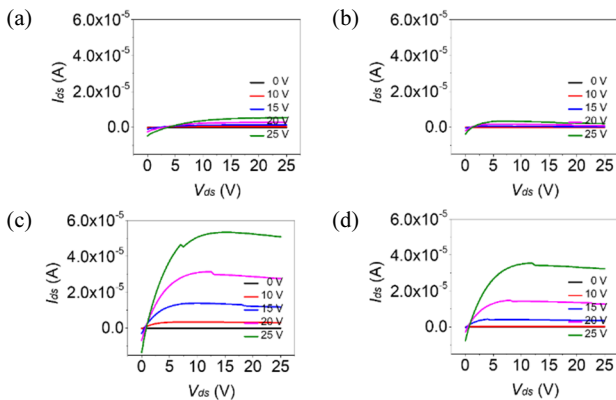


Fig. 2. Output curves of In₂O₃ thin-film transistors through temperature-controlled H₂O₂ processes (a) pristine, (b) 40°C, (c) 50°C, and (d) 60°C.

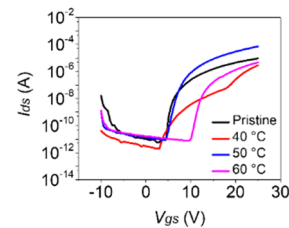


Fig. 3. Transfer curves of In₂O₃ thin-film transistors through temperature-controlled H₂O₂ processes (a) pristine, (b) 40°C, (c) 50°C, and (d) 60°C.

Table 1. Electrical properties of In₂O₃ thin-film transistors treated with H₂O₂ and UV combined processes.

Conditions	Temp (°C)	Mobility (cm ² /Vs)	On/off ratio (I _{on} /I _{off})	V _{th} (V)	S/S (V/dec)
H ₂ O ₂ /UV	Pristine	0.23	1.7×10 ⁶	9.18	0.57
	40	0.38	1.5×10 ⁶	18.41	2.50
	50	2.26	8.3×10 ⁶	11.39	0.69
	60	1.72	7.0×10 ⁵	10.63	0.97

$$\mu = \frac{L}{WC_{iV_D}} \times \frac{dI_{ds}}{dV_{gs}} \quad (2)$$

μ를 계산하기 위해 사용되는 수식 (2)는 반도체 소자의 속도와 성능을 결정하는 중요한 역할을 한다. 이 식에서, L은 채널 길이로서 전자가 이동하는 거리를 나타내며, W는 채널의 폭으로서 전류가 흐를 수 있는 경로의 너비를 나타내고 있다. C_i는 게이트 커패시턴스로, 게이트 전압에 의해 형성된 전기장이 채널에 미치는 영향을 나타내는 중요한 파라미터이다. V_D는 드레인-소스 전압을 나타내며 V_{ds}/V_{gs}는 전류와 게이트 전압의 변화율을 나타내고 있다. 이를 통해 μ는 전기장 하에서의 μ의 이동 능력을 나타낸다. 식 (1)과 (2)를 통해 계산된 박막 트랜지스터 소자의 전기적 특성은 다양한 조건에서 측정되었으며, 결과는 표 1에 제시되어 있다.

표 1은 온도 조절된 H₂O₂ 공정 처리가 In₂O₃ 박막 트랜지스터의 전기적 특성에 미치는 영향을 보여준다. 50°C 처리된 소자는 2.26 cm²/Vs의 가장 높은 이동도와 8.3×10⁶의 우수한 on/off ratio를 나타내며, 가장 안정적인 성능을 보였다. 반면, 40°C와 60°C 처리 조건에서는 이동도 및 on/off ratio에서 상대적으로 낮은 성능을 보였으며, 특히 40°C에서는 높은 V_{th} 변화가 관찰되었다. 이러한 결과는 50°C에서의 H₂O₂ 처리 조건이 산화막 균일성과 계면 안정성을 최적화하여 박막 트랜지스터의 전기적 성능을 극대화하는 데 기여했음을 시사한다.

GBS 실험에서 그림 4는 박막 트랜지스터 소자의 게이트 부분에 negative bias가 인가될 때 발생하는 negative stress에 따른 transfer 변화를 보여준다. 이 실험은 스트레스에 대한 안정성을 평가하기 위해 negative bias stress (NBS)를 0초부터 500초까지 100초 단위로 NBS를 적용하여 진행되었다. 그림 4(a) pristine는 negative bias가 인가될 때 시간이 지남에 따라 on/off 스위칭 속도가 느려지고, V_{th}이 positive shift하는 경향을 보였다. 이는 소자의 안정성이 저하되며, 전자 트랩 현상이 발생하여 소자의 장기적인 신뢰성이 떨어질 가능성이 있다 [32,33].

그림 4(b) 40°C는 negative bias가 인가될 때, 시간에 따라 on/off는 안정성을 보였지만, S/S 변화량이 높은 경향을 보여주는 것을 확인할 수 있었다. 이는 계면 및 벌크 내 전자 트랩 현상이 S/S 변화에 기여한 것으로 추정된다 [34,35]. 그림 4(d) 60°C는 negative bias가 인가될 때 on/off 스위칭 속도가 감소하고, V_{th}이 상당히 positive shift하는 경향이 관찰되었다. 이는 높은 온도로 인해 산화막 내 과도한 산화 반응이 발생하고, 전자 트랩이 증가하여 소자의 이동도(μ)와 안정성이 저하될 가능성이 있다 [36]. 반면, 그림 4(c)에서 50°C는 negative bias가 인가될 때, 시간에 따라 on/off 동작이 매우 안정적이며 V_{th} 변화량이 가장 적고, on/off 변동도 거의 없는 안정적인 특성을 보인다. 이를 통해, H₂O₂ 및 UV 처리를 활용한 In₂O₃ 박막 트랜지스터의 장기적인 안정성을 확보하기 위한 최적의 처리 조건임을 확인할 수 있었다.

그림 5는 50°C 공정 처리를 5분간 적용한 In₂O₃ 박막 트랜지스터의 static inverter 동작 특성을 분석하기 위해 전압 voltage transfer characteristic 곡선을 측정한 결과

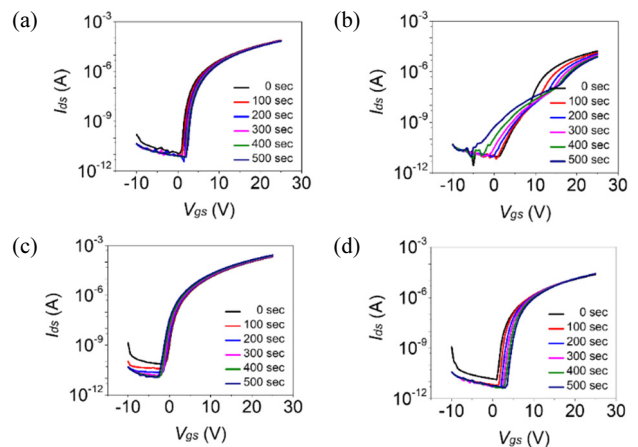


Fig. 4. Negative bias stress curves of In₂O₃ thin-film transistors through temperature-controlled H₂O₂ processes (a) pristine, (b) 40°C, (c) 50°C, and (d) 60°C.

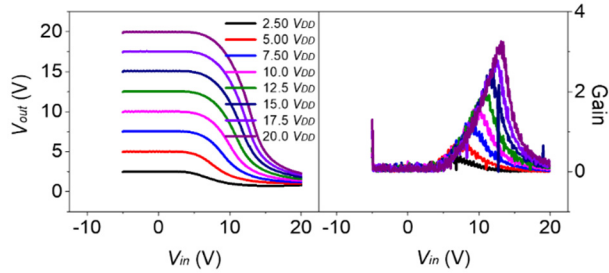


Fig. 5. Transfer curves of In_2O_3 thin-film transistors through temperature-controlled H_2O_2 processes (a) pristine, (b) 40°C , (c) 50°C , and (d) 60°C .

를 나타낸다. static inverter는 디지털 회로에서 기본적인 논리 게이트의 핵심 요소이며, 안정적인 동작을 위해 정확한 전압 전송 특성과 높은 이득(gain)이 요구된다. 그림 5의 왼쪽 그래프에서는 V_{dd} 를 2.5 V에서 20 V까지 변화시키며, V_{in} 이 증가할 때 V_{out} 이 어떻게 변화하는지를 보여준다. 실험 결과, V_{out} 은 V_{in} 의 변화에 따라 안정적으로 전환되며 선형적인 특성을 유지하는 것을 확인할 수 있었다. 이는 본 연구에서 제시한 50°C 병행 공정이 In_2O_3 박막 트랜지스터의 전기적 특성을 향상시키며, 회로 설계에서도 충분히 활용 가능함을 시사한다. 또한, 그림 5의 오른쪽 그래프에서는 해당 공정 조건에서 gain 특성을 분석하였다. gain 값은 입력 전압이 변화할 때 출력 전압이 얼마나 급격하게 변화하는지를 나타내며, 높은 gain 값은 인버터의 신뢰성과 빠른 스위칭 성능을 보장하는 중요한 요소이다. 본 실험에서 50°C 공정 처리된 소자에서 가장 높은 gain 값을 유지하는 것을 확인할 수 있었다. 이는 적절한 온도에서 H_2O_2 와 UV 처리가 In_2O_3 박막의 계면 품질을 향상시키며, 과도한 산화 반응을 방지하여 트랜지스터의 성능을 최적화할 수 있다. 결과적으로, 본 연구에서 제안한 50°C 공정이 In_2O_3 기반 트랜지스터의 성능을 극대화할 뿐만 아니라, 디지털 회로 설계에서도 실용적인 적용이 가능함을 확인할 수 있었다. 이를 통해, 향후 In_2O_3 를 활용한 저전력 및 고성능 전자 소자 개발에도 기여할 수 있을 것으로 기대된다.

4. 결론

본 연구에서는 In_2O_3 박막 트랜지스터의 전기적 특성과 안정성을 향상시키기 위해 H_2O_2 와 UV 처리를 적용한 소자를 제작하고 평가하였다. 특히, H_2O_2 를 40°C , 50°C , 60°C 에서 UV와 병행 처리한 후 전기적 특성을 비교 분석하여 최적의 공정 조건을 도출하였다. 실험 결과, 50°C 에

서 H_2O_2 와 UV를 처리한 경우, 소자의 on/off 동작이 안정적으로 유지되었으며, V_{th} 변화량이 가장 적어 장기적인 신뢰성이 우수함을 확인할 수 있었다. 또한, 해당 조건에서 μ , S/S, on/off ratio 등 주요 전기적 성능이 균형 있게 유지되었으며, NBS 테스트에서도 가장 낮은 V_{th} 변화량을 보여 우수한 신뢰성을 입증하였다. 결과적으로, 50°C 에서의 H_2O_2 공정 처리는 산화막 균일성과 계면 안정성을 동시에 확보할 수 있는 최적의 공정 조건으로 확인되었다. 또한, 해당 조건에서 제작된 In_2O_3 박막 트랜지스터는 static inverter 회로에서도 높은 성능을 유지하며, 다양한 V_{dd} 전압에서 안정적으로 동작하고 높은 gain 값을 유지하는 특성을 보였다. 이는 본 연구의 최적 공정이 개별 트랜지스터뿐만 아니라 논리 회로 및 집적 회로 설계에서도 활용될 수 있음을 시사한다. 따라서, H_2O_2 공정 처리는 In_2O_3 기반 박막 트랜지스터의 성능과 신뢰성을 동시에 향상시키는 효과적인 공정임이 본 연구를 통해 입증되었다. 향후 연구에서는 본 연구에서 도출된 최적 공정 조건을 다양한 산화물 반도체와 결합하여 추가적인 성능 개선을 도모할 수 있을 것으로 기대된다. 또한, 고성능 디스플레이, 웨어러블 기기 등의 응용 분야에서도 중요한 설계 지침을 제공할 수 있을 것으로 판단된다. 본 연구에서 제시한 최적의 H_2O_2 공정 처리 기술은 차세대 박막 트랜지스터 개발에 기여할 것으로 기대된다.

ORCID

Sung-Jin Kim

<https://orcid.org/0000-0001-7739-5328>

ACKNOWLEDGMENT

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (RS-2020-NR049604).

REFERENCES

- [1] C. J. Kim, D. H. Kang, I. Song, J. C. Park, H. Lim, S. I. Kim, E. H. Lee, R. J. Chung, J. C. Lee, and Y. S. Park, *IEEE IEDM*, (IEEE, San Francisco, CA, USA, 2006) p. 1. doi: <https://doi.org/10.1109/IEDM.2006.346769>
- [2] S. H. Kang, M. H. Lee, W. H. Son, D. K. Kim, J. W. Jang, S. J. So, S. Y. Park, and H. J. Kim, *IEEE T-ED*, **72**, 1154 (2025).

- doi: <https://doi.org/10.1109/TED.2025.3526129>
- [3] H. Chen, J. Ren, J. Sun, Z. Chen, Z. Fu, T. Jin, M. Lei, L. Zhu, L. Liang, and H. Cao, *ACS Appl. Mater. Interfaces*, **17**, 8727 (2025).
doi: <https://doi.org/10.1021/acsami.5c00152>
- [4] S. K. Ryoo, K. D. Kim, W. Choi, P. Sriboriboon, S. Heo, H. Seo, Y. H. Jang, J. W. Jeon, M. K. Yeom, S. H. Lee, H. S. Park, Y. Kim, and C. S. Hwang, *Adv. Mater.*, **37**, 2413295 (2025).
doi: <https://doi.org/10.1002/adma.202413295>
- [5] S. Song, J. H. Kim, J. Park, S. H. Kim, D. Ko, H. Choi, S. Kim, and H. Y. Yu, *Appl. Surf. Sci. Adv.*, **25**, 100676 (2025).
doi: <https://doi.org/10.1016/j.apsadv.2024.100676>
- [6] M. Park, J. Yoo, H. Lee, H. Song, S. Kim, S. Lim, S. Park, J. H. Jeong, B. Kim, K. Lee, Y. K. Lee, K. Heo, J. Kown, and H. Bae, *Electron. Mater. Lett.*, **21**, 111 (2025).
doi: <https://doi.org/10.1007/s13391-024-00526-8>
- [7] J. Y. Wang, Z. H. Bai, K. Zhang, Z. C. Wu, D. Geng, Y. Xu, N. N. You, Y. X. Li, G. H. Yang, L. Li, S. Wang, and M. Liu, *IEEE Symp. VLSI Circuits Dig. Tech. Pap.* (IEEE, Honolulu, HI, USA, 2024) p. 1.
doi: <https://doi.org/10.1109/VLSITechnologyandCir46783.2024.10631346>
- [8] P. He, H. Xu, L. F. Lan, C. H. Deng, Y. B. Wu, Y. L. Lin, S. T. Chen, C. C. Ding, X. Li, M. Xu, and J. Peng, *Commun. Mater.*, **2**, 86 (2021).
doi: <https://doi.org/10.1038/s43246-021-00193-4>
- [9] S. R. Bhalerao, D. Lupo, and P. R. Berger, *Mech. Syst. Signal Process.*, **139**, 106354 (2022).
doi: <https://doi.org/10.1016/j.mssp.2021.106354>
- [10] A. Liu, G. X. Liu, H. H. Zhu, F. Xu, E. Fortunato, R. Martins, and F. K. Shan, *ACS Appl. Mater. Interfaces*, **6**, 17364 (2014).
doi: <https://doi.org/10.1021/am505602w>
- [11] F. Jaehnik, D. V. Pham, R. Anselmann, C. Bock, and U. Kunze, *ACS Appl. Mater. Interfaces*, **7**, 14011 (2015).
doi: <https://doi.org/10.1021/acsami.5b03105>
- [12] W. Y. Xu, H. Li, J. B. Xu, and L. Wang, *ACS Appl. Mater. Interfaces*, **10**, 25878 (2018).
doi: <https://doi.org/10.1021/acsami.7b16010>
- [13] S. J. Lee, J. E. Ko, K. H. Nam, T. H. Kim, S. H. Lee, J. H. Kim, G. S. Chae, H. Han, Y. S. Kim, and J. M. Myoung, *ACS Appl. Mater. Interfaces*, **8**, 12894 (2016).
doi: <https://doi.org/10.1021/acsami.6b00950>
- [14] Y. F. Xia, G. He, W. H. Wang, Q. Gao, and Y. M. Liu, *IEEE Trans. Electron Devices*, **68**, 2522 (2021).
doi: <https://doi.org/10.1109/TED.2021.3066138>
- [15] M. W. Si, Z. H. Lin, Z. Chen, X. Sun, H. Y. Wang, and P. D. Ye, *Nat. Electron.*, **5**, 164 (2022).
doi: <https://doi.org/10.1038/s41928-022-00718-w>
- [16] B. K. Yap, Z. H. Zhang, G.S.H. Thien, K. Y. Chan, and C. Y. Tan, *Appl. Surf. Sci. Adv.*, **16**, 100423 (2023).
doi: <https://doi.org/10.1016/j.apsadv.2023.100423>
- [17] S. Yuvaraja, H. Faber, M. Kumar, N. Xiao, G. I. Maciel García, X. Tang, T. D. Anthopoulos, and X. Li, *Nat. Electron.*, **7**, 768 (2024).
doi: <https://doi.org/10.1038/s41928-024-01205-0>
- [18] R. N. Kim, W. J. Kim, D. H. Lee, D. H. Seo, S. O. Ryu, and W. B. Kim, *Appl. Surf. Sci.*, **670**, 160594 (2024).
doi: <https://doi.org/10.1016/j.apsusc.2024.160594>
- [19] M. H. Kang, J. Armitage, Z. Andaji-Garmaroudi, and H. Sirringhaus, *Adv. Sci.*, **8**, 2101502 (2021).
doi: <https://doi.org/10.1002/advs.202101502>
- [20] S. Y. Qu, H. Wu, and Y. H. Ng, *ACS Catal.*, **14**, 5297 (2024).
doi: <https://doi.org/10.1021/acscatal.3c05764>
- [21] W. S. Kim, W. J. Lee, T. H. Kwak, S. H. Baek, S. H. Lee, and S. J. Park, *Adv. Mater. Interfaces*, **9**, 2200032 (2022).
doi: <https://doi.org/10.1002/admi.202200032>
- [22] M. Gao, V. Kumar, W. Schoenfeld, and N. Zin, *IEEE J. Photovolt.*, **13**, 385 (2023).
doi: <https://doi.org/10.1109/JPHOTOV.2023.3244370>
- [23] N. N. Mude, R. N. Bukke, and J. Jang, *ACS Appl. Mater. Interfaces*, **13**, 20277 (2021).
doi: <https://doi.org/10.1021/acsami.0c21979>
- [24] Y. Zhang, G. He, L. N. Wang, W. H. Wang, X. F. Xu, and W. J. Liu, *ACS Nano*, **16**, 4961 (2022).
doi: <https://doi.org/10.1021/acsnano.2c01286>
- [25] S. M. Kim, T.M.H. Nyugen, J. W. Oh, Y. S. Lee, S. C. Kang, H. I. Lee, C. H. Kim, S. Some, H. J. Hwang, and B. H. Lee, *Proc. IEEE Int. Rel. Phys. Symp.* (IEEE, Monterey, CA, USA, 2021) p. 1.
doi: <https://doi.org/10.1109/IRPS46558.2021.9405126>
- [26] J. H. Wang, D. Y. Kim, J. H. Park, S. W. Ryu, M. Shokouhimehr, and H. W. Jang, *Energy Fuels*, **37**, 17629 (2023).
doi: <https://doi.org/10.1021/acs.energyfuels.3c02324>
- [27] L. Q. Mi, Z. H. Deng, J. Q. Chang, M. Li, R. F. Zhang, S. Wang, L. You, X. D. Fang, Y. He, and G. Meng, *ACS Appl. Nano Mater.*, **6**, 17301 (2023).
doi: <https://doi.org/10.1021/acsanm.3c03742>
- [28] X. Sun, T. Wang, C. Wang, and T. Ohno, *Catal. Sci. Technol.*, **13**, 6799 (2023).
doi: <https://doi.org/10.1039/D3CY01098H>
- [29] A. Sherly, C. M. Padma, D. H. Raja, and D. J. Davidson, *Chem. Phys. Impact*, **7**, 100366 (2023).
doi: <https://doi.org/10.1016/j.chphi.2023.100366>
- [30] Y. D. Lee, H. S. Kim, H. R. Jo, and H. S. Oh, *Trans. Electr. Electron. Mater.*, **26**, 1 (2024).
doi: <https://doi.org/10.1007/s42341-024-00575-8>
- [31] Y. Ding, Y. Ren, G. Liu, and F. Shan, *IEEE Trans. Electron Devices*, **69**, 3722 (2022).
doi: <https://doi.org/10.1109/TED.2022.3175674>
- [32] Y. Ding, T. Li, B. Yan, G. Liu, and F. Shan, *Appl. Phys. Lett.*, **121**, 263301 (2022).
doi: <https://doi.org/10.1063/5.0128457>

- [33] V. N. Le, K. N. Baustert, M. R. Brown, J. H. Bombile, L. Q. Flagg, K. Thorley, C. J. Kousseff, O. Solomeshch, I. McCulloch, N. Tessler, C. Risko, K. R. Graham, and A. F. Paterson, *Nat. Electron.*, **8**, 116 (2025).
doi: <https://doi.org/10.1038/s41928-024-01297-8>
- [34] Y. Jeong, K. Song, D. Kim, C. Y. Koo, and J. H. Moon, *J. Electrochem. Soc.*, **156**, H808 (2009).
doi: <https://doi.org/10.1149/1.3212847>
- [35] D. S. Hong, B. Zhang, D. L. Zhang, M. X. Wang, and R. X. Wang, *IEEE J. Electron Devices Soc.*, **12**, 331 (2024).
doi: <https://doi.org/10.1109/JEDS.2024.3388727>
- [36] G. W. Chang, T. C. Chang, J. C. Jhu, T. M. Tsai, K. C. Chang, Y. E. Syu, Y. H. Tai, F. Y. Jian, and Y. C. Hung, *IEEE Trans. Electron Devices*, **61**, 2119 (2014).
doi: <https://doi.org/10.1109/TED.2014.2319105>