

## 2.4 kV 4H-SiC 평면형 MOSFET의 전기적 특성 향상을 위한 도핑 최적화

윤태영, 김정민, 이준, 임송예, 강현도, 박승현, 구상모 

광운대학교 전자재료공학과

### Doping Optimization of 2.4 kV 4H-SiC Planar MOSFETs for Enhanced Electrical Performance

Taeyoung Yoon, Jeongmin Kim, Jun Lee, Songye Lim, HyeonDo Kang,  
Seung-Hyun Park, and Sang-Mo Koo

Department of Electronic Materials Engineering, Kwangwoon University, Seoul 01897, Korea

(Received August 26, 2025; Revised September 22, 2025; Accepted September 22, 2025)

**Abstract:** Silicon carbide (SiC) power devices are attracting increasing attention for high-voltage and high-efficiency applications due to their superior material properties. However, achieving an optimal trade-off between specific on-resistance ( $R_{on,sp}$ ) and breakdown voltage (BV) remains a key design challenge in planar MOSFET structures. In this study, two-dimensional TCAD simulations were conducted to investigate the impact of varying the doping concentrations of the P-well (from  $3 \times 10^{17}$  to  $6 \times 10^{17}$   $\text{cm}^{-3}$ ) and JFET regions (from  $1 \times 10^{16}$  to  $7 \times 10^{16}$   $\text{cm}^{-3}$ ) on the electrical characteristics of 2.4 kV-class planar SiC MOSFETs. To maintain comparable BV conditions for 2.4 kV operation, two groups with P-well doping concentrations of  $4.5 \times 10^{17}$   $\text{cm}^{-3}$  and  $5.3 \times 10^{17}$   $\text{cm}^{-3}$  were analyzed and compared. When the P-well and JFET doping concentrations were  $4.5 \times 10^{17}$   $\text{cm}^{-3}$  and  $1.5 \times 10^{16}$   $\text{cm}^{-3}$ , respectively, the simulated  $R_{on,sp}$  and BV were  $1.41 \text{ m}\Omega \cdot \text{cm}^2$  and 3,150 V. In contrast, with P-well and JFET doping concentrations of  $5.3 \times 10^{17}$   $\text{cm}^{-3}$  and  $5.0 \times 10^{16}$   $\text{cm}^{-3}$ , the  $R_{on,sp}$  was reduced to  $1.31 \text{ m}\Omega \cdot \text{cm}^2$  while the BV slightly increased to 3,200 V. Based on these results, an optimized device structure was proposed, demonstrating its potential for integration into high-voltage SiC-based power systems. This study provides practical design insights and is expected to contribute to the advancement of wide bandgap semiconductor technologies for next-generation power electronics.

**Keywords:** Planar MOSFET, Optimization, Breakdown voltage, On-resistance, TCAD Simulation

탄화규소(4H-silicon carbide, SiC)는 기존 실리콘 (silicon, Si)에 비해 우수한 물질 덕분에 첨단 전력 전자 응용 분야에서 대표적인 고에너지갭 반도체로 자리 잡았다.

약 3.26 eV의 넓은 밴드갭과 3 MV/cm에 근접하는 임계 전계 강도를 지니고 있으며, 이는 실리콘보다 높은 수준이다. 또한, 탄화규소는 뛰어난 열 안정성과 고전압 견고성을 제공하여, 고전력 및 고온 환경에 특히 적합한 소자로 각광받고 있다 [1,2]. 이러한 장점 덕분에 SiC 기반 전력 소자는 효율, 열적 내구성, 전기적 견고성이 중요한 전기차, 재생에너지 인프라, 산업용 전력 변환 시스템 등 다양한 분야에서 점차 널리 채택되고 있다 [3-5]. SiC 기반으로 한

✉ Sang-Mo Koo; [smkoo@kw.ac.kr](mailto:smkoo@kw.ac.kr)

Copyright ©2025 KIEEME. All rights reserved.  
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

다양한 소자 구조 중에서도 평면형 SiC MOSFET (metal oxide semiconductor field effect transistor)는 높은 차단 전압을 유지하면서도 빠른 스위칭 동작이 가능하다는 점에서 대표적인 선택지로 부상하였다. 그럼에도 불구하고, 특정 온저항(specific on-resistance,  $R_{on,sp}$ )과 항복 전압(breakdown voltage, BV)을 동시에 최적화하는 것은 여전히 근본적인 설계 트레이드 오프 과제로 남아 있다 [6]. 이전 연구들은 주로 SiC MOSFET의 전체적인 전기적 성능을 향상시키기 위해 P-well 및 JFET과 같은 핵심 영역의 구조적 정밀화에 중점을 두어 왔다 [7]. 많은 경우, 설계 전략은 차단 성능과 도통 효율 간의 균형을 평가하기 위해 전력 품질 지수(power figure of merit, PFOM)를 기준으로 검토되었다. 이러한 연구들은 최적화를 통해 유의미한 견해를 제공해 왔지만, 도핑 농도를 독립 변수로 설정하여 소자 동작에 미치는 영향을 체계적으로 분석한 사례는 상대적으로 드물다. 최근 연구는 P-well과 JFET의 도핑을 다층화하고, 횡방향 농도 분포를 정밀 제어함으로써  $R_{on,sp}$ 와 BV 간 트레이드 오프를 완화하고자 한다. 동시에 BV 극대화를 위해 접합 종단 확장(junction termination extension, JTE), 필드 리미팅 링(FLR), 필드 플레이트 등 종단 구조의 최적화가 활발히 보고되고 있다 [8,9].

본 연구에서는 2.4 kV 평면형 4H-SiC MOSFET을 대상으로, P-well 및 JFET 도핑 농도가 전기적 성능에 미치는 영향을 평가하기 위해 TCAD 기반 시뮬레이션을 수행하였다.  $R_{on,sp}$ , 임계 전압(threshold voltage,  $V_{th}$ ), BV 등의 주요 성능 지표를 다양한 도핑 농도 범위에서 추출하였으며, 도통 효율과 차단 능력 간의 균형을 평가하기 위해 PFOM을 계산하였다. 시뮬레이션 결과는 도핑 농도에 따른 본질적인 트레이드 오프를 명확히 보여주며, 최적의 소자 성능을 달성하기 위해 정밀한 도핑 제어가 얼마나 중요한지를 강조한다. 본 연구에서 분석한 평면형 4H-SiC MOSFET

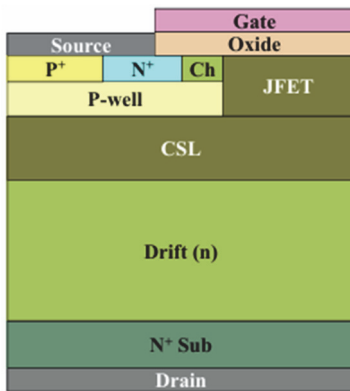
은 고전압 응용에 적합한 수직 구조를 채택하였고, 그림 1과 같다 [10]. 도핑 효과의 영향을 독립적으로 평가하기 위해, 모든 구조적 및 물질적 파라미터는 표 1에 요약된 바와 같이 동일하게 유지되었다. P-well 및 JFET 영역의 도핑 농도만을 선택적으로 조정하여 여러 가지 설계 변형 구조를 구성하였으며, 해당 도핑 농도와 함께 표 2에 상세히 나타내었다. 그룹 A와 B는  $R_{on,sp}$ 와 BV의 트레이드 오프 관계를 고려하여 2.4 kV급 동작에 적합하도록 P-well 영역의 도핑 농도를 각각 그룹 A의 경우  $4.5 \times 10^{17} \text{ cm}^{-3}$ , 그룹 B의 경우  $5.3 \times 10^{17} \text{ cm}^{-3}$ 으로 설계되었다. 본 연구에서 사

**Table 1.** Structural parameters of the SiC planar MOSFET.

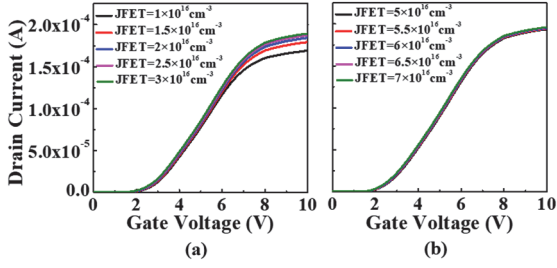
Parameter	Value
Source & Drain metal	Aluminum
Gate length (um)	3.0
Half-cell pitch (um)	5.5
Silicon oxide thickness (um)	0.05
Source length (um)	2.5
Channel length (um)	0.5
JFET length (um)	2.0
JFET thickness (um)	1.0
P-well length (um)	3.5
Drift thickness (um)	8.5
N drift doping concentration ( $\text{cm}^{-3}$ )	$5.0 \times 10^{15}$
Channel doping concentration ( $\text{cm}^{-3}$ )	$4.0 \times 10^{16}$
CSL doping concentration ( $\text{cm}^{-3}$ )	$9.0 \times 10^{15}$

**Table 2.** The design names, the P-well doping and the JFET doping.

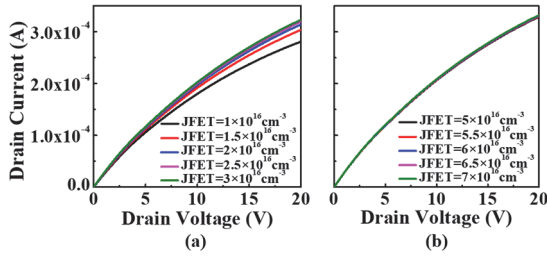
Group	Design name	P-well doping concentration ( $\text{cm}^{-3}$ )	JFET doping concentration ( $\text{cm}^{-3}$ )
A	A1	$4.5 \times 10^{17}$	$1.0 \times 10^{16}$
	A2		$1.5 \times 10^{16}$
	A3		$2.0 \times 10^{16}$
	A4		$2.5 \times 10^{16}$
	A5		$3.0 \times 10^{16}$
B	B1	$5.3 \times 10^{17}$	$5.0 \times 10^{16}$
	B2		$5.5 \times 10^{16}$
	B3		$6.0 \times 10^{16}$
	B4		$6.5 \times 10^{16}$
	B5		$7.0 \times 10^{16}$



**Fig. 1.** Schematic half-cell cross-section of SiC planar MOSFET.



**Fig. 2.** Transfer ( $I_{ds}$ - $V_{gs}$ ) curves in linear form with the same Drain-to-Source voltage ( $V_{ds}$ ) conditions (a) group A and (b) group B.

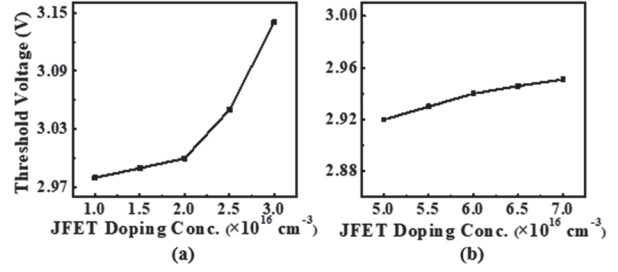


**Fig. 3.** Output ( $I_{ds}$ - $V_{ds}$ ) curves in linear form with the same Gate-to-Source voltage ( $V_{gs}$ ) conditions (a) group A and (b) group B.

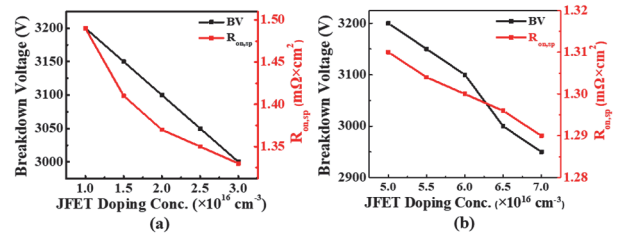
용된 기준 소자 구조는 P-well 도핑 농도  $3 \times 10^{17} \text{ cm}^{-3}$ , JFET 영역 도핑 농도  $1.5 \times 10^{16} \text{ cm}^{-3}$ 를 특징으로 한다. 이 기준 구성에 대해 추출된 전기적 특성은 BV 2.0 kV,  $V_{th}$  2.88 V,  $R_{on,sp}$   $1.42 \text{ m}\Omega \cdot \text{cm}^2$ 이다. 이러한 값들을 바탕으로 계산된 PFOM은  $2.82 \text{ GW}/\text{cm}^2$ 에 달한다.

도핑 농도가 소자 성능에 어떠한 영향을 미치는지 분석하기 위해, P-well 및 JFET의 도핑 농도를 체계적으로 변화시키며 TCAD 시뮬레이션을 수행하였다. 주요 설계 목표는 2.4 kV급 전력 응용을 위한 10% 마진을 두어 2.8-3.2 kV 범위의 BV를 달성하면서도,  $R_{on,sp}$ 와  $V_{th}$ 가 허용 가능한 수준을 유지하여 소자의 전체적인 효율성과 신뢰성을 확보하는 것이다.

한편, 그림 2(a)와 2(b)는 P-well 도핑 농도가 다른 두 소자 그룹의 전달 특성을, 그림 3(a)와 3(b)는 출력 특성을 나타낸다. JFET 도핑 농도가  $1.0 \times 10^{16} \text{ cm}^{-3}$ 에서  $3.0 \times 10^{16} \text{ cm}^{-3}$ 로,  $5.0 \times 10^{16} \text{ cm}^{-3}$ 에서  $7.0 \times 10^{16} \text{ cm}^{-3}$ 로 증가할수록  $V_{th}$ 가 각각 2.98 V에서 3.14 V로, 2.92 V에서 2.95 V로 증가하였다. 이는 P-well과 JFET 접합의 내장전위 증가와 공핍 폭 축소로 채널 근방의 전계 분포가 더 가파르게 형성되어 반전 이전 게이트가 보상해야 할 내부 전하가 증가하기 때문이며, 이 거동은 그림 4(a), 4(b)에서 확인된다. 결과적으로 동일 전류 도달을 위해 더 높은 게이트 전압이 요구된다.



**Fig. 4.** Threshold voltage of (a) group A and (b) group B.

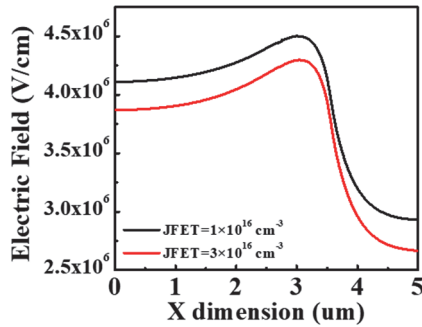


**Fig. 5.**  $R_{on,sp}$  and BV of (a) group A and (b) group B.

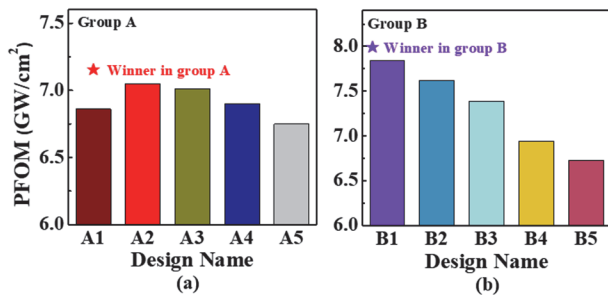
그림 5(a)와 5(b)는 각 그룹의 JFET 도핑 농도 변화에 따른  $R_{on,sp}$ 와 BV를 보여준다. JFET 도핑 농도가  $1.0 \times 10^{16} \text{ cm}^{-3}$ 에서  $3.0 \times 10^{16} \text{ cm}^{-3}$ 로,  $5.0 \times 10^{16} \text{ cm}^{-3}$ 에서  $7.0 \times 10^{16} \text{ cm}^{-3}$ 로 증가할수록  $R_{on,sp}$ 가 각각  $1.49 \text{ m}\Omega \cdot \text{cm}^2$ 에서  $1.33 \text{ m}\Omega \cdot \text{cm}^2$ 로,  $1.31 \text{ m}\Omega \cdot \text{cm}^2$ 에서  $1.29 \text{ m}\Omega \cdot \text{cm}^2$ 로 감소하는 경향을 보인다. 이는 JFET 영역의 전도도가 향상되면서 드립트 영역을 통한 전하 수송이 원활해지고, 전체 채널 저항이 감소하기 때문이다 [11]. 이 같은 도핑 의존성이 전달 특성에서의  $V_{th}$  증가와 출력 특성에서의  $R_{on,sp}$  감소의 동시에 관찰로 연결된다.

BV의 경우 JFET의 도핑 농도가 각각  $1.0 \times 10^{16} \text{ cm}^{-3}$ 에서  $3.0 \times 10^{16} \text{ cm}^{-3}$ 로,  $5.0 \times 10^{16} \text{ cm}^{-3}$ 에서  $7.0 \times 10^{16} \text{ cm}^{-3}$ 로 증가할수록 BV가 거의 선형적으로 감소하는 명확한 반비례 관계가 관찰되었다. 이러한 현상은 주로 JFET 영역의 공핍 영역이 좁아지면서 더 낮은 전계에서도 항복이 일어나기 때문이며 이는 그림 6에서 확인할 수 있다 [12].  $V_{th}$ 의 상승,  $R_{on,sp}$  감소, BV 감소는 모두 도핑 농도 변화에 따른 공핍 폭과 전계 분포 변화에 의해 연동된 결과이며 이 트레이드 오프의 균형이 최적의 소자 설계를 결정한다.

그림 6에서 JFET= $3.0 \times 10^{16} \text{ cm}^{-3}$ 의 경우 0~3  $\mu\text{m}$  구간에서 전계가 3.87 V/cm에서 4.30 V/cm까지 증가한 뒤 3~5  $\mu\text{m}$  구간에서는 2.67 V/cm까지 급격히 감소하였다. 이는 공핍층, 특히 모서리 부근에서의 전계 집중이 일어난



**Fig. 6.** Electric field distribution in the x-direction of the MOSFET under avalanche breakdown for JFET doping levels of  $1.0 \times 10^{16} \text{ cm}^{-3}$  and  $3.0 \times 10^{16} \text{ cm}^{-3}$ .



**Fig. 7.** PFOM of (a) group A and (b) group B.

결과로 해석된다. 0-3  $\mu\text{m}$  구간에서는 P-well/CSL 접합에 의해 공핍층이 형성되어 전계가 증가하며, 3  $\mu\text{m}$  지점은 구조적 모서리에 해당한다. 반면 3-5  $\mu\text{m}$  구간은 JFET/CSL 접합으로 공핍이 지배적이지 않아 전계가 급격히 완화된다 [13,14].

그림 7은 모든 시뮬레이션 소자 구성에 대한 PFOM 값을 보여준다. PFOM은 전력 소자 설계에서 BV와  $R_{on,sp}$  간의 트레이드 오프를 평가하는 데 있어 중요한 지표로 활용되며 그 식은 다음과 같다.

$$PFOM = \frac{BV^2}{R_{on,sp}} \quad (1)$$

Group A 구성 중에서는 A2 소자(P-well:  $4.5 \times 10^{17} \text{ cm}^{-3}$ , JFET:  $1.5 \times 10^{16} \text{ cm}^{-3}$ )가 가장 높은 PFOM을 기록하였으며, 그 값은  $7.05 \text{ GW/cm}^2$ 이다. Group B에서는 B1 소자(P-well:  $5.3 \times 10^{17} \text{ cm}^{-3}$ , JFET:  $5.0 \times 10^{16} \text{ cm}^{-3}$ )가 최고의 성능을 나타냈으며, PFOM은  $7.84 \text{ GW/cm}^2$ 로 A2에 비해 약 11.2% 향상되었다. 또한 B1 소자는 기준 소자(PFOM =  $2.82 \text{ GW/cm}^2$ )와 비교하여 약 2.78배의 성능 향상을 달성

하였다. 이러한 결과는 도핑 프로파일 최적화가 SiC MOSFET의 전반적인 효율을 크게 향상시킬 수 있음을 보여준다.

본 연구는 P-well과 JFET 도핑의 상호작용을 체계적으로 최적화하여 2.4 kV 평면형 4H-SiC MOSFET의 성능을 향상시켰다. 2.4 kV급 응용의 10% 마진을 고려해 BV 목표치를 2.8-3.2 kV로 설정하고, 동일 전압대 선행 연구의  $R_{on,sp} = 8 \text{ m}\Omega \cdot \text{cm}^2$ ,  $V_{th} = 2.5 \text{ V}$ 를 비교 지점으로 삼았다 [15]. 그 결과, 최적 소자는  $R_{on,sp} = 1.31 \text{ m}\Omega \cdot \text{cm}^2$ ,  $V_{th} = 2.92 \text{ V}$ ,  $BV = 3,150 \text{ V}$ ,  $PFOM = 7.84 \text{ GW/cm}^2$ 를 달성하였다. 이는 선행 연구 대비  $R_{on,sp}$ 가 약 83.6% 감소하였으며, PFOM 역시 유의미하게 향상되었음을 시사한다. 아울러, 본 연구에서 제시한 도핑 최적화 전략은 도핑 프로파일 엔지니어링, 게이트 산화막 신뢰성 확보, 에치 터미네이션(필드 플레이트/JTE) 최적화와 상보적으로 적용될 수 있다. 향후 연구에서는 본 최적 도핑 조건을 기반으로 종단부 구조를 병행 최적화함으로써 목표 BV (2.83.2 kV) 유지, 전도 손실 추가 저감, 그리고 신뢰성 향상을 동시에 달성할 수 있을 것으로 기대된다.

**ORCID**

Sang-Mo Koo

<https://orcid.org/0000-0002-9827-9219>

**감사의 글**

This work was supported by the Human Resource Development Program - Compound Power Semiconductor Specialist Training (RS-2025-02214408), and the Technology Innovation Development Program - Development of next-generation power semiconductor based on Si-on-SiC structure (RS-2022-00154720) funded by the Ministry of Trade, Industry & Energy (MOTIE, Korea), and also supported by the Excellent Researcher Support Project of Kwangwoon University in 2025. The EDA tool was supported by the IC Design Education Center (IDEC), Korea.

**REFERENCES**

[1] T. Kimoto, *Jpn. J. Appl. Phys.*, **54**, 040103 (2015). doi: <https://doi.org/10.7567/JJAP.54.040103>

- [2] M. Kim, J. H. Seo, U. Singiseti, and Z. Ma, *J. Mater. Chem. C*, **5**, 8338 (2017).  
doi: <https://doi.org/10.1039/C7TC02221B>
- [3] I. Abuishmais and T. M. Undeland, *Adv. Power Electron.*, **2012**, 765619 (2012).  
doi: <https://doi.org/10.1155/2012/765619>
- [4] A. Rasul, R. Teixeira, and J. Baptista, *Energies*, **18**, 2140 (2025).  
doi: <https://doi.org/10.3390/en18082140>
- [5] X. She, A. Q. Huang, O. Lucía, and B. Ozpineci, *IEEE Trans. Ind. Electron.*, **64**, 8193 (2017).  
doi: <https://doi.org/10.1109/TIE.2017.2652401>
- [6] Z. Hu, J. Yao, A. Li, Q. Sun, M. Li, K. Yang, J. Zhang, J. Chen, M. Zhang, and Y. Guo, *J. Semicond.*, **45**, 081501 (2024).  
doi: <https://doi.org/10.1088/1674-4926/24010029>
- [7] D. Kim, N. Yun, A. J. Morgan, and W. Sung, *IEEE J. Electron Devices Soc.*, **10**, 989 (2022).  
doi: <https://doi.org/10.1109/JEDS.2022.3218689>
- [8] Z. Bai, X. Tang, Y. He, H. Yuan, Q. Song, and Y. Zhang, *Microelectron. Reliab.*, **124**, 114332 (2021).  
doi: <https://doi.org/10.1016/j.microrel.2021.114332>
- [9] P. Godignon, J. Biscarrat, M. Tranchesset, R. Lavieville, D. Tournier, P. Brosselard, and J. Montserrat, *Mater. Sci. Semicond. Process.*, **178**, 108347 (2024).  
doi: <https://doi.org/10.1016/j.mssp.2024.108347>
- [10] P. Sharmila, G. Supraja, D. Haripriya, C. Sivamani, and A. L. Narayana, *Micro Nano Struct.*, **202**, 208126 (2025).  
doi: <https://doi.org/10.1016/j.micrna.2025.208126>
- [11] T. Yang, R. Huang, and S. Bai, *IEEE Trans. Electron Devices*, **65**, 4455 (2018).  
doi: <https://doi.org/10.1109/TED.2018.2862460>
- [12] Y. Hu, F. Liu, and X. Liu, *Appl. Sci.*, **14**, 983 (2024).  
doi: <https://doi.org/10.3390/app14030983>
- [13] H. Yoon and O. Seok, *Electronics*, **13**, 962 (2024).  
doi: <https://doi.org/10.3390/electronics13050962>
- [14] R. Zhang and Y. Zhang, *Jpn. J. Appl. Phys.*, **62**, SC0806 (2023).  
doi: <https://doi.org/10.35848/1347-4065/acb365>
- [15] A. Agarwal and B. J. Baliga, *IEEE J. Electron Devices Soc.*, **9**, 324 (2021).  
doi: <https://doi.org/10.1109/JEDS.2021.3058662>