

직류 단락 시 초전도 한류기 선재의 켄치 거동

김혜림¹ , 안봉만², 한병성²

¹ 전 한전 전력연구원 미래기술연구소

² 전북대학교 산학협력단

Quench Behavior of Wires for Superconducting Fault Current Limiters at DC Faults

Hye-Rim Kim¹, Bong-Man Ahn², and Byoung-Sung Han²

¹ Future Technology Laboratory, KEPCO Research Institute (formerly), Daejeon 34056, Korea

² Industrial Cooperation Foundation, Jeonbuk National University, Jeonju 54896, Korea

(Received October 14, 2025; Revised November 6, 2025; Accepted November 7, 2025)

Abstract: The quench behavior of wires for superconducting fault current limiters at DC faults was simulated, with a focus on the effect of capacitor discharge on the quench. The behavior was also expressed in mathematical forms to facilitate a better understanding of the simulation results and for rough analytical estimations of the wire length suitable for the circuit voltage and capacitance. The quench resistance development behavior for various wire lengths and circuit capacitances was simulated using the model developed in the previous work. The quench behavior was expressed in mathematical forms, reflecting the concept of heat balance. During the quench, the wire temperature increased more slowly for longer wires, but was found to increase in a similar pattern. The wire length estimated by the mathematical formula was close to the one obtained by the simulation, with an error range of a few %. The calculations will be used to estimate effectively the length of wires needed to build superconducting fault current limiters for applications in DC power systems.

Keywords: Quench simulation, Analytical quench calculation, Superconducting wires, DC fault, Superconducting fault current limiter

1. 서론

데이터 센터, 전기 차 충전, LED 조명 등으로 인해 직류 전력의 수요가 증가하고 있다. 또한 분산 전원 및 신 재생 에너지원들이 대부분 직류를 생산하기 때문에 직류 계통이 주목을 받고 있다.

직류계통은 교류계통이나 다른 직류 계통에 변환기로 연결된다 (그림 1). 직류계통에 고장이 발생하면 변환기 내의

반도체 소자가 자기 보호를 위해 개방되기 때문에 직류계통은 분리되어 커패시터와 직류 선로로 구성된 RLC 회로가 된다. 이에 따라 커패시터가 방전하게 되고 큰 고장전류가 고속으로 발생한다 [1]. 그리고 커패시터가 방전한 후에는 반도체 소자에 역병렬로 연결된 다이오드가 도통하게 되어 직류 선로의 인덕터가 방전하면서 역병렬 다이오드에 전류가 흘러 역병렬 다이오드가 손상될 우려가 있다. 이 문제를 해결하는 데에 차단기를 사용하여 고장전류를 차단하거나 역병렬 다이오드를 바리스터로 보호하는 등의 방법을 사용하고 있다. 직류 차단기에는 전자식과 기계식이 있는데, 전자식 차단기의 차단 시간은 매우 짧으나(수백 μ s) 상시 손실이 크고, 기계식 차단기는 차단 시간이 수십

✉ Hye-Rim Kim; hkrkim1084@hanmail.net

Copyright ©2026 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

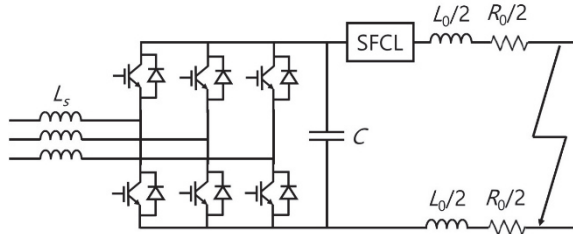


Fig. 1. A schematic of a DC circuit connected to an AC circuit via an AC/DC converter under short-circuit conditions.

ms이고 직류에는 0점이 존재하지 않으므로 고장전류를 차단하기 어려운 문제가 있다.

직류 회로에 초전도 한류기를 적용하면, 단락 시 회로에 일정한 값(임계전류) 이상의 전류가 흘렀을 때 초전도체의 특성에 의해 초전도체에 큰 저항이 고속으로 발생(퀵치, quench)하여 고장전류가 파고(peak)에 도달하기 전에 고장전류를 제한한다. 따라서 초전도 한류기는 고속으로 증가하는 고장전류를 제한하는데 적합하다 [2]. 이에 따라 직류 계통 적용을 위한 초전도 한류기 실용화 개발이 진행되고 있다 [3,4]. 또한 고장전류를 제한함으로써 회로에 있는 직류 차단기의 차단 부담을 줄여주는 이점이 있다.

초전도 한류기를 설계함에 있어 만족해야 할 요구 사항 중의 하나가 초전도 한류기를 구성하는 초전도 선재가 과열되지 않아야 한다는 점이다. 초전도 선재에 고장전류가 흐르면 선재가 퀵치하여 고장전류가 제한되는데, 이 때 주 열이 발생하여 선재의 온도가 상승하게 된다. 선재의 온도가 너무 높아지면 선재가 손상될 우려가 있다. 퀵치 시 선재의 온도가 증가하는 정도는 선재의 길이에 따라 다른데 선재가 과열하지 않도록 선재의 길이가 충분히 길어야 한다. 그러나 선재가 길면 초전도 한류기를 제작하는 데 드는 비용이 증가하기 때문에 적정 길이를 도출할 필요가 있다.

직류 계통에서는 단락 시 커패시터가 방전하여 회로 전압이 감소하게 된다. 단락 시 초전도 선재의 온도는 회로 전압과 관련이 있으므로 커패시터의 방전은 초전도 선재의 온도 증가에 영향을 미치게 된다. 이전 연구에서 초전도체의 퀵치 거동 모델을 개발하였다 [5]. 이 모델을 직류 회로에 연결된 초전도 선재에 적용하여 여러 선재 길이에 대해 선재의 온도를 모의 계산(simulation)함으로써 적정 길이를 도출할 수 있지만, 비효율적일 뿐 아니라 관련 현상에 대해 이해할 수 없이 모의 계산만 하게 되는 문제점이 있다.

본 논문에서는 직류 회로에 연결된 초전도 선재의 길이에 따른 퀵치 특성을 모의 계산한 결과를 나타내었다. 아울러 퀵치 특성을 수학적으로 나타내어 모의 계산 결과에 대한 이해도를 높이고 회로 전압, 회로 커패시터의 정전 용량

(capacitance), 단락 시간 등의 회로 사양에 적합한 초전도 선재의 길이를 해석적으로 도출하였다.

2. 계산 방법

직류계통은 교류/직류 변환기를 통하여 교류계통과 연결되는데, 교류/직류 변환기 후단 근처에서 고장 발생 시 고장전류가 크다. 초전도체는 고장전류가 파고에 도달하기 전에 고속으로 큰 고장전류를 차단 가능한 전류로 제한할 수 있으므로 이 지점에 초전도 한류기를 적용하는 경우에 대해 (그림 1) 직류 회로가 단락 되었을 때의 초전도 한류기를 구성하는 초전도 선재의 퀵치 특성을 계산하였다. ± 750 V 직류 회로에 극간(pole-to-pole) 단락이 발생하는 경우에 대해 계산하였다.

계산의 대상으로 Ag/초전도체($\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$)/완충층/기판(하스텔로이)으로 구성된 초전도 선재를 선택하였다. 초전도체는 벌크 형태로도 제조할 수 있으나 [6] 상용화 측면에서는 경제성, 부피, 취급 용이성 등을 고려하여 주로 초전도 선재를 사용하기 때문이다. 초전도 선재의 임계전류는 275 A, 폭은 1.2 cm로, Ag 층, 초전도체 층, 기판의 두께는 각각 2 μm , 1 μm , 50 μm 로 설정하였다.

단락 시작 후 수 ms ~ 수십 ms에 선재의 온도가 300 K에 도달하는 경우에 대해 계산하였다. 초전도 선재가 과열되면 손상할 수 있는데 여유를 두어 300 K 이하에서는 안전하다고 알려져 있다. 퀵치 시 초전도 선재가 도달하는 온도는 단락 시간의 영향을 받는다. 단락 시간이 길면 온도가 계속 증가하여 선재가 도달하는 온도가 높아진다. 그러므로 회로에 있는 차단기 등의 개폐 장치가 동작하여 단락 전류를 제거하기 전에 과열되지 않도록 해야 한다. 직류 차단기의 차단 시간은 전자식(전자식과 기계식이 복합된 복합형 포함)의 경우 수 ms 이내이고 기계식의 경우 수십 ms이다. 따라서 수 ms ~ 수십 ms의 단락 시간 내에 초전도 선재의 온도가 300 K 이내에 있도록 선재의 길이를 정할 필요가 있다.

초전도 선재의 퀵치 특성을 수학 식으로 표현하여 해석적으로 계산하는 데에는 열 균형의 개념을 반영하였다. 퀵치 특성에 대한 모의 계산은 이전 연구에서 개발한 초전도체 모델을 사용하여 수행하였다 [5]. 이 모델에서는 초전도체 층의 임계전류밀도 불균일성, 자속 흐름(flux flow) 상태에서의 특성과 초전도 층과 비 초전도 층과의 전류 공유, 퀵치 시 주변으로의 열 전달 등이 고려되었다. 모의 계산의 검증은 이전 연구 [5]에서 교류 단락실험 데이터를 사용하여 수행한 데 이어, 문헌 [7]의 직류 단락실험 데이터를 사

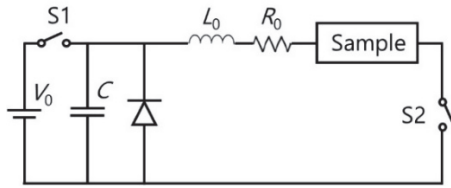


Fig. 2. A schematic of the test circuit with which the data used in the simulation verification were taken [7].

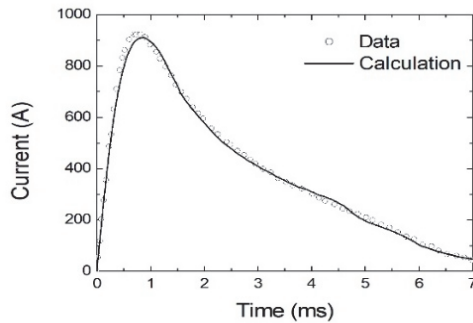


Fig. 3. Calculation results along with data from [7] for the sample current.

용하여 진행하였다. 문헌에서는 American Superconductor의 모델 8602 초전도 선재로 제작한 두 개의 코일을 겹쳐서 전류가 반대 방향으로 흐르도록 연결한 시료에 대하여 시험하였다. 초전도 선재는 안정화재/보호층/초전도체/완충층/기판/안정화재로 구성된 테이프였다. 초전도체($\text{Yb}_2\text{Cu}_3\text{O}_{7-6}$) 층은 완충 층이 입혀진 Ni 합금 기판에 증착되어있고 초전도 층 위에는 은(Ag) 보호 층이 있으며 보호 층과 기판에 두께 $75\text{ }\mu\text{m}$ 의 스테인레스 강 테이프가 접합되어 있다. 선재의 임계전류는 77 K , 자기 자기장 하에서 $1\text{ }\mu\text{V/cm}$ 기준으로 253 A 이고, 선재의 폭은 1.2 cm , 길이는 7.0 m , 두께는 $220\text{ }\mu\text{m}$ 였다. 모의 계산 검증에 사용된 한류 거동 데이터는 단락 모의 회로 (그림 2)를 사용하여 측정되었다. 스위치 S1을 닫아서 커패시터를 직류 전원으로 충전한 후에 S1을 연 다음, 스위치 S2를 닫음으로써 단락을 모의하였다. 커패시터의 정전 용량은 12 mF 였다. 그림 3에 커패시터를 200 V 로 충전한 경우에 대한 모의 계산 결과를 문헌의 데이터와 함께 나타내었다. 계산 결과가 데이터와 잘 맞음을 알 수 있다.

3. 결과 및 고찰

그림 4에 직류 회로에 적용된 길이 8 m 의 초전도 선재

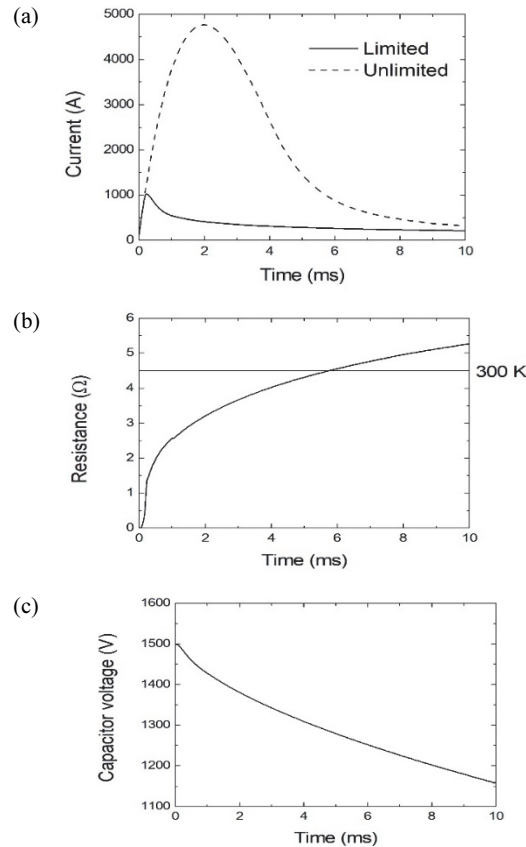


Fig. 4. Calculation results for (a) the current and (b) the resistance of an 8 m long superconducting wire, and (c) the voltage across the capacitor. The capacitance is 0.01 F .

의 회로 단락 시 퀵치 특성 계산 결과를 나타내었다. 계산에서 커패시터의 정전 용량, 회로 저항 및 임피던스는 각각 0.01 F , $0.18\text{ }\Omega$ 및 0.28 mH 로 설정하였다. 초전도 한류기가 없을 때에는 커패시터 방전으로 인해 고장전류가 단락 후 약 2.0 ms 에 $4,760\text{ A}$ 에 이르는 것으로 나타났다. 한류기가 있을 때에는 그림 4(b)에 보인 바와 같이 퀵치 저항이 급격히 발생하여 최대 고장전류가 $1,022\text{ A}$ 로 감소하였다. 전류가 최댓값에 이른 후에 가파르게 감소하다가 완만히 감소하여 10 ms 에 약 321 A 가 되었다. 저항은 0.3 ms 내에 급격히 증가하다가 비교적 완만히 증가하여 약 5.7 ms 에 상온 저항 값(약 $4.5\text{ }\Omega$)에 이르렀다. 이는 커패시터의 정전 용량이 0.01 F 이고 회로 전압이 $1,500\text{ V}$ 인 경우에 회로에 있는 직류 차단기가 5.7 ms 에 차단하여 단락 시간이 5.7 ms 라면 초전도 한류기 제작에 필요한 초전도 선재의 길이는 8 m 이상이어야 함을 의미한다. 커패시터 전압은 완만하게 감소해서 단락 후 10 ms 에 $1,157\text{ V}$ 에 이르렀다.

그림 5에 초전도 선재의 길이에 따른 저항 발생 거동에

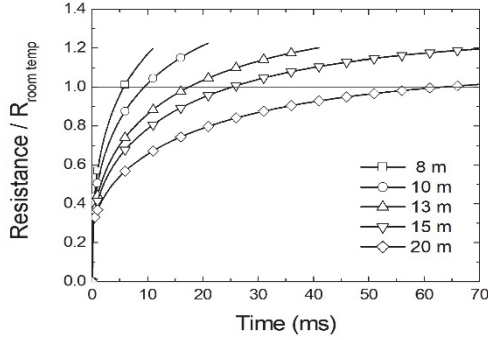


Fig. 5. Calculation results for the normalized resistance of superconducting wires for selected wire lengths. The capacitance is 0.01 F.

대한 계산 결과를 나타내었다. 초전도 선재의 길이가 다른 비 저항이 같더라도 저항 값이 다르므로 저항을 상온 저항 값으로 나눈 값을 나타내었다. 길이가 길수록, 즉 초전도 선재의 단위 길이 당 인가되는 전압이 작을수록 저항이 느리게 증가하여 상온 저항 값에 도달하는 데 오래 걸리는 것으로 나타났다. 길이가 8 m, 10 m, 13 m, 15 m 및 20 m일 때 단락 후 각각 5.7 ms, 9.4 ms, 17.5 ms, 25.2 ms 및 63.0 ms에 상온 저항 값에 도달하였다. 즉, 단락 시간이 63.0 ms라면 초전도 한류기 제작에 필요한 선재의 길이는 20 m 이상이어야 한다.

초전도 선재에서의 저항 발생 거동을 아래와 같이 정량적으로 설명할 수 있다. 초전도체에 임계 전류를 초과하는 전류가 흐르면 저항이 발생하고 이에 따라 초전도체에 주울 열이 발생한다. 초전도체에 발생한 주울 열의 일부는 주변으로 전달되고 나머지 열이 초전도체의 온도를 상승시킨다. 아래의 열 균형 방정식이 이 현상을 수학적으로 나타낸다.

$$C_h(T) \frac{dT}{dt} + G(T - T_0) = P \quad (1)$$

여기서 C_h , G , P 및 T_0 는 각각 초전도 선재의 열 용량, 선재에서 주변으로의 열 전달 계수, 주울 열 및 주변의 온도이다. 좌변의 첫째 항은 초전도체의 온도를 상승시키는 열을, 두 번째 항은 초전도 선재로부터 주변으로 전달되는 열을 나타낸다. C_h 와 G 는 온도에 따라 변한다 [8,9].

주변으로의 열 전달이, 즉 식 (1)의 좌변 두 번째 항이 초전도 선재에 발생하는 저항에 미치는 영향을 보기 위하여 열 전달이 있는 경우와 없는 경우에서의 저항 발생 거동을 계산하여 그림 6에 보였다. 선재의 길이가 8 m인 경우에는 초전도 선재의 저항이 상온 저항을 초과한 후까지 저항

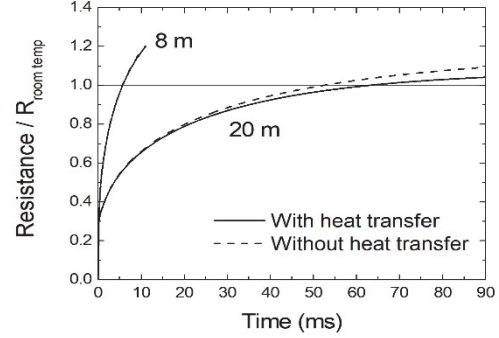


Fig. 6. Calculation results for the normalized resistance of the 8 m and the 20 m long superconducting wires with and without heat transfer to the surroundings. The capacitance is 0.01 F.

의 차이가 거의 나타나지 않고, 길이가 20 m인 경우에는 단락 초기에는 거의 차이 나지 않다가 점차 차이 나는 것으로 계산되었다. 단락 후 90 ms에서 열 전달이 없을 때에 열 전달이 있을 때에 비해 저항이 약 5 % 더 발생하는 것으로 나타났다. 이와 같이 단락 초기에는 식 (1)의 두 번째 항을 무시할 수 있으므로 식 (1)은 아래와 같이 된다.

$$C_h(T) \frac{dT}{dt} = P \quad (2)$$

주울 열 $P = i v_{hts}$ 를 계산하기 위해서는 직류 회로 전류(i)와 초전도 선재 양단 전압(v_{hts})을 알아야 한다. 직류 회로에 고장이 발생하면 직류계통은 교류계통에서 분리되어 커패시터와 직류 회로로 구성된 RLC 회로가 된다 [1]. 이에 따라 커패시터가 아래 식에 따라 방전한다.

$$L_0 \frac{di}{dt} + i(t)R(t) = V_c(t) \quad (3)$$

$$R(t) = R_0 + R_{hts}(t) \quad (4)$$

여기서 L_0 , V_c , R_0 및 R_{hts} 는 각각 회로 인덕턴스, 커패시터 양단 전압, 회로 저항 및 초전도 선재 저항이다. 초전도 한류기는 비유도형(non-inductive)으로 제작한다고 가정하였다.

초전도체가 켜진 후의 초전도 선재 양단 전압은 회로 저항의 양단 전압과 인덕터의 양단 전압보다 훨씬 크므로 계산을 단순하게 하기 위해 R_0 과 L_0 를 무시하였다. $i = -dQ/dt = -C_e dV_c/dt$ 이므로 (여기서 C_e 는 커패시터의 정전 용량이다), 식 (3)은

$$R_{hts}(t)C_e \frac{dV_c}{dt} + V_c(t) \approx 0 \quad (5)$$

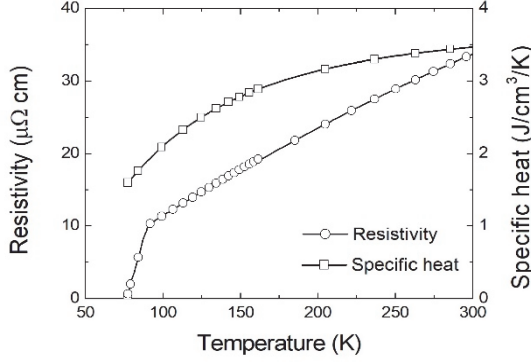


Fig. 7. The resistivity and the specific heat of the superconducting wire on which calculations were carried out.

가 되고, 이 미분 방정식을 풀면 $V_c(t)$ 는 아래와 같이 나타난다.

$$V_c(t) \approx V_{c0} \exp \left(- \int_0^t \frac{ds}{R_{hts}(s) C_e} \right) \quad (6)$$

그러면, 초전도 선재에 발생하는 주열 열은

$$\begin{aligned} P(t) &= i(t) v_{hts}(t) \approx \frac{V_c(t)^2}{R_{hts}(t)} \\ &\approx V_{c0}^2 \exp \left(-2 \int_0^t \frac{ds}{R_{hts}(s) C_e} \right) / R_{hts}(t) \end{aligned} \quad (7)$$

로 나타나고, 위 식을 식 (2)에 대입하면, 식 (2)는

$$R_{hts}(t) C_h(T) \frac{dT}{dt} \approx V_{c0}^2 \exp \left(-2 \int_0^t \frac{ds}{R_{hts}(s) C_e} \right) \quad (8)$$

가 된다.

열 용량 $C_h(T) = l w d c_p(T)$ 이고, 초전도 선재의 저항 $R_{hts}(T) = \rho_{hts}(T) l / (wd)$ 이다. 여기서 l , w 및 d 는 각각 초전도 선재의 길이, 폭 및 두께이고, c_p 와 ρ_{hts} 는 각각 초전도 선재의 비열과 비 저항이다. 이를 식 (8)에 대입하고 양변을 t 에 대해 단락 시작 시부터 초전도 선재의 저항이 상온 저항에 이를 때까지로 적분하면 식 (8)은 다음과 같이 된다.

$$\begin{aligned} \int_{T_0}^{300 K} \rho_{hts}(T) c_p(T) dT = \\ \left(V_{c0}^2 / l^2 \right) \int_0^{t_{300 K}} \exp \left(- \frac{2wd}{l C_e} \int_0^t \frac{ds}{\rho_{hts}(s)} \right) dt \end{aligned} \quad (9)$$

여기서 $t_{300 K}$ 는 단락 시부터 초전도 선재의 저항이 상온 저항 값에 도달한 시점까지의 시간이다. 위 식의 좌변은 초전도 선재의 비열과 비 저항의 값에 의해 결정되며 C_e 등과

같은 직류 회로 매개변수(parameter)의 영향을 받지 않는다. 주어진 선재에 대해 고정된 값을 갖는다. 그림 7에 본 연구에서 모의 계산의 대상으로 선택한 초전도 선재의 c_p 와 ρ_{hts} 를 나타내었다. 그림에 나타난 바와 같이 c_p 와 ρ_{hts} 는 온도 의존성을 가진다. 이 값들을 사용하여 식 (9)의 좌변을 계산한 결과 좌변의 값은 약 $0.015 \text{ V}^2 \text{ s/cm}^2$ 인 것으로 나타났다.

ρ_{hts} 의 시간에 따른 변화는 초전도 선재의 길이에 따라 다르므로, 식 (9) 우변 내의 적분 $\int_0^t \frac{ds}{\rho_{hts}(s)}$ 는 그림 8(a)에 보인 바와 같이 선재의 길이에 따라 다르다. 그런데 ρ_{hts} 를 시간 s 대신 $s/t_{300 K}$ 의 함수로 나타내고 이를 $s/t_{300 K}$ 에 대해 적분하면 그림 8(b)에 보인 바와 같이 선재의 길이에 따른 변화가 줄어 든다. 이는 그림 7에 나타나 있는 바와 같이 ρ_{hts} 가 온도의 함수인데, 초전도 선재의 온도가 그림 9에 보인 바와 같이 시간 t 의 함수로는 선재 길이에 따라 다르게 변화하나 $t/t_{300 K}$ 의 함수로는 선재 길이의 영향을 거의 받지 않기 때문으로 생각된다.

그림 8(b)의 계산 결과를 단순히 직선 함수 $\alpha + \beta s/t_{300 K}$ 로 나타내면,

$$\int_0^t \frac{ds}{\rho_{hts}(s)} = t_{300 K} \int_0^{t/t_{300 K}} \frac{d(s/t_{300 K})}{\rho_{hts}(s/t_{300 K})} = \alpha t_{300 K} + \beta t \quad (10)$$

가 된다. 위 식을 식 (9)에 대입하면, 식 (9)는 다음과 같이 된다.

$$\begin{aligned} \int_{T_0}^{300 K} \rho_{hts}(T) c_p(T) dT \\ = \left(V_{c0}^2 / l^2 \right) \int_0^{t_{300 K}} \exp \left(- \frac{2wd}{l C_e} (\alpha t_{300 K} + \beta t) \right) dt \\ = V_{c0}^2 t_{300 K} e^{-\delta/l} (1 - e^{-\gamma/l}) / (\gamma l) \end{aligned} \quad (11)$$

위 식을 재배치하면 다음과 같은 초전도 선재 길이 l 의 방정식이 되며, 이 방정식을 풀어 l 을 계산할 수 있다.

$$\begin{aligned} \gamma l e^{\delta/l} / l_0^2 - 1 + e^{-\gamma/l} &= 0 \\ l_0^2 &\equiv V_{c0}^2 t_{300 K} / \int_{T_0}^{300 K} c_p(T) \rho_{hts}(T) dT \end{aligned} \quad (12)$$

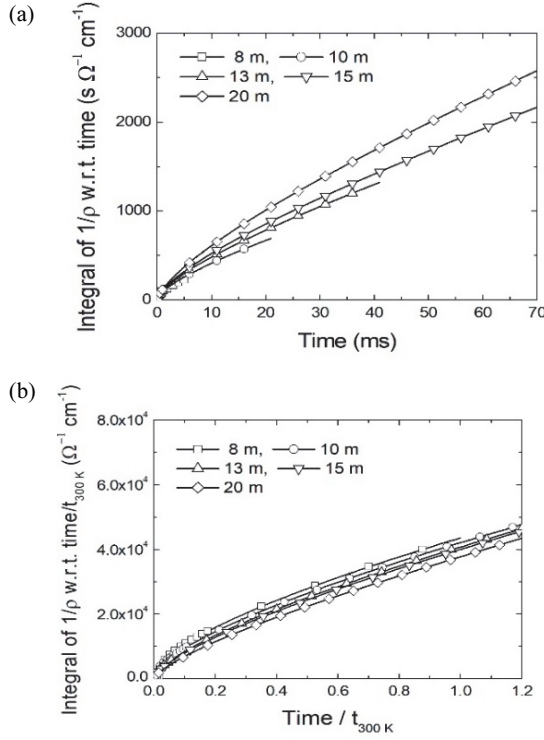


Fig. 8. Integral of the inverse of the resistivity of the superconducting wire of selected lengths (a) with respect to time over $[0, t_{300\text{ K}}]$ and (b) with respect to $\text{time}/t_{300\text{ K}}$ over $[0, 1]$. The capacitance is 0.01 F.

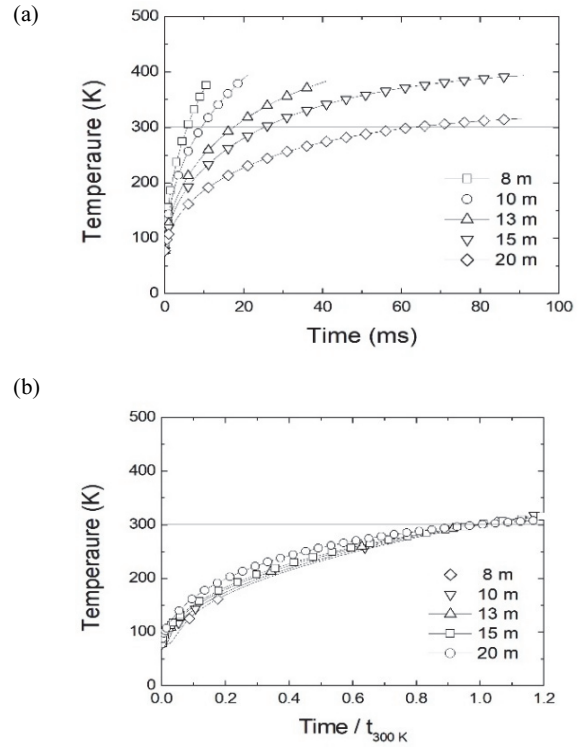


Fig. 9. Calculation results for the temperature of the superconducting wire of selected lengths plotted as functions (a) of time and (b) of $\text{time}/t_{300\text{ K}}$. The capacitance is 0.01 F.

Table 1. Estimated superconducting wire lengths suitable for selected values of $t_{300\text{ K}}$. The capacitance is 0.01 F.

$t_{300\text{ K}}$ (ms)	5.7	9.4	17.5	25.2	63.0	
Estimated length (m)	By simulation	8.00	10.00	13.00	15.00	20.00
	By Eq. (12)	8.42	10.51	13.63	15.70	20.48
Relative error (%)	5.3	5.1	4.8	4.7	2.4	

그림 8(b)의 값을 직선 함수에 맞추어 얻은 α 와 β 의 값은 각각 $3.5 \times 10^3 (\Omega \text{ cm})^{-1}$ 와 $4.0 \times 10^4 (\Omega \text{ cm})^{-1}$ 이었다.

그림 9(a)에 나타난 것처럼 $t_{300\text{ K}}$ 이 5.7 ms, 9.4 ms, 17.5 ms, 25.2 ms 및 63.0 ms인 경우에 대해 위 식 (12)를 사용하여 선재의 길이를 계산하고 그 결과를 표 1에 나타내었다. 표에 모의 계산을 통해 얻은 값도 함께 나타내어 비교하였다. 상대 오차가 수 % 범위에 있었으며 $t_{300\text{ K}}$ 이 증가함에 따라 작아지는 경향이 있었다. 위 식을 유도하는 과정에서 계산을 단순하게 하기 위해 회로 저항 R_0 과 임피던스 L_0 를 무시하였고 $\int_0^t \frac{ds}{\rho_{\text{hts}}(s)}$ 를 직선 함수에 맞추었다. 이러한 단순화는 단락 초기의 저항 발생에 대한 계산 결과에 주로 영향을 미치는데 이 때문에 $t_{300\text{ K}}$ 이 작은 경우에 더 영향을 받

은 것으로 생각된다. $t_{300\text{ K}}$ 이 긴 경우에는 초전도 선재로부터 주변으로의 주울 열 전달도 영향을 미친 것으로 생각된다.

직류 회로에 있는 직류 차단기의 차단 시간이 5.0 ms인 경우와 50 ms인 경우에 적합한 초전도 선재의 길이를 계산하였다. 회로 커패시터의 정전 용량은 위에서와 같이 0.01 F로 설정하였다. 우선 식 (12)를 이용하여 대강의 길이를 계산한 결과 각각의 경우에 대해 7.9 m와 19.8 m이었다. 이를 바탕으로 표 1에 나타난 경향을 참고하여 모의 계산을 수행하였고, 선재의 길이가 약 7.5 m와 약 18.8 m인 경우에 단락 시작 후 각각 약 5.0 ms와 50 ms에 선재의 온도가 약 300 K에 이르는 것으로 나타났다.

식 (6)에 나타난 바와 같이, 커패시터가 방전함에 따라 커패시터 양단 전압 V_C 가 감소하여 초전도 선재의 저항 발

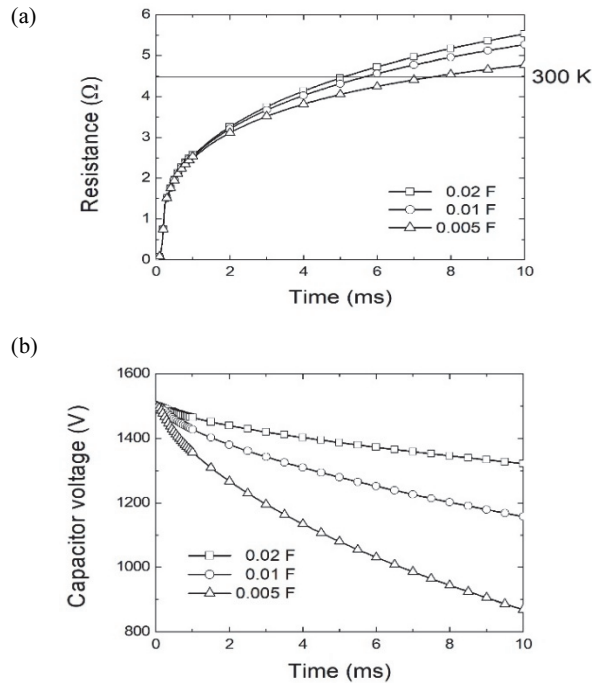


Fig. 10. Calculation results for (a) the resistance of an 8 m long superconducting wire and (b) the voltage across the capacitor of selected capacitances.

Table 2. Estimated superconducting wire lengths suitable for selected values of $t_{300\text{ K}}$. The capacitance is 0.02 F.

$t_{300\text{ K}}$ (ms)		5.2	19.3
Estimated length (m)	By simulation	8.00	15.00
	By Eq. (12)	8.45	15.63
Relative error (%)		5.6	4.2

생 거동에 영향을 미친다. 그림 10(a)에 길이 8 m의 초전도 선재 저항 R_{hts} 의 커패시터 정전 용량 C_e 에 따른 변화를 나타내었다. 그림에서 C_e 가 큰 경우에 R_{hts} 가 빠르게 증가함을 볼 수 있다. 이는 그림 8(b)에 나타낸 바와 같이 C_e 가 큰 경우에 식 (6)에 나타낸 바와 같이 V_c 가 천천히 감소하여 C_e 가 작은 경우에 비해 V_c 의 값이 크다. V_c 가 크면 주울 열이 많이 발생하여 온도가 빠르게 상승하고 선재의 저항은 온도에 따라 증가하므로 (그림 7) 빠르게 상승한다.

C_e 가 $t_{300\text{ K}}$ 에 맞는 초전도 선재 길이에 미치는 영향을 알아보기 위하여, C_e 가 0.02 F일 때와 0.005 F일 때, $t_{300\text{ K}}$ 에 적합한 초전도 선재의 길이를 식 (12)와 모의 계산을 통하여 계산하였다. C_e 가 0.02 F인 경우에 대해서 $t_{300\text{ K}}$ 가 5.2 ms와 19.3 ms가 되기 위해 필요한 초전도 선재의 길이를

Table 3. Estimated superconducting wire lengths suitable for selected values of $t_{300\text{ K}}$. The capacitance is 0.005 F.

$t_{300\text{ K}}$ (ms)		7.6	31.2
Estimated length (m)	By simulation	8.00	12.00
	By Eq. (12)	8.40	11.52
Relative error (%)		5.0	4.0

구하여 표 2에 나타내었다. 그리고 C_e 가 0.005 F인 경우에 대해서 $t_{300\text{ K}}$ 가 7.6 ms와 31.2 ms인 경우에 맞는 선재의 길이를 구하여 표 3에 나타내었다. 이들 표에서 C_e 가 0.01 F인 경우와 마찬가지로 식 (12)를 사용하여 계산한 선재 길이의 값이 모의 계산에서 얻은 값의 수 % 오차 범위 내에 있음을 알 수 있다.

4. 결론

직류 회로에 적용된 초전도 한류기 선재에 대하여 회로 단락 시 저장 발생 거동을 계산하였다. 이전 연구에서 개발한 초전도체의 쿨지 거동 모델을 사용하여 초전도 선재의 길이와 회로 커패시터의 정전 용량에 따른 저항 발생 변화를 계산하였다. 아울러 계산 결과에 대한 이해를 높이고 초전도 한류기 설계 시 소요되는 초전도 선재의 길이를 효과적으로 도출하기 위하여 열 균형 개념을 반영하여 저항 발생 거동을 수학적으로 표현하였다. 단락 시 초전도 선재의 길이에 따라 선재의 온도 상승의 속도는 다르지만 온도 상승의 양상은 거의 같고, 수학적 식으로 계산한 선재의 길이 값이 모의 계산으로 얻은 값과 수 %의 오차 범위 내에서 유사한 것으로 나타났다. 본 연구 결과는 직류 계통에 적용되는 초전도 한류기를 설계함에 있어서 초전도 한류기를 제작하는데 소요되는 초전도 선재의 길이를 효과적으로 도출하는 데에 활용될 예정이다.

ORCID

Hye-Rim Kim

<https://orcid.org/0009-0005-8553-8989>

REFERENCES

- [1] J. Yang, J. E. Fletcher, and J. O'Reilly, *IEEE Trans. Power Del.*, **25**, 2308 (2010).
doi: <https://doi.org/10.1109/TPWRD.2010.2044813>
- [2] B. Li, C. Wang, Z. Wei, Y. Xin, B. Li, and J. He, *IEEE Trans.*

- Appl. Supercond.*, **28**, 5602805 (2018).
doi: <https://doi.org/10.1109/TASC.2018.2811961>
- [3] M. Song, S. Dai, C. Sheng, L. Zhong, X. Duan, G. Yan, Y. Huang, L. Li, C. Chen, L. Cai, and T. Ma, *IEEE Trans. Appl. Supercond.*, **31**, 5602307 (2021).
doi: <https://doi.org/10.1109/TASC.2021.3079913>
- [4] N. Magnusson, A. Allais, G. Angeli, G. Bouvier, C. E. Bruzek, J. Candido, C. Creusot, M. Gammelsæter, E. Garofalo, F. Gömöry, E. Hodge, S. Holé, A. Marian, A. Morandi, W. Reiser, and B. West, *IEEE Trans. Appl. Supercond.*, **34**, 5400205 (2023).
doi: <https://doi.org/10.1109/TASC.2023.3340646>
- [5] H. R. Kim, B. M. Ahn, and B. S. Han, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **38**, 311 (2025).
doi: <https://doi.org/10.4313/JKEM.2025.38.3.11>
- [6] S. H. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **37**, 407 (2024).
doi: <https://doi.org/10.4313/JKEM.2024.37.4.7>
- [7] J. Xi, X. Pei, W. Song, L. Niu, Y. Liu, and X. Zeng, *Int. J. Electr. Power Energy Syst.*, **145**, 108630 (2023).
doi: <https://doi.org/10.1016/j.ijepes.2022.108630>
- [8] E. A. Young, C. M. Friend, and Y. Yang, *IEEE Trans. Appl. Supercond.*, **19**, 2500 (2009).
doi: <https://doi.org/10.1109/TASC.2009.2018275>
- [9] R. F. Barron, *Cryogenic heat transfer* (Taylor & Francis, Philadelphia, PA, USA, 1999), pp. 41–42, 64, 97–98.