


스위칭 주파수 및 듀티 사이클 변화에 따른 하프브리지 기반 베어 다이 4H-SiC MOSFET의 성능 및 출력 특성 평가

석유진^{1,2}, 김형우¹, 이호준², 하창승¹ 

¹ 한국전기연구원 전력반도체연구단 차세대반도체연구센터

² 부산대학교 전기전자공학과

Evaluation of Performance and Output Characteristics of Half-Bridge Bare Die 4H-SiC MOSFETs Under Variations of Switching Frequency and Duty Cycle

Yujin Seok^{1,2}, Hyoung Woo Kim¹, Ho-Jun Lee², and Chang-seung Ha¹

¹ Advanced Semiconductor Research Center, Power Semiconductor Research Division,
Korea Electrotechnology Research Institute (KERI), Changwon 51543, Korea

² Department of Electronic and Electrical Engineering, Pusan National University, Busan 46241, Korea

(Received October 20, 2025; Revised November 25, 2025; Accepted November 26, 2025)

Abstract: Silicon carbide (SiC) MOSFETs provide superior performance compared to traditional silicon devices under high-temperature and high-power conditions, making them particularly valuable for power electronics applications requiring high-frequency switching and high-energy efficiency. As the electric vehicle (EV) market expands, these devices are commonly packaged into six-pack modules, which can show their different electrical characteristics between the bare-die device and the package due to packaging that improves heat dissipation and other properties. This study uses bare-die SiC MOSFETs to explore their intrinsic characteristics and evaluate their performance in a half-bridge configuration. A half-bridge circuit was constructed, and performance was assessed by varying driving frequencies (10 kHz and 50 kHz) and adjusting the duty cycle between 20% and 80%. Analysis revealed that, at a fixed switching frequency, the average output voltage and average output current are proportional to the duty cycle.

Keywords: Power semiconductor, 4H-SiC, SiC MOSFET, Half-bridge circuit

1. 서론

최근 전력반도체 기술의 상용화가 가속화되면서 기존 실리콘(Si) 기반 MOSFET을 대체할 차세대 소자로 탄화규소

(SiC) MOSFET이 주목받고 있다. SiC MOSFET은 높은 항복 전압, 낮은 온저항, 우수한 열 전도성과 빠른 고전압 스위칭 특성으로 기존 Si 전력반도체 대비 우수한 특성을 가지고 전기차, 신재생 에너지 시스템, 고효율 전력 변환 응용 등 다양한 응용 분야에서 적용 범위가 확대되고 있다 [1,2].

실제 응용에서는 소자의 기계적 보호, 전기적 연결성 확보, 열 관리 향상을 위해 다양한 형태의 패키징 기술이 적용된다. 최근 SiC 하프브리지 패키징(SiC half-bridge

✉ Chang-seung Ha; cscha@keri.re.kr

Copyright ©2026 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

packaging)은 게이트 루프 인덕턴스(gate loop inductance), 파워 루프 인덕턴스(power loop inductance), 공통 소스 인덕턴스(common-source inductance)의 분리 최적화와 이중면 냉각 구조(double-sided cooling structure), 평면 패키징 방법(planar packaging method) 적용을 통해 루프 인덕턴스와 열저항을 동시에 저감하는 방향으로 발전해 왔으며, 적절한 구조 설계 시 스위칭 과도 안정성과 열 신뢰성이 향상된다 [3,4]. 그러나 패키징 레이아웃에서 기인한 루프 인덕턴스(loop inductance)와 비선형 밀리/출력 커패시턴스(miller/output capacitance, C_{oss})는 하프브리지(half-bridge)의 고속 스위칭 구간에서 파워 루프 기생 인덕턴스(power-loop stray inductance)와 상측 출력 커패시턴스(high-side output capacitance) 간 공진(resonance with underdamped oscillation)을 유발하여 드레인-소스 전압(drain-source voltage, V_{DS})의 오버슈트(overshoot)와 고주파 링잉(ringing)을 증가시키고, 이에 따른 EMI 악화를 초래하는 것으로 보고되었다 [5]. 또한 패키징 구조, 재료, 레이아웃에 따라 접합-케이스 열저항이 높아질 수 있으며, 이로 인해 접합 온도 상승과 성능 저하 위험이 증가할 수 있음이 보고되었고 이를 완화하기 위해 저열저항 패키징 등 다양한 패키징 기법이 제안되고 있다 [6,7].

따라서 SiC MOSFET의 고유 특성과 순수한 스위칭 성능을 명확히 이해하기 위해서는 패키징이 적용되지 않은 베어 다이(bare die) 상태에서의 특성 분석이 필요하다. 특히 수직형 4H-SiC MOSFET은 고전압 구동 특성, 뛰어난 열적 안정성, 높은 에너지 효율로 인해 차세대 전력 변환 시스템에서 중요한 역할을 기대할 수 있으나, 기존 연구들은 주로 패키징된 소자를 대상으로 수행되어 베어 다이 수준에서의 본질적 특성 분석은 상대적으로 부족한 실정이다.

본 연구에서는 베어 다이 기반 4H-SiC MOSFET을 이용하여 패키징, 열관리의 영향을 배제한 베어 다이 수준의 본질적 구동 특성 확인을 주요 목표로 하였으며, 이에 따라 전원 전압을 저전압으로 제한하여 듀티-주파수 변수에 대한 전력 응답을 정량화하였다. 그림 1과 같이 하프브리지 회로를 구성하고, 스위칭 주파수(switching frequency)와 듀티 사이클(duty cycle)을 변화시키며 출력 특성과 전력 변환 효율을 평가하였다. 이를 통해 패키징에 따른 영향을 배제한 상태에서 소자의 고유 특성과 스위칭 성능을 정량적으로 분석하고, 향후 SiC MOSFET 패키징 및 모듈 설계 최적화를 위한 기초 데이터를 제공하고자 한다.

본 연구의 회로는 상측(M_1 , high side)과 하측(M_2 , low side) SiC MOSFET이 직렬로 연결되어 공통 스위칭 노드에서 출력 전압(V_o)을 생성한다. 각 소자는 게이트 드라이

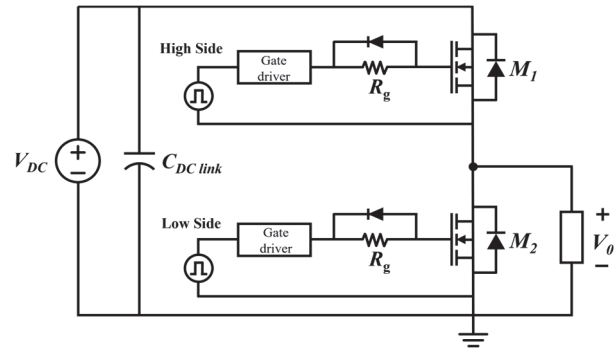


Fig. 1. Schematic diagram of the half-bridge circuit.

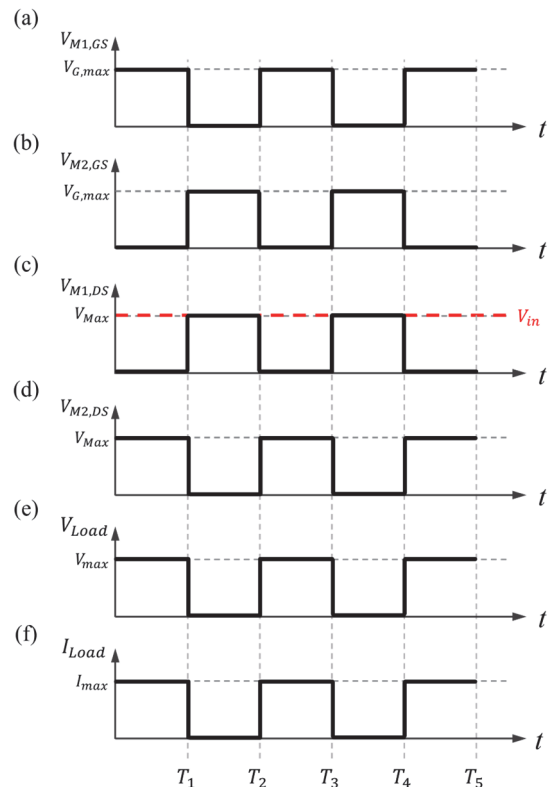


Fig. 2. Switching wave forms of the half-bridge circuit: (a) high-side MOSFET gate voltage ($V_{M1,GS}$), (b) low-side MOSFET gate voltage ($V_{M2,GS}$), (c) high-side MOSFET drain-source voltage ($V_{M1,DS}$), (d) low-side MOSFET drain-source voltage ($V_{M2,DS}$), (e) load voltage (V_{Load}), and (f) load current (I_{Load}).

버와 게이트 저항을 통해 동작 신호가 인가되며, 인가전압, 스위칭 주파수, 듀티 사이클, 부하에 따라 출력 전압과 전류를 제어한다. 하프브리지 회로는 두 개의 스위칭 소자를 교대로 동작시켜 부하에 전압을 인가하거나 차단하는 방식으로 작동한다. 본 연구에서는 부하로 단순 저항만을 연결한 구조를 사용하였을 때 동작은 다음과 같다.

하프브리지 회로를 구성하였을 경우 상측과 하측은 동시에 켜지지 않는다. 둘 중 하나가 켜질 경우 나머지는 오프 상태를 유지하여야 한다 [8]. 먼저, 상측 스위치가 턴온(turn-on)되고 하측 스위치가 턴오프(turn-off)로 유지되면 DC 전원(V_{DC})이 저항 부하를 통해 인가되어 부하에는 양(+)의 전압이 걸리고 전류가 흐른다. 이후 상측 및 하측 스위치가 모두 턴오프되면 부하에는 전압이 인가되지 않으며 저항 부하 특성에 따라 전류도 즉시 0이 된다. 마지막으로 상측 스위치가 턴오프되고 하측 스위치가 턴온되면 부하 하단이 접지와 연결되어 부하 양단 전압은 0 V가 되고 전류는 흐르지 않는다.

이러한 스위칭 과정을 반복함으로써 부하에는 스위칭 주파수와 듀티 사이클에 따라 평균 출력 전압이 형성된다. 그림 2는 하프브리지 회로의 스위칭 동작에 따른 부하 전압 및 전류의 변화를 나타낸다.

2. 실험 방법

2.1 베어 다이 4H-SiC MOSFET 소자 특성

본 연구에 사용된 소자는 베어 다이 형태의 4H-SiC 기반 수직형 MOSFET(vertical MOSFET)으로 고전압 구동을 위해 드레인 전극이 칩의 하부에 형성된 구조를 갖는다. 소스 전극은 상부 표면에 위치하며, 게이트 전극은 소스 전극 사이에 구성되어 있다. 그림 3은 해당 소자의 기본 구조를 나타낸다 [9-11].

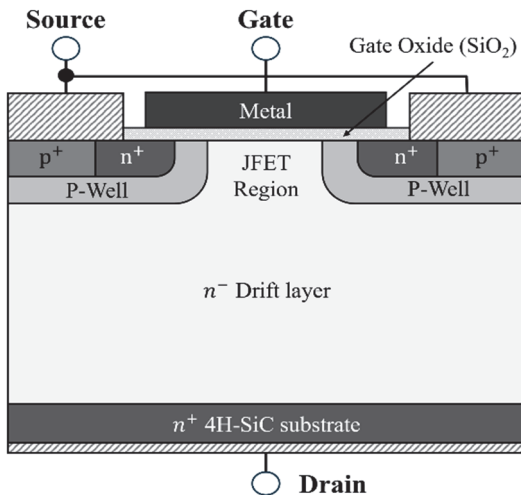


Fig. 3. The structure of the 4H-SiC VMOSFET.

소자의 전기적 특성은 베어 다이 상태에서 측정(Keysight Technologies, B1505A Power Device Analyzer/Curve Tracer)되었으며, 주요 결과는 그림 4(a)와 (b)에 제시되어 있다. 그림 4(a)는 드레인-소스 전압 변화에 따른 드레인-소스 전류(drain-source current, I_{DS})의 출력을 나타내며, 전압 증가에 따라 전류가 선형적으로 증가하는 전형적인 출력 특성을 확인할 수 있다 [12]. 그림 4(b)는 게이트-소스 전압(gate-source voltage, V_{GS}) 변화에 따른 드레인 전류의 전달특성을 나타내며, 문턱전압(threshold voltage, V_{th}) 근방에서 급격한 전류 증가가 관찰된다.

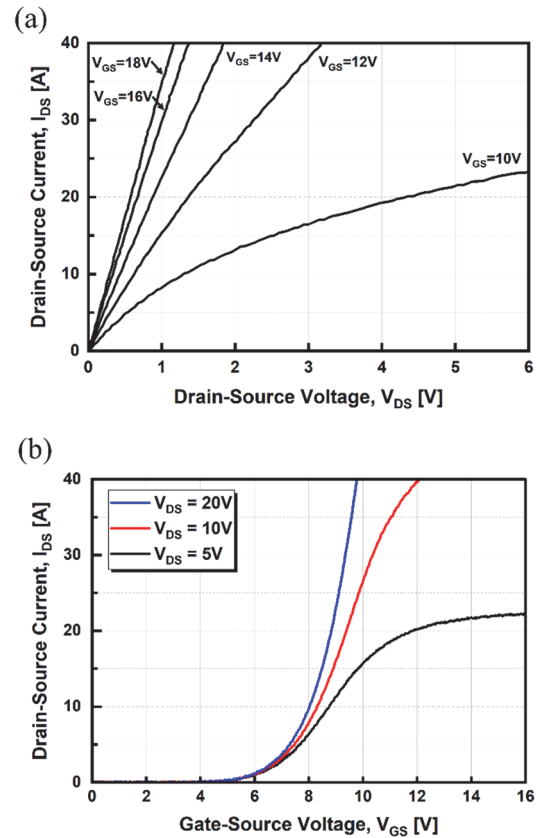


Fig. 4. (a) Output characteristics and (b) transfer characteristics of the 4H-SiC VMOSFET.

Table 1. The 4H-SiC VMOSFET characteristics parameter.

Parameter	Unit	Value
R_{on} ($V_{gs} = 18 \text{ V}$, $I_{ds} = 50 \text{ A}$)	m Ω	33.8
V_{th} ($V_{ds} = 10 \text{ V}$, $I_{ds} = 10 \text{ mA}$)	V	3.01

해당 SiC MOSFET의 주요 정특성 파라미터인 문턱전압과 온저항은 각각 3.01 V와 33.8 mΩ로 측정되었으며, 표 1에 정리하였다. 본 연구에서 사용된 4H-SiC 베어 다이 MOSFET은 비교적 짧은 채널 구조를 가지므로, 고전계에서 채널 길이 모듈레이션(channel length modulation)에 의해 포화 영역에서의 출력 특성이 완만하게 증가하는 양상이 나타난다 [13]. 이러한 특성은 짧은 채널을 갖는 SiC MOSFET에서 일반적으로 나타나는 동작 특성과 일치하며, 그림 4(a)의 출력 특성에서도 동일한 경향이 확인된다.

이러한 결과를 통해 베어 다이 상태에서도 소자가 안정적으로 동작함을 확인할 수 있었으며, 이어지는 하프브리지 회로를 통해 실제 구동 특성을 추가로 분석하고자 한다.

2.2 하프브리지 회로 제작

베어 다이 4H-SiC MOSFET 소자의 구동 특성 및 효율 분석을 위해 하프브리지 회로를 제작하였다. 제작된 하프브리지 회로는 신호 추출 및 효율 평가를 목적으로 설계되었으며, 상측과 하측 스위치 모두 베어 다이 형태의 4H-SiC MOSFET을 사용하였다. 각 소자는 게이트 드라이버(gate driver)를 통해 제어되며, 구동 신호는 PWM으로 인가된다 [14]. 소자는 수직형 4H-SiC MOSFET으로 게이트 구동은 active Miller Clamp 및 단락 보호(short circuit clamp) 기능이 포함된 하프브리지 게이트 드라이버를 사

용하였다. 4H-SiC MOSFET은 전기적으로 전도성 접착제를 이용하여 PCB 상에 부착되었으며, 게이트, 드레인, 소스 단자는 Au 와이어 본딩(Au wire bonding)을 통해 회로와 연결하였다. SiC MOSFET의 고유 특성과 스위칭 성능을 평가하기 위해서 FR4(Flame Retardant 4) 기판에 별도의 패키징이나 히트 싱크(heat sink) 등의 열 관리 구조는 적용되지 않은 와이어 본딩으로 기판을 구성하였다. 따라서 고전압 구동 시 접합 온도 상승과 파워 루프-출력 커패시턴스 공진에 따른 드레인-소스 전압 오버슈트, 링잉 등의 현상이 발생한다 [15,16]. 재현성 있는 파형 측정과 소자 정격을 고려하여 DC 링크 전압(V_{ds})을 저전압으로 제한하여 패키지 기생 성분의 영향을 배제한 스위칭 주파수, 듀티 사이클의 효과를 분리하였다.

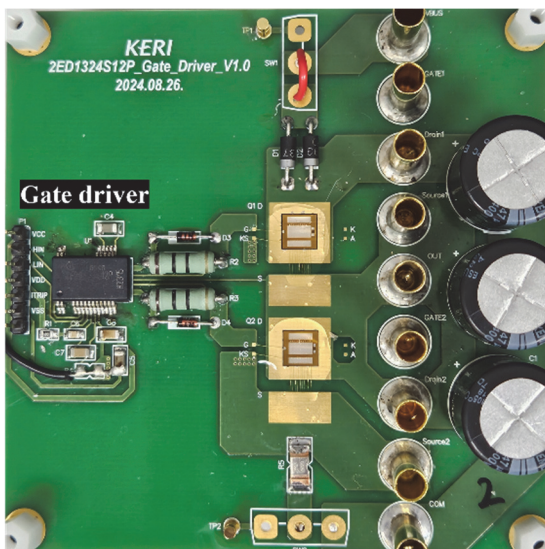


Fig. 5. Half-bridge configuration of 4H-SiC MOSFETs for signal extraction and efficiency analysis with an enlarged view of MOSFET connections.

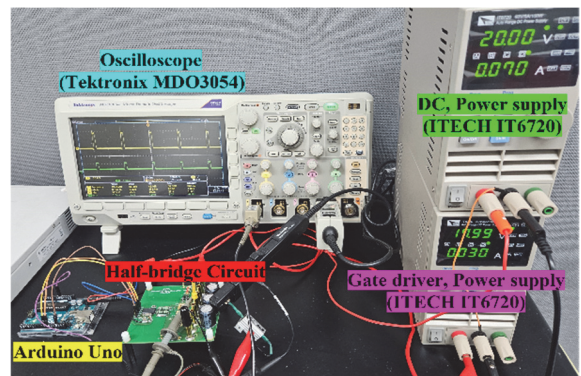


Fig. 6. Experimental setup for half-bridge circuit.

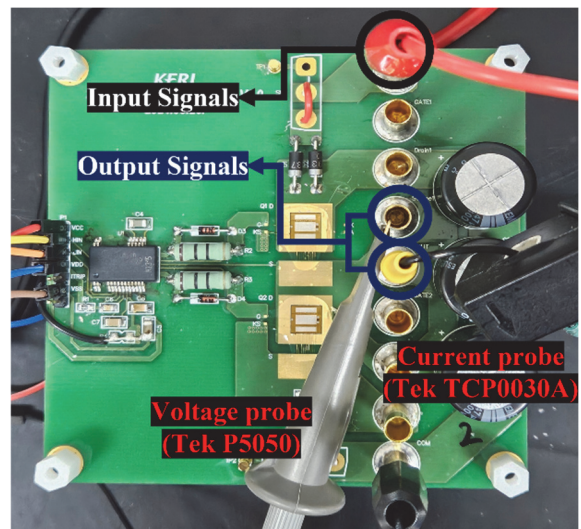


Fig. 7. Measurement probe placement for input and output signals in half-bridge configuration.

Table 2. Test system parameters.

Parameter	Unit	Value
V_{ds}	V	20
V_g	V	18
R_g	Ω	10
R_{load}	Ω	154
Switching frequency	kHz	10, 50
Duty cycle	%	20, 40, 60, 80

2.3 실험 시스템 구성

본 실험에서는 하프브리지 회로 구동을 위해 아두이노 (Arduino)를 이용하여 게이트 드라이버를 제어하였다. 상측 및 하측 SiC MOSFET에는 상보적인 주파수 입력 신호를 인가하여 하프브리지 동작을 구현하였다. 구동 신호는 게이트 드라이버를 통해 각각의 MOSFET에 전달되어 상하 스위치가 교대로 스위칭되도록 하였다.

회로의 입력 및 출력 특성을 정확히 측정하기 위해 Tektronix 사의 전류 프로브(TCP0030A)와 전압 프로브(P6500)를 사용하였다. 전류 프로브는 회로 입력단에 연결하고 전압 프로브는 출력단에 각각 연결하여 실시간 파형을 관측하였으며, 이를 통해 구동 조건에 따른 전류 및 전압 특성 변화를 분석하였다.

해당 회로를 기반으로 다양한 주파수 및 듀티 사이클 변화 하에서 실험을 수행하여 소자의 출력 특성과 전력 변환 효율을 평가하였다.

실험에 적용된 주요 조건은 표 2에 요약되어 있다. DC 링크 전압(V_{ds})은 20 V, 게이트 전압(V_g)은 18 V로 인가하였다. 게이트 저항(R_g)은 10 Ω , 부하 저항(R_{load})은 154 Ω 으로 구성하였다. 스위칭 주파수는 10-50 kHz, 듀티 사이클은 20-80% 범위로 조정하였다.

3. 결과 및 고찰

3.1 하프브리지 회로에서 입력 및 출력 파형

본 실험에서는 하프브리지 회로의 동작 특성을 평가하기 위해 입력 전압(V_{in}), 입력 전류(I_{in}), 출력 전압(V_{out}), 출력 전류(I_{out}) 파형을 측정하였다. 측정은 스위칭 주파수 50 kHz 및 듀티 사이클 60% 조건에서 수행되었으며, 그림 8에 그 결과를 제시하였다. 그림 8(a)는 입력 전압과 입력 전

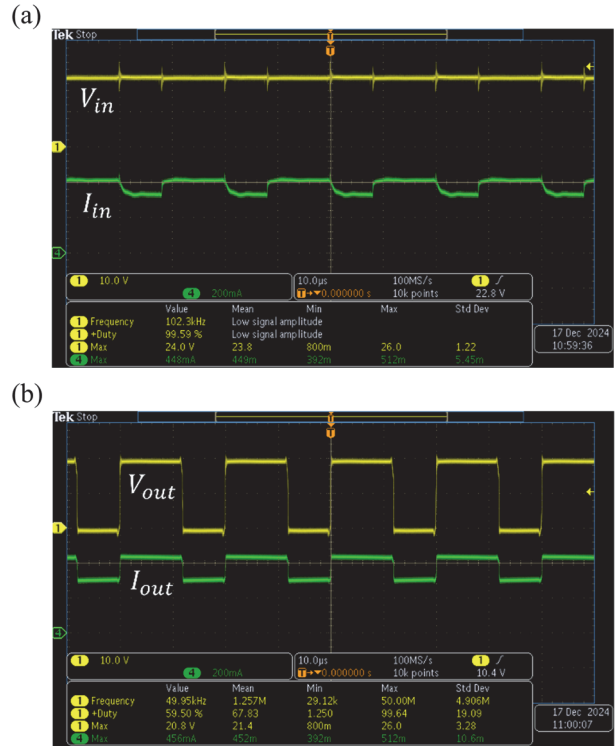


Fig. 8. Switching waveforms at 50 kHz and 60% duty cycle: (a) input voltage (CH1) and current (CH2) switching waveforms and (b) output voltage (CH1) and current (CH2) switching waveforms.

류의 파형을 나타낸다. 입력 전압은 일정한 진폭을 유지하였으며, 스위칭 주기에 따라 주기적인 변동 없이 안정적으로 유지되는 것을 확인할 수 있다. 입력 전류는 스위칭에 따라 소폭의 변동이 관찰되었으나, 전반적으로 안정적인 구동 특성을 나타내었다. 그림 8(b)는 출력 전압과 출력 전류의 파형을 보여준다. 출력 전압은 스위칭 주파수 및 듀티 사이클에 따라 주기적으로 변화하는 형태를 보였으며, 듀티 사이클이 60%로 설정됨에 따라 high 레벨 유지 시간이 low 레벨 대비 길게 나타났다. 출력 전류 역시 출력 전압의 변동에 따라 주기적인 상승과 하강을 반복하는 특성을 나타내었다.

이러한 결과를 통해 제작된 하프브리지 회로가 설정한 주파수 및 듀티 조건에 따라 안정적으로 스위칭 동작을 수행함을 확인할 수 있었다.

본 실험에서는 주파수 및 듀티 사이클 변화에 따른 하프브리지 회로의 출력 전압과 전류 특성을 분석하였다. 그림 9는 각각 10 kHz와 50 kHz 구동 조건에서 듀티 사이클 (20%, 40%, 60%, 80%)을 변화시킨 경우의 출력 전압 및 출력 전류 파형을 나타낸다. 그래프의 좌측 축은 출력 전압, 우측 축은 출력 전류를 각각 나타낸다. 그림 9(a)는 스

위칭 주파수 10 kHz에서 듀티 사이클을 변화시킨 결과를 보여준다. 듀티 사이클이 증가함에 따라 출력 전압의 High 상태 지속 시간이 증가하는 것을 확인할 수 있으며, 이에 따라 평균 출력 전력이 증가하는 경향을 보였다. 듀티 사이클 변화에 비례하여 High 구간에서의 전류 듀티 사이클도 증가하였다.

한편, 그림 9(a)의 mA 수준 저출력 파형에서는 오프(off) 구간에서 소량의 잔류전류가 관찰된다. 이러한 현상은 측정에 사용된 션트 저항(shunt resistor)의 오프셋 전압과 검출기 노이즈(detector noise), 측정 시스템의 배경 노이즈(background noise)가 결합되어 형성되는 노이즈 플로어(noise floor)에 의해 0 A 부근의 전류가 미세하게 검출되는 저전류 측정 한계에 기인한다 [17]. 또한 스위칭 종료 시점에서 MOSFET의 내부 출력 드레인-소스 전압의 과도적 변화에 따라 변위전류(displacement current)가 유도되어, 채널 오프(channel off) 이후에도 짧은 시간 동안 충·방전 전류가 흐를 수 있다 [18]. 이러한 요인에 의해 전류 파형은 스위칭 직후 즉시 0 A로 수렴하지 않고 mA 수준의 잔류 성분으로 나타난다.

그림 9(b)는 스위칭 주파수 50 kHz에서 측정한 결과로,

10 kHz 결과와 유사한 경향을 나타내었다. 듀티 사이클이 커질수록 출력 전압의 인가 시간이 길어지고 이에 따라 출력 전류의 High 구간의 듀티 사이클도 증가하였다. 특히 고주파 동작에서는 스위칭에 따른 과도현상이 상대적으로 짧게 나타났다.

3.2 스위칭 주파수 및 듀티 사이클 변화에 따른 전력 효율

하프브리지 회로의 입력 파형과 출력 파형을 기반으로 계산된 전력(power) 변화를 그림 10에 나타낸다. 입력 파형으로부터 입력 전력(input power, P_{in})을 계산하였고 출력 파형으로부터 출력 전력(output power, P_{out})을 계산하였으며, 스위칭 주파수 및 듀티 사이클에 따른 전력 특성 변화를 비교하였다 [13].

전력 계산은 다음 식을 이용하였다.

$$P_{in} = V_{in} \times I_{in} \text{ (W)} \tag{1}$$

$$P_{out} = V_{out} \times I_{out} \text{ (W)} \tag{2}$$

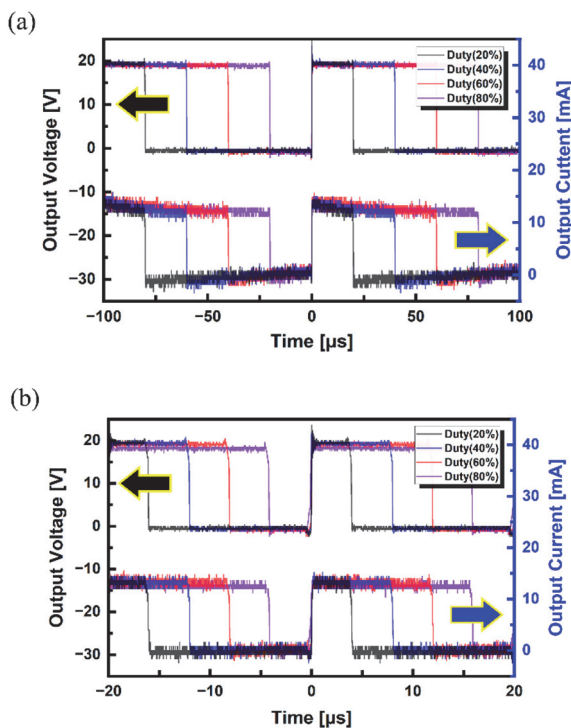


Fig. 9. Output switching waveforms for varying duty cycles: (a) output voltage and current at 10 kHz and (b) output voltage and current at 50 kHz.

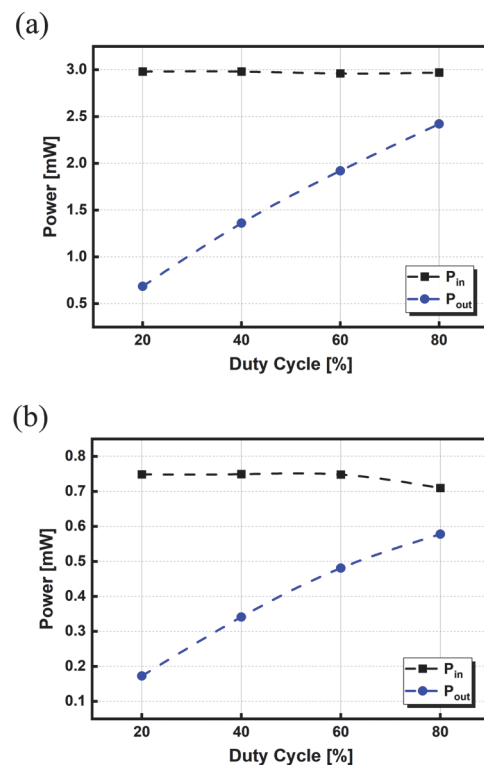


Fig. 10. Power variation with duty cycle at different frequencies: (a) 10 kHz and (b) 50 kHz.

입력 전력은 DC 전원 측에서 측정된 입력 전압(V_{in})과 전류(I_{in})를 바탕으로 계산하였으며, 출력 전력은 하프브리지 회로의 스위칭 노드와 부하 사이에서 측정된 출력 전압(V_{out})과 전류(I_{out})를 기반으로 산출하였다. 각 전력은 평균 값을 기준으로 계산하였으며, 이로부터 회로의 손실 및 효율(efficiency) 특성을 분석하였다. 그림 10(a)는 10 kHz 스위칭 주파수에서 듀티 사이클(20%, 40%, 60%, 80%) 변화에 따른 입력 및 출력 전력 변화를 나타낸다. 입력 전력은 듀티 사이클 변화에도 비교적 일정하게 유지된 반면 출력 전력은 듀티 사이클이 증가할수록 점진적으로 증가하는 경향을 보였다. 특히 80% 듀티 사이클에서는 출력 전력이 약 2.4 mW까지 상승하였다. 그림 10(b)는 50 kHz 스위칭 주파수 조건에서의 결과를 보여준다. 10 kHz 결과와 유사하게 출력 전력은 듀티비에 따라 증가하는 경향을 나타내었으나 전체 입력 전력은 10 kHz 조건 대비 낮은 수준으로 측정되었다. 또한 80% 듀티비에서는 약 0.58 mW 수준의 출력 전력이 확인되었다. 이러한 결과를 통해 하프브리지 회로의 출력 전력은 주파수 및 듀티 사이클 조절에 따라 제어 가능하며 고주파 구동 시 입력 전력 대비 출력 전력 효율이 감소하는 경향을 확인할 수 있었다.

하프브리지 회로의 에너지 변환 효율(efficiency, η)은 입력 전력과 출력 전력을 이용하여 다음 식으로 계산하였다 [19].

$$\eta = (P_{out}/P_{in}) \times 100 (\%) \quad (3)$$

그림 11은 주파수(10 kHz 및 50 kHz)와 듀티 사이클 변화(20%, 40%, 60%, 80%)에 따른 변환 효율의 변화를 나타낸다. 그림 11(a)는 10 kHz 주파수 조건에서 측정된 결과로 듀티 사이클이 증가함에 따라 효율이 점진적으로 상승하는 경향을 보였다. 20% 듀티 사이클에서는 약 22.98%의 효율을 나타냈으며, 80% 듀티 사이클에서는 약 81.48%로 효율이 크게 향상되었다. 이는 듀티 사이클 증가에 따라 평균 출력 전력이 증가하고 입출력 전력 대비 손실 비율이 감소한 결과로 해석할 수 있다. 그림 11(b)는 50 kHz 조건에서의 효율 변화를 보여준다. 전체적인 경향은 10 kHz 조건과 유사하게 듀티 사이클 증가에 따른 효율 증가 양상을 보였으며, 80% 듀티 사이클에서 81.44%의 최대 효율을 기록하였다. 다만, 10 kHz와 비교했을 때 전반적인 효율 수치는 낮은 값을 나타내었는데 이는 주파수 상승에 따른 스위칭 손실 증가에 기인한다.

스위칭 손실은 출력 커패시턴스의 충·방전 과정과 게이트-드레인 커패시턴스(gate-drain capacitance, C_{gd}) 경로를 통해 형성되는 밀러(Miller) 구간에서 게이트 전압이

거의 일정하게 유지되는 동안의 스위칭 시간, 즉 Miller plateau 지속 시간에 영향을 받는다 [18,20]. 특히 출력 커패시턴스에 저장된 전하의 충·방전 과정에서 소모되는 출력 커패시턴스 에너지 손실(output capacitance energy loss, E_{oss})은 각 스위칭 주기마다 반복적으로 발생하며, 스위칭 주파수가 증가할수록 해당 에너지의 누적 손실이 선형적으로 증가한다 [11]. 또한 SiC MOSFET은 비평탄(non-flat) 밀러 플래토(Miller plateau) 특성을 나타내며, 이 구간에서 게이트-드레인 커패시턴스의 영향으로 게이트-소스 전압의 상승이 지연된다. 이로 인해 드레인-소스 전압의 변화율이 감소하여 전압 상승 과도시간과 전압 하강 과도시간이 증가한다. 과도 구간이 길어질수록 전압과 전류의 중첩 영역이 확대되며, 그 결과 턴온 스위칭 손실(turn-on switching energy, E_{on})과 턴오프 스위칭 손실(turn-off switching energy, E_{off})이 증가하는 경향을 나타낸다 [20]. 아울러 스위칭 주파수가 상승하면 반복적인 스위칭 동작에 의해 소자 온도가 증가하며, 이때 채널 저항의 온도 의존성으로 인해 온저항이 증가한다. 이러한 온저항의 온도 의존적 증가는 도통손실(conduction loss)을 증가시켜 전체 효율을 저하시키는 요인으로 작용한다 [21]. 이러한 메커니즘이 결합하여 50 kHz 조건의 효율이

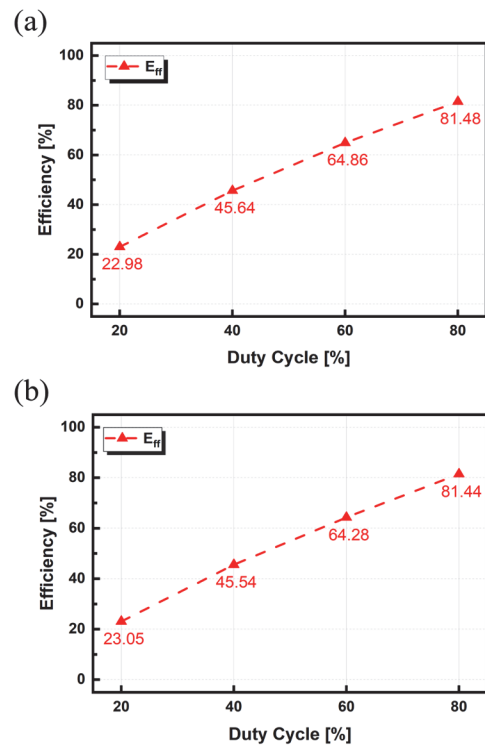


Fig. 11. Efficiency variation with duty cycle at different frequencies: (a) 10 kHz and (b) 50 kHz.

10 kHz 대비 낮게 측정된 것으로 판단된다.

이를 통해 하프브리지 회로는 주파수 및 듀티 사이클 제어를 통해 출력 특성뿐만 아니라 에너지 변환 효율까지 효과적으로 조절할 수 있음을 확인할 수 있었다.

4. 결론

본 연구에서는 베어 다이 4H-SiC MOSFET를 하프브리지 회로에 적용하여 패키징에 의한 기생 요소의 영향을 배제한 상태에서 소자의 고유한 전기적 특성과 스위칭 성능을 평가하였다. 스위칭 주파수(10 kHz, 50 kHz) 및 듀티 사이클(20%, 40%, 60%, 80%) 조건에서 출력 전압, 전류 및 전력 변환 효율을 측정하고 분석하였다.

실험 결과, 듀티 사이클이 증가함에 따라 최대 출력 전류는 감소하는 경향을 보였지만 도통 시간이 길어짐에 따라 평균 출력 전류가 증가하였다. 이로 인해 입력 전력이 일정하게 유지되는 조건에서도 출력 전력과 전력 변환 효율은 꾸준히 향상되었으며, 특히 효율은 10 kHz 구동 조건에서 22.98%에서 81.48%로, 50 kHz 구동 조건에서도 23.06%에서 81.44%로 증가하였다. 이러한 효율 향상 경향은 전력 변환 시스템 설계 시 스위칭 주파수 조정보다 듀티 사이클 최적화가 에너지 밀도 향상과 고효율 구현에 더욱 중요한 역할을 한다는 본 연구의 결론을 실험적으로 입증하였다. 또한, 패키징으로 인한 방열 기생 인덕턴스 및 커패시턴스의 영향을 배제한 상태에서 4H-SiC MOSFET의 본질적 특성을 정량적으로 분석함으로써 베어 다이 상태에서의 특성 평가는 소자의 고유 성능을 평가할 수 있음을 확인하였다. 본 연구 결과는 향후 SiC MOSFET 소자의 패키징 및 모듈 설계 최적화를 위한 기초 자료로 활용될 수 있을 것으로 기대된다.

ORCID

Chang-seung Ha

<https://orcid.org/0000-0002-4470-7230>

감사의 글

이 연구는 2025년도 정부(과학기술정보통신부)의 재원으로 국가과학기술연구회의 지원을 받아 수행된 한국전기연구원 기본사업임(No. 25A01009).

REFERENCES

- [1] J. Y. Tsao, S. Chowdhury, M. A. Hollis, D. Jena, N. M. Johnson, K. A. Jones, R. J. Kaplar, S. Rajan, C. G. Van de Walle, E. Bellotti, C. L. Chua, R. Collazo, M. E. Coltrin, J. A. Cooper, K. R. Evans, S. Graham, T. A. Grotjohn, E. R. Heller, M. Higashiwaki, M. S. Islam, P. W. Juodawlkis, M. A. Khan, A. D. Koehler, J. H. Leach, U. K. Mishra, R. J. Nemanich, R. C. N. Pilawa Podgurski, J. B. Shealy, Z. Sitar, M. J. Tadjer, A. F. Witulski, M. Wraback, and J. A. Simmons, *Adv. Electron. Mater.*, **4**, 1600501 (2018).
doi: <https://doi.org/10.1002/aelm.201600501>
- [2] T. Kimoto, *Proc. Jpn. Acad., Ser. B*, **98**, 161 (2022).
doi: <https://doi.org/10.2183/pjab.98.011>
- [3] H. Ma, Y. Yang, L. Wu, Y. Wen, and Q. Li, *IET Power Electron.*, **15**, 989 (2022).
doi: <https://doi.org/10.1049/pe12.12290>
- [4] F. Yang, L. Jia, L. Wang, F. Zhang, B. Wang, C. Zhao, J. Wang, C. F. Bayer, and B. Ferreira, *IEEE Trans. Power Electron.*, **37**, 1615 (2022).
doi: <https://doi.org/10.1109/TPEL.2021.3106316>
- [5] L. Wang, H. Ma, H. Qiu, K. Yuan, Z. Liu, and G. Cao, *IET Power Electron.*, **14**, 1684 (2021).
doi: <https://doi.org/10.1049/pe12.12146>
- [6] F. Hou, W. Wang, L. Cao, J. Li, M. Su, T. Lin, G. Zhang, and B. Ferreira, *IEEE J. Emerg. Sel. Top. Power Electron.*, **8**, 223 (2020).
doi: <https://doi.org/10.1109/JESTPE.2019.2947645>
- [7] F. Hou, W. Wang, R. Ma, Y. Li, Z. Han, M. Su, J. Li, Z. Yu, Y. Song, Q. Wang, M. Chen, L. Cao, G. Zhang, and B. Ferreira, *IEEE J. Emerg. Sel. Top. Power Electron.*, **8**, 367 (2020).
doi: <https://doi.org/10.1109/JESTPE.2019.2952238>
- [8] H. Zaman, X. Wu, X. Zheng, S. Khan, and H. Ali, *Energies*, **11**, 3111 (2018).
doi: <https://doi.org/10.3390/en11131111>
- [9] H. W. Lee, Y. J. Kim, C. J. Park, J. S. Choi, G. H. Lee, and S. M. Koo, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **38**, 101 (2025).
doi: <https://doi.org/10.4313/JKEM.2025.38.1.14>
- [10] J. Liu, J. Lu, X. Tian, H. Chen, Y. Bai, and X. Liu, *Electron. Lett.*, **56**, 1273 (2020).
doi: <https://doi.org/10.1049/el.2020.1627>
- [11] B. J. Baliga, *Fundamentals of Power Semiconductor Devices* (Springer, Cham, Switzerland, 2019), p. 1.
doi: <https://doi.org/10.1007/978-3-319-93988-9>
- [12] P. Yang, W. Ming, and J. Liang, *2020 IEEE Energy Conversion Congress and Exposition* (IEEE, Virtual, 2020), p. 2827.
doi: <https://doi.org/10.1109/ECCE44975.2020.9235594>
- [13] K. Tachiki, T. Ono, T. Kobayashi, and T. Kimoto, *IEEE Trans. Electron Devices*, **68**, 1382 (2021).
doi: <https://doi.org/10.1109/TED.2021.3053518>

- [14] J. C. Pacher Vega, J. E. Rodas Benitez, R. I. Gregor Recalde, M. Rivera, A. R. Lopez, and L. D. Comparatore Franco, *Int. J. Electron. Lett.*, **7**, 59 (2019).
doi: <https://doi.org/10.1080/21681724.2018.1426111>
- [15] M. Chen, H. Wang, D. Pan, X. Wang, and F. Blaabjerg, *IEEE J. Emerg. Sel. Top. Power Electron.*, **9**, 3947 (2021).
doi: <https://doi.org/10.1109/JESTPE.2020.2984586>
- [16] T. Liu, R. Ning, T. T. Y. Wong, and Z. J. Shen, *IEEE J. Emerg. Sel. Top. Power Electron.*, **4**, 747 (2016).
doi: <https://doi.org/10.1109/JESTPE.2016.2587358>
- [17] K. Achtenberg, J. Mikołajczyk, C. Ciofi, G. Scandurra, K. Michalczewski, and Z. Bielecki, *Measurement*, **183**, 109867 (2021).
doi: <https://doi.org/10.1016/j.measurement.2021.109867>
- [18] N. Perera, A. Jafari, R. Soleimanzadeh, N. Bollier, S. G. Abeyratne, and E. Matioli, *IEEE Trans. Power Electron.*, **37**, 7604 (2022).
doi: <https://doi.org/10.1109/TPEL.2021.3130831>
- [19] A. Setiawan, H. J. Shieh, and Y. Siddiqui, *Proc. Adisutjipto Aerospace Science and Engineering International Conference (AASEIC 2024)* (Atlantis Press, Paris, France, 2025), p. 137.
doi: https://doi.org/10.2991/978-94-6463-668-0_17
- [20] B. Agrawal, M. Preindl, B. Bilgin, and A. Emadi, *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)* (IEEE, Tampa, FL, USA, 2017), p. 2664.
doi: <https://doi.org/10.1109/APEC.2017.7931075>
- [21] S. Ji, S. Zheng, F. Wang, and L. M. Tolbert, *IEEE Trans. Power Electron.*, **33**, 4317 (2018).
doi: <https://doi.org/10.1109/TPEL.2017.2723601>