

## 액체질소하에서 CMOS소자의 SPICE MODELING

### SPICE Modeling of CMOS Devices at Liquid Nitrogen Temperature

정 덕 진\*  
Duck-Jin Chung

#### 요 약

액체질소하에서의 물리적인 현상 및 실험결과를 통하여 캐리어 냉동현상, 좁은 폭 및 쇼트 채널효과를 포함한 문턱전압 모델, Surface Roughness Scattering 및 Ionized Impurity Scattering을 포함한 이동도 모델과 적합한 기판 전류모델이 제안되었으며 이 모델들은 모의실험 프로그램인 BSIM과 SPICE에 이식되었다. 제작된 링 오실레이터와 리플 가산기에 적용한 결과 측정된 데이터와 잘 부합되었다.

#### Abstract

Based on the physical phenomena and the experimental results at liquid nitrogen temperature, the threshold voltage model includes carrier freeze-out phenomenon, narrow width effects, and short channel effects. The mobility model includes surface roughness scattering and ionized impurity scattering. Also, a subthreshold current model includes fast surface traps. All developed models for the liquid nitrogen temperature are implemented into BSIM and SPICE 2G.6. Simulated and measured performances of a ring oscillator and a ripple adder in the test chips have a good agreement.

#### 1. 서론

액체질소하의 MOS소자의 동작은 이동도의 증가와 전기적 저항 및 접합캐패시턴스의 감소로 상온에 비하여 고속화를 이룰 수 있으며 누설전류는 약 1/1000로 감소 될 뿐만 아니라 열전도도 역시 6배 정도 증가되는 장점이 있다[1]-[3]. 지금까지의 액체질소하의 MOS소자에 대한 연구는 주로 캐리어의 이동특성, 산란, 온도에 따른 문턱 전압의

변화, 핫 캐리어 효과에 집중 되었으며 최근에 회로의 속도 증가 및 래치업(Latch-up) 문제 등 회로에 대한 연구가 진행되고 있다 [4]-[7]. 액체질소하의 CMOS회로의 특성분석을 위한 SPICE모델에 대한 연구는 그다지 활발하지 못하며 또한 대부분이 온도변화를 기준으로한 모델이다[8]-[9]. 이로 인하여 절대온도 300도에서는 비교적 정확하나 액체질소온도인 절대온도 77도에서는 정확하지 못하다. 또한 실질적으로 액체질소하에서는 온도의 변화가 거의 없으므로 온도변화에 의한 모델은 유용하지 못하며 액체질소 온도에서의 특성을 기준으로한 새로

\* : 인하대학교 전자재료공학과  
接受日字: 1993年 3月 19日

운 모델, 즉 문턱전압모델, 이동도모델, 기판 (Substrate) 전류모델이 필요하며 이를 기준으로한 정확한 전류-전압 특성분석이 요구된다.

2. 액체질소하의 SPICE모델

2-1. 문턱전압모델

액체질소하에서의 PMOSFET는 NMOS-FET와는 달리 매립채널 (Buried Channel) 이므로 P형 불순물의 냉동(Freeze-out) 현상이 매우 심각하며 P형 불순물의 영향은 감소된다. 상온에서의 매립채널의 문턱전압은 다음과 같이 표현된다[10]-[11]

$$V_{th} = V_{fb} + q(N_a - N_d)X_i \left( \frac{1}{C_{ox}} + \frac{1}{C_s} \right) - V_{bi} \left( 1 - \frac{N_d}{N_a} \right) - Q_d \left( \frac{1}{C_{ox}} + \frac{2}{C_s} \right) \quad (1)$$

$$C_s = \frac{2\epsilon_s}{X_i}, V_{bi} = |\phi_p| + |\phi_n|,$$

그리고  $Q_d = \sqrt{2\epsilon_s q V_{bi} \frac{(N_a - N_d)N_d}{N_a}}$

만약 매립채널 PMOSFET에서 주입된 P형 불순물이 N형 불순물보다 충분히 크고 P형 불순물이 얇게 주입되었다면 수식(1)은 다음과 같이 간단이 될 수 있다[12].

$$V_{th} = V_{fb} + \frac{Q_1}{C_{ox}} - 2|\phi_n| - \frac{1}{C_{ox}} \sqrt{2\epsilon_s q N_d (2|\phi_n| - V_{bs})} \quad (2)$$

$$Q_1 = qN_a X_i$$

낮은 온도에서 주입된 P형 불순물의 냉동현상은 표면에 가까워 질 수록 심해지며 플랫폼(Flat Band) 전압에서 표면의 이온화된 P형 불순물은 다음과 같이 계산될 수 있다[10].

$$N_a^* = N_a + \frac{N_d + \zeta}{2} \left( \sqrt{1 + \frac{4\zeta(N_a + N_d)}{(N_d + \zeta)^2}} - 1 \right) \quad (3)$$

$$\zeta = \frac{N_V}{2} \exp\left(-\frac{E_a - E_V}{KT}\right)$$

기판전위가 증가 함에 따라 이온화된 불순물은 증가하게 된다.

$$Q_1 = qN_a^* X_i + \frac{N_a - N_a^*}{N_a + N_a^* - 2N_d} \sqrt{2\epsilon_s q N_d (2|\phi_n| - V_{bs})} \quad (4)$$

만약 이온화된 P형 불순물이 N형 불순물보다 충분히 크다면 수식(4)는 다음과 같이 간단이 될 수 있다.

$$Q_1 = qN_a^* X_i + \frac{N_a - N_a^*}{N_a + N_a^*} \sqrt{2\epsilon_s q N_d (2|\phi_n| - V_{bs})} \quad (5)$$

수식(2)와 (5)로 부터 액체질소하의 매립채널에 대한 다음과 같은 문턱전압 모델이 구해질 수 있다.

$$V_{th} = V_{fb} + \frac{qN_a^* X_i}{C_{ox}} - 2|\phi_n| - 2 \frac{N_a^*}{C_{ox}(N_a + N_a^*)} \sqrt{2\epsilon_s q N_d (2|\phi_n| - V_{bs})} \quad (6)$$

그러나 NMOSFET에서는 매립채널이 아니므로 내장(Built-in) 전위와 부가된 전압에 의해서 표면 및 채널에 있는 P형 불순물은 모두 이온화되며 액체질소하에서도 냉동현상은 무시될 수 있다[1].

2-2 문턱전압에서의 쇼트채널(Short Channel)과 좁은폭(NarrowWidth) 효과

액체질소하에서의 쇼트채널과 좁은폭 효과를 포함한 문턱전압 모델은 거의 연구되지 않았으나 이에 대한 실험 결과는 많이 발표되고 있다[1], [13]-[14]. 각 실험 데이터는 각각 약간의 차이는 있으나 상온에서의 영향과 비슷하게 나타나고 있다. 그러나

현재 사용되고 있는 두 효과에 대한 모델들은 온도변화에 따른 모델들로서 액체질소온도에 적용하면 큰 차이가 나타나게 된다. Sheu등은 상온을 위한 모의실험 프로그램인 BSIM에서 경험적인 방법으로 다음과 같은 수식을 사용하고 있다[15]-[16].

$$V_{th} = V_{fb} + \phi_s + K1\sqrt{\phi_s - V_{bs}} - K2(\phi_s - V_{bs}) - \eta V_{ds} \quad (7)$$

$V_{fb}$ 는 플랫폼 전위,  $\phi_s$ 는 표면전위,  $K1$ ,  $K2$ 와  $\eta$ 는 BSIM으로부터 추출되는 계수이다.  $V_{fb}$ ,  $K1$ ,  $K2$ 와  $\eta$ 는 MOSFET의 게이트의 실제 길이와 폭에 관계되는 계수들이며 BSIM에서 이 계수들은 커브피팅(Curve Fitting)방법에 의해서 구해진다. 이 방법은 이론적인 방법보다 비교적 간단하며 정확하다.  $K1$ 은 실제 게이트의 폭보다는 길이에 보다 민감하며 쇼트채널효과에 따라서 수치가 감소된다.  $K2$ 는 폭에 의한 영향을 많이 받으며 그러나 폭에 의하여 직선적인 영향을 받지 않는다. 액체질소하에서는 캐리어의 냉동현상을 포함하는 다음과 같은 수식이 제안된다.

$$V_{th} = V_{fb}^* + \phi_s + K1\sqrt{\phi_s - V_{bs}} - K2(\phi_s - V_{bs}) - \eta V_{ds} \quad (8)$$

$$V_{fb} = V_{fb0}^* + \frac{V_{fb1}^*}{L_{eff}} + \frac{V_{fb2}^*}{L_{eff}^2} + (1 - \alpha_t) \left( \frac{V_{fb3}^*}{W_{eff}} + \frac{V_{fb4}^*}{W_{eff}^2} \right), \quad \alpha_t = \alpha_{t0} + \frac{\alpha_{t1}}{L_{eff}}$$

$$K1 = K1_o + \frac{K1_1}{L_{eff}} + \frac{K1_2}{L_{eff}^2}$$

$$K2 = (1 - \alpha_t) \left( K2_o + \frac{K2_1}{W_{eff}} + \frac{K2_2}{W_{eff}^2} \right),$$

$$\eta = \eta_o + \frac{\eta_1}{L_{eff}} + \frac{\eta_2}{W_{eff}}$$

$V_{fb}^*$ 는 캐리어의 냉동현상을 포함하는 플랫폼 전위이며  $V_{fb0}^*$ 는 길이와 폭에 무관한 항목이며  $V_{fb1}^*$ 와  $V_{fb2}^*$ 는 길이에 관계되는 항목,  $V_{fb3}^*$ 와  $V_{fb4}^*$ 는 폭에 관계되는 항목이다.

### 2-3 이동도 모델

상온에서는 게이트 전압이 증가함에 따라 포논산란(Phonon Scattering)과 Surface Roughness Scattering에 의해서 이동도는 감소하며 Effective Vertical Field에 역비례한다[17]. 그러나 액체질소하에서는 Phonon Scattering에 의한 영향은 미미하며 NMOSFET의 경우는 Ionized Impurity Scattering의 영향에 의해서 외부전압의 증가에 따라서 초기에는 이동도가 증가하나 외부 전압이 어느 시점이상 증가하면 Surface Roughness Scattering에 의해서 좌우되므로 다시 감소하게 된다[18]. Watt등에 의하면 산화물의 두께가 385 Angstrom일 때  $V_{gs} - V_{th} = 3.5V$ 에서 이동도가 최고치를 나타낸다[18]. Harstein등은 이동도와 캐리어 밀도와의 간단한 관계식을 제안 했다[19].

$$\frac{1}{\mu} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sf}} + \frac{1}{\mu_{cd}} \quad (9)$$

$$\frac{1}{\mu_{ph}} \propto (Q_d + Q_n)^{1/3} \quad (10)$$

$$\frac{1}{\mu_{sf}} \propto (Q_d + Q_n)^2 \quad (11)$$

$$\frac{1}{\mu_{cd}} \propto bN_{ox} + cN_{ox}^2 \quad (12)$$

$\mu_{sf}$ 는 Surface Roughness Scattering에 의한 이동도,  $\mu_{ph}$ 는 Phonon Scattering에 의한 이동도,  $\mu_{cb}$ 는 Ionized Impurity Scattering에 의한 이동도,  $Q_d$ 는 공핍전하,  $Q_n$ 은 캐리어 밀도,  $N_{ox}$ 는 산화물전하,  $b$ 는 캐리어 밀도의 역수에 관계되는 계수이며  $c$ 는 공핍전하에 관계되는 계수이다.

액체질소하에서의 이동도는 다음과 같이 표현할 수 있다[20].

$$\frac{1}{\mu} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{sf}} + \frac{1}{\mu_{cd}} \approx \frac{1}{\mu_{sf}} + \frac{1}{\mu_{cd}} \quad (13)$$

이온화된 불순물의 산란은 캐리어 밀도에 관계되며[17] 복잡한 수식에 의해서 표현되거나 액체질소하의 NMOSFET에 대해서 경

험적(Empirical)방법을 사용하면 수식(11)과 (12)를 사용하여 다음과 같이 표현할 수 있다.

$$\mu = \frac{1}{\frac{1}{\mu_{cd}} + \frac{1}{\mu_{sf}}} = \frac{\mu_o}{1 + \theta_1(V_{gs} - V_{th}) + \theta_2(V_{gs} - V_{th})^2} \quad (14)$$

θ1과 θ2는 커브피팅에 의해서 얻어지는 계수이며 수식(14)는 매우 간단하며 비교적 정확하다. 그러나 매립채널 PMOSFET에서는 Surface Roughness Scattering의 감소로 인하여 상대적으로 포논산란과 이온화된 불순물의 산란의 영향이 우세하며 상온에서와 같이 액체질소하에서도 게이트 전위에 증가함에 따라서 이동도는 감소하므로 다음과 같이 표현될 수 있다.

$$\mu = \frac{1}{1 + \theta(V_{gs} - V_{th})} \quad (15)$$

### 2-5 Subthreshold 전류 모델

액체질소하에서의 MOSFET 동작중 중요한 장점 중의 하나는 Subthreshold 전류의 감소이다. Subthreshold 전류의 대수적 기울기는 다음 수식으로 표시 될 수 있다[1].

$$S \equiv \frac{d(\log(I_{ds}))}{dV_{gs}} = \frac{q}{KT \ell n(10)} \left( \frac{C_{ox}}{C_{ox} + C_d + C_{it}} \right) \quad (16)$$

K는 Boltzman 상수이며 T는 절대온도, q는 전자 전하, C<sub>d</sub>, C<sub>ox</sub>와 C<sub>it</sub>는 공핍층, 산화물 및 계면트랩에 의한 캐패시턴스이다. Kamgar의 연구에 따르면 상온에서는 50nA 이하 부터는 대수적 기울기 "S"는 일정하나 액체질소하에서는 계속적으로 증가한다[20]. 이 문제는 게이트 산화막 밑의 패스트 스테이트(Fast State)에 의해서 설명이 가능하다. 상온에서는 패스트 스테이트가 전자에 의해서 충전되나 액체질소하에서는 전자를 잃어 버리고 플러스로 변하므로 입력된 게

이트 전위에 따라 페스트 스테이트에 주로 영향을 받는 계면 트랩에 의한 캐패시턴스인 C<sub>it</sub>가 변화된다[21].

액체질소하의 모델은 BSIM모델에 C<sub>it</sub>에 의한 영향을 포함한 다음과 같은 수식으로 표현 될 수 있다.

$$I_{dif} = \frac{\mu C_{ox} W}{L} \left( \frac{KT}{q} \right)^2 n_{dif} \exp \left( - \frac{q(V_{gs} - V_{th})}{n_o + n_b V_{ds} + n_g(V_{gs} - V_{th})} \right) / KT \quad (17)$$

$$I_{lim} = \frac{\mu C_{ox} W}{L} n_{lim} \left( \frac{KT}{q} \right)^2 \quad (18)$$

$$I_{sub} = \frac{I_{dif} I_{lim}}{I_{dif} + I_{lim}} \quad (19)$$

### 3. 테스트 칩(Test Chip) 제작

액체질소에서의 CMOS회로의 특성 분석을 위하여 제안된 새로운 모델들의 타당성을 검토하기 위하여 테스트 칩이 3μm P-well 및 n형 폴리실리콘(Poly-Silicon) 게이트를 사용한 공정을 이용하여 제작되었다.

첫번째의 칩은 주로 소자 특성을 조사하기 위한 것이며 NMOSFET 및 PMOSFET의 조합, 접합캐패시턴스를 측정하기 위한 조합, 저항을 측정하기 위한 알루미늄선, 폴리실리콘선, N형, P형에 의한 선의 조합이 포함되어 있다. 두번째 테스트 칩은 새로운 모델과 측정치를 비교하기 위한 것이며 45단계의 리플 가산기, 212단계의 링 오실레이터 및 트랜지스터의 조합이 포함되어 있다.

### 4. 측정치와의 비교

새로운 모델들은 BSIM과 SPICE 2G.6에 이식 되었으며 테스트 칩들은 HP 4145A 반도체 측정 장비, HP 54100A 오실로스코프, HP 3310A 시그널 발생기에 의해서 측정되었다. 측정된 결과와 새로운 모델이 이식된 BSIM을 이용하여 SPICE Parameter

가 추출되었으며 추출된 Parameter는 Table 1에 보여진다. 새로운 모델은 SPICE 2G의 Level 1을 삭제하고 삽입되었다. 측정된 결과는 새로운 모델을 포함한 SPICE 2G.6와 기존의 Level 2 모델에 의한 SPICE 2G.6에 의해서 비교 되었다.

새로운 모델을 포함한 BSIM에 의해서 문턱전압, Transconductance, Subthreshold 전류를 위한 계수들이 추출되었다. 새로운 모델을 포함한 BSIM에 의한 결과는 실선으로 측정된 결과는 점선으로 그림 1, 2, 3, 4, 5, 6, 7, 8과 9에 보여지며 비교적 잘 부합되고 있다. 그림 6에서 보면 상온과는 달리 게이트 전압이 증가 함에 따라 트랜스컨덕

4-1 소자 특성

표 1 새로운 모델에 의해 추출된 SPICE 파라메타  
Table 1 Extracted SPICE Parameter by New Model.

```
.MODEL MQDN NMOS LEVEL=1 VFB=-0.5990 LVFB=0.140 LLVFB=0.0
+ PHI=0.704357 LPHI=0.0 WPHI=0.0 K1=0.951585 LK1=-0.17598
+ LLK1=0.0 AK2=0.0 WK2=-0.077452 WWK2=0.0
+ ETA=-0.002319 LETA=0.0166819 WETA=0.0153177 MUZ=692.948
+ DL=1.39334 DW=1.86831 MU0=0.0488792 LU0=0.0682157
+ WU0=-0.20344 U1=-0.0068374 LU1=0.793051 WU1=-0.11487
+ X2MZ=19.4785 LX2MZ=-46.00 WX2MZ=143.081 X2E=-0.00099
+ LX2E=-0.0081 WX2E=0.01528 X3E=-0.0004666 LX3E=-0.0016912
+ WX3E=0.0021642 X2U0=0.003443 LX2U0=-0.017461
+ WX2U0=0.0675738 X2U1=0.00058179 LX2U1=0.0123382 WX2U1=-0.0696
+ MUS=690.034 LMS=560.088 WMS=-270.04 X2MS=17.5085
+ LX2MS=-47.797 WX2MS=155.324 X3MS=-0.27937 LX3MS=94.3934
+ WX3MS=-66.386 X3U1=-0.00055 LX3U1=0.078166 WX3U1=-0.023585
+ TOX=519 TEMP=27 VDD=5.0 CGDO=3.85298E-10
+ CGSO=3.85298E-10 XPART=1
+ N0=1.69497 LN0=0.129427 WN0=0.364255
+ NB=0.07293 LNB=0.0125368 WNB=-0.086831 ND=0.005085
+ LND=-0.0047449 WND=-0.027553 U00=0.0 LU00=0.0
+ WU00=0.0 XU00=0.0 LXU00=0.0 WXU00=0.0
+ AVFB=0.0 WVFB=0.478373 WWVFB=0.0 RSH=15.420000
+ CJ=3.912E-4 CJW=6.265E-10 IJS=1.0E-8 PJ=0.650000
+ MJ=0.453200 MJW=0.330200

.MODEL MQDP PMOS LEVEL=1 VFB=-0.020777 LVFB=0.180046 LLVFB=0.0
+ PHI=0.606867 LPHI=0.0 WPHI=0.0 K1=0.3729 LK1=-0.27537
+ LLK1=0.0 AK2=0.0 WK2=-0.085415 WWK2=0.0
+ ETA=-0.00975 LETA=0.117866 WETA=0.0058 MUZ=270.501
+ DL=1.25355 DW=1.90450 MU0=0.107338 LU0=0.0607645
+ WU0=-0.20981 U1=-0.001189 LU1=0.4134 WU1=-0.29345
+ X2MZ=8.89539 LX2MZ=-6.3637 WX2MZ=25.763 X2E=-0.001232
+ LX2E=-0.0002163 WX2E=-0.01209 X3E=0.001156 LX3E=-0.0082
+ WX3E=-0.0042534 X2U0=0.00475661 LX2U0=-0.00242
+ WX2U0=0.0176949 X2U1=-0.0004799 LX2U1=-0.00891 WX2U1=0.05617
+ MUS=281.92 LMS=221.469 WMS=-227.09 X2MS=7.518
+ LX2MS=-7.141 WX2MS=61.7122 X3MS=0.7827 LX3MS=29.8132
+ WX3MS=-44.082 X3U1=0.00046 LX3U1=-0.0058 WX3U1=-0.03947
+ TOX=507 TEMP=27 VDD=5.0 CGDO=5.87745E-10
+ CGSO=5.87745E-10 XPART=1.0
+ N0=1.42757 LN0=0.136 WN0=0.231763
+ NB=0.0282 LNB=0.0348 WNB=-0.23352 ND=0.010378
+ LND=0.04427 WND=-0.057596 U00=0.0 LU00=0.0
+ WU00=0.0 XU00=0.0 LXU00=0.0 WXU00=0.0
+ AVFB=0.0 WVFB=0.634411 WWVFB=0.0 RSH=32.18
+ CJ=1.326E-4 CJW=5.008E-10 IJS=1.0E-8 PJ=0.730000
+ MJ=0.424300 MJW=0.261600
.END
```

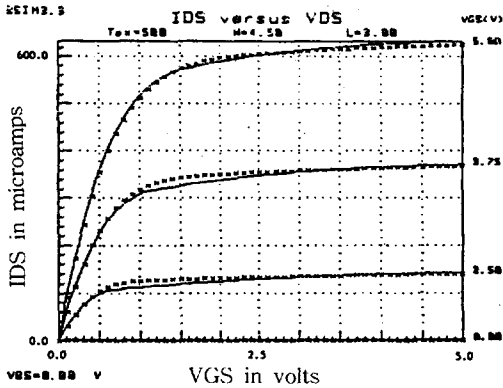


그림 1 액체질소하에서  $W=4.5\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{\text{ox}}=500\text{\AA}$  규격의 NMOS 소자를 사용한 드레인 전류의 측정치와 모델에 의한 특성

Fig. 1 Measured and modeled drain current characteristics of a  $W=4.5\mu\text{m}$  and  $L=3.0\mu\text{m}$  n-channel transistor with  $T_{\text{ox}}=500\text{\AA}$  at liquid nitrogen temperature.

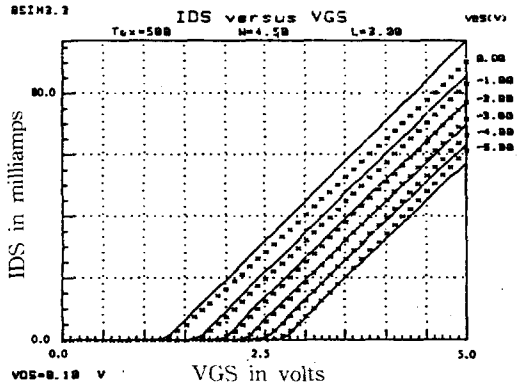


그림 3 액체질소하에서  $W=4.5\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{\text{ox}}=500\text{\AA}$  규격의 NMOS 소자를 사용한 문턱전압의 측정치와 모델에 의한 특성

Fig. 3 Measured and modeled threshold characteristics of a  $W=4.5\mu\text{m}$  and  $L=3.0\mu\text{m}$  n-channel transistor with  $T_{\text{ox}}=500\text{\AA}$  at liquid nitrogen temperature.

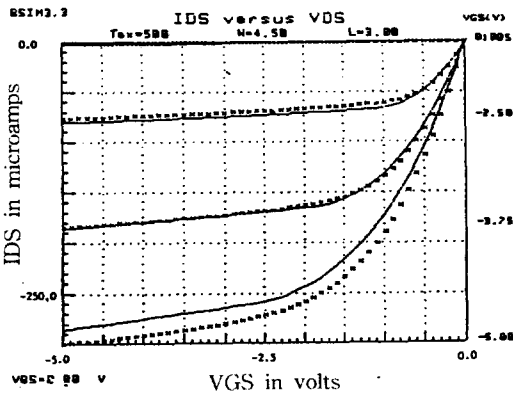


그림 2 액체질소하에서  $W=4.5\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{\text{ox}}=500\text{\AA}$  규격의 PMOS 소자를 사용한 드레인 전류의 측정치와 모델에 의한 특성

Fig. 2 Measured and modeled drain current characteristics of a  $W=4.5\mu\text{m}$  and  $L=3.0\mu\text{m}$  p-channel transistor with  $T_{\text{ox}}=500\text{\AA}$  at liquid nitrogen temperature.

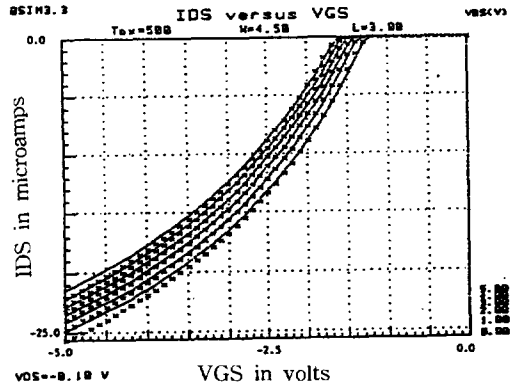


그림 4 액체질소하에서  $W=4.5\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{\text{ox}}=500\text{\AA}$  규격의 PMOS 소자를 사용한 문턱전압의 측정치와 모델에 의한 특성

Fig. 4 Measured and modeled threshold characteristics of a  $W=4.5\mu\text{m}$  and  $L=3.0\mu\text{m}$  p-channel transistor with  $T_{\text{ox}}=500\text{\AA}$  at liquid nitrogen temperature.

턴스가 증가함을 보여주고 있으며 그림 8에서 보면 Subthreshold 전류의 기울기가 계속 변화하고 있다. 그림 10, 11과 12에서는 게이트의 폭이  $15\mu\text{m}$ 이며 길이가  $3\mu\text{m}$ 인 PMOSFET의 전류특성을 나타내고 있으며

그림 10에서 점선은 측정치, 실선은 새로운 모델을 포함한 BSIM에 의한 결과, 그림 11은 새로운 모델을 포함한 SPICE 2G.6에 의한 결과이며 기존의 SPICE 2G6는 액체질소하에서의 특성분석에 적합치 않음을 보여

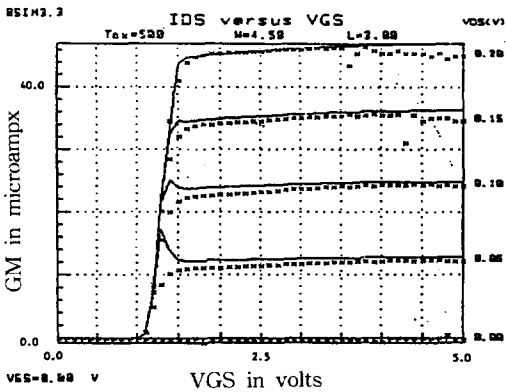


그림 5 액체질소하에서  $W=4.5\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{\text{ox}}=500\text{\AA}$  규격의 NMOS 소자를 사용한 Transconductance의 측정치와 모델에 의한 특성

Fig. 5 Measured and modeled transconductance characteristics of a  $W=4.5\mu\text{m}$  and  $L=3.0\mu\text{m}$  n-channel transistor with  $T_{\text{ox}}=500\text{\AA}$  at liquid nitrogen temperature.

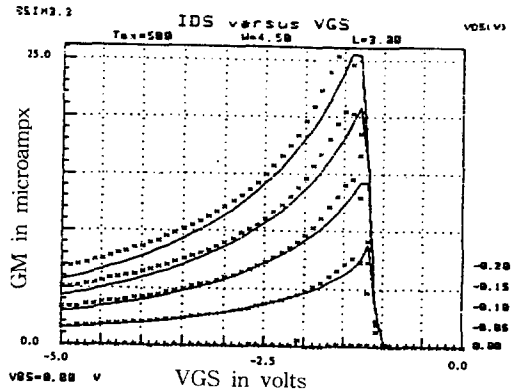


그림 7 액체질소하에서  $W=4.5\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{\text{ox}}=500\text{\AA}$  규격의 PMOS 소자를 사용한 Transconductance의 측정치와 모델에 의한 특성

Fig. 7 Measured and modeled transconductance characteristics of a  $W=4.5\mu\text{m}$  and  $L=3.0\mu\text{m}$  p-channel transistor with  $T_{\text{ox}}=500\text{\AA}$  at liquid nitrogen temperature.

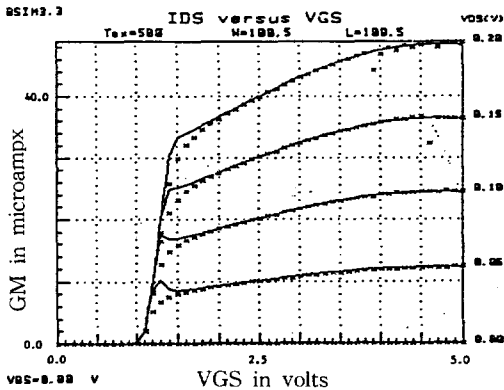


그림 6 액체질소하에서  $W=100.5\mu\text{m}$ ,  $L=100.5\mu\text{m}$ ,  $T_{\text{ox}}=500\text{\AA}$  규격의 NMOS 소자를 사용한 Transconductance의 측정치와 모델에 의한 특성

Fig. 6 Measured and modeled transconductance characteristics of a  $W=100.5\mu\text{m}$  n-channel transistor with  $T_{\text{ox}}=500\text{\AA}$  at liquid nitrogen temperature.

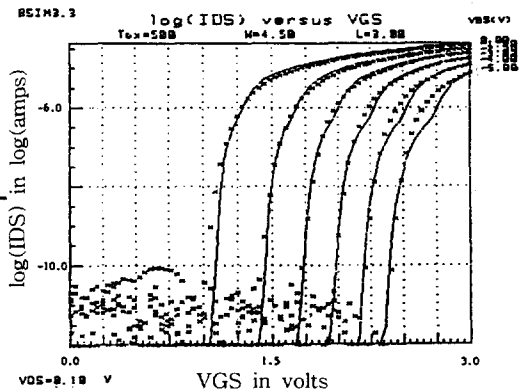


그림 8 액체질소하에서  $W=4.5\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{\text{ox}}=500\text{\AA}$  규격의 NMOS 소자를 사용한 Subthreshold 전류의 측정치와 모델에 의한 특성

Fig. 8 Measured and modeled subthreshold current characteristics of a  $W=4.5\mu\text{m}$  and  $L=3.0\mu\text{m}$  n-channel transistor with  $T_{\text{ox}}=500\text{\AA}$  at liquid nitrogen temperature.

준다. 기존의 Level 2 모델을 이용한 그림 12에 따르면  $-2.0\text{V}$  부근에서는 측정치인 그림 10과 큰 차이를 보이지 않으나  $-0.3\text{V}$  부근과  $-5.0\text{V}$  부근에서 측정치와 큰 차이를 보인다. 이는 온도 변화에 따른 모델의 한

계성을 보인다고 하겠다.

#### 4-2 CMOS회로의 특성

45 단계 리플 가산기와 212 단계 링 오실레이터가 HP 54100A 오실로스코프와 HP

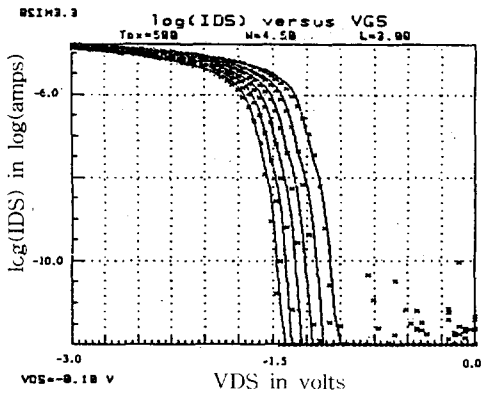


그림 9 액체질소하에서  $W=4.5\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{ox}=500\text{\AA}$  규격의 PMOS 소자를 사용한 Subthreshold 전류의 측정치와 모델에 의한 특성

Fig. 9 Measured and modeled subthreshold current characteristics of a  $W=4.5\mu\text{m}$  and  $L=3.0\mu\text{m}$  p-channel transistor with  $T_{ox}=500\text{\AA}$  at liquid nitrogen temperature.

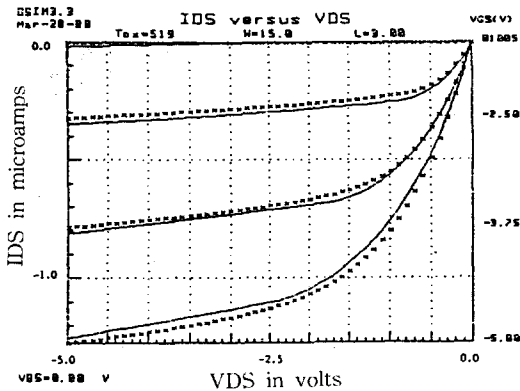


그림 10 액체질소하에서 Ring Oscillator와 Adder에 사용된  $W=15.0\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{ox}=500\text{\AA}$  규격의 PMOS 소자를 사용한 드레인 전류의 측정치와 모델에 의한 특성

Fig. 10 Drain current characteristics measured and modeled by modified BSIM of a  $W=15.0\mu\text{m}$  and  $L=3.0\mu\text{m}$  p-channel transistor used for a ring oscillator and an adder at liquid nitrogen temperature.

3310A 펄스 발생기를 이용하여 측정되었으며 새로운 모델을 이용한 SPICE 2G.6와 기존의 Level 2를 이용한 SPICE 2G.6에 의한 결과와 비교 되었다.

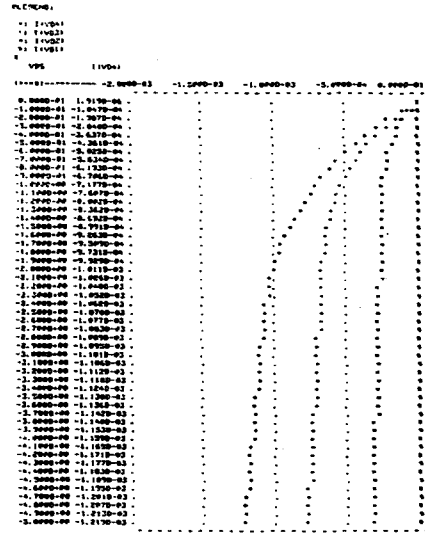


그림 11 액체질소하에서 Ring Oscillator와 Adder에 사용된  $W=15.0\mu\text{m}$ ,  $L=3.0\mu\text{m}$ ,  $T_{ox}=500\text{\AA}$  규격의 PMOS 소자를 위하여 새로운 모델을 이식한 SPICE2G, 6로 부터 드레인 전류의 모의시험결과

Fig. 11 Drain current characteristics modeled of a  $W=15.0\mu\text{m}$  and  $L=3.0\mu\text{m}$  p-channel transistor used for a ring oscillator and an adder at liquid nitrogen temperature by modified SPICE 2G.6.

Ring Oscillator의 PMOS의 사이즈는  $L=3\mu\text{m}$ ,  $w=15\mu\text{m}$ , NMOS의 사이즈는  $L=3\mu\text{m}$ ,  $W=12\mu\text{m}$ 이다. 압력과 출력을 위한 버퍼회로의 영향을 고려하기 위하여 버퍼회로의 지연 시간을 측정하였으며 액체질소하의 지연 시간은 포지티브 에지(Positive Edge)에서 9.4 ns와 네가티브 에지(Negative Edge)에서 5.5 ns가 측정되었다. 액체질소하에서의 200 단계 링 오실레이터는 80 ns, 80 단계 가산기의 지연시간은 포지티브 에지에서 92 ns, 네가티브 에지에서 90 ns가 측정 되었다. 각 회로의 지연시간은 버퍼회로의 지연시간의 Level 2를 이용한 SPICE 2G.6와 새로운 모델을 이식한 SPICE 2G.6의 수행 시간을 비교하였다. 이에 따르면 새로운 모델을 이식한 SPICE 2G.6가 기존의 SPICE 2G.6보다 링 오실레이터에서 약 2배, 가산기에서 약 5배 정도 빠르게 회로에서 트랜

지스터의 수가 적을 때는 큰 차이가 없으며 트랜지스터의 수가 많으면 많을 수록 더 빨라 짐을 알 수 있다.

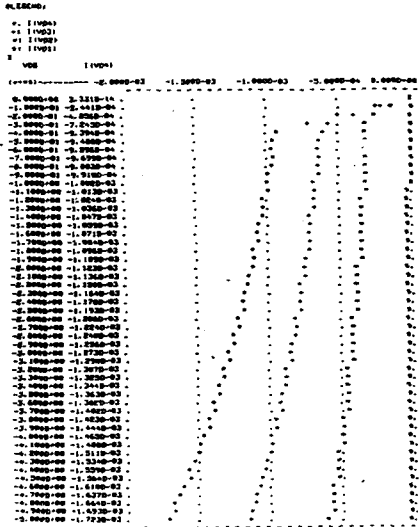


그림 12 액체질소하에서 Ring Oscillator와 Adder에 사용된  $W=15.0\mu\text{m}$ ,  $T_{ox}=500\text{\AA}$  규격의 PMOS 소자를 위하여 기존의 SPICE2G,6 Level로부터 드레인 전류의 모의 실험 결과

Fig. 12 Drain current characteristics modeled of a  $W=15.0\mu\text{m}$  and  $L=3.0\mu\text{m}$  p-channel transistor used for a ring oscillator and an adder at liquid nitrogen temperature by SPICE 2G.6 with level 2.

표 2 액체질소하에서 스위칭 스피드 (NSEC)  
Table 2 Switching Speed at Liquid Nitrogen Temperature(nsec)

Circuit	Measured	SPICE (New Model)	SPICE (Level 12)
Ring OSC (Pair Delay)	0.8	0.8	0.55
Adder	2.42	2.6	1.7

### 5. 결론

액체질소하에서의 CMOS회로의 특성을 분석하기 위하여는 현존하는 온도 변화에 따른 SPICE모델은 한계성이 있으므로

표 3 SPICE 2G,6에서의 수행시간(SEC)  
Table 3 SPICE 2G.6 Simulation Execution Time(SEC)

Circuits	SPICE(New Model)	SPICE(Level 12)
NMOS Drain Current(4 Tr.)	2.02	2.23
PMOS Drain Current(4 Tr.)	2.02	2.10
Ring Osc.(12 Tr.)	7.87	14.10
Adder(56 Tr.)	32.75	144.67

CMOS회로의 특성과 물리적인 이론을 바탕으로 문턱전압모델, 이동도 모델과 Subthreshold 전류 모델이 개발되었으며 이 모델들은 BSIM과 SPICE에 이식 되었다. HP 4145A 반도체 측정장비와 BSIM에 의해서 계수들이 추출되었으며 이 계수들은 SPICE 2G.6에 적용되었다.  $3\mu\text{m}$  P-well CMOS공정을 이용하여 트랜지스터 및 212단계 링 오실레이터 및 45 단계의 리플 가산기를 포함한 테스트 칩들이 제작되었으며 새로운 모델들을 이식한 SPICE 2G.6를 이용하여 분석된 특성은 8 퍼센트내의 정확도를 보였다. 또한 수행시간은 Level 2를 이용한 SPICE 2G.6보다 2 배 이상 빠르다.

### 참고 문헌

- [1] F. H. Garnsslen, V.L. Rideout, E.J. Warker, and J.J. walker, "Very small MOSDFET's for low temperature operation," IEEE trans. Electron Devices, pp. 218-229, Mar. 1977.
- [2] J.I. Tzou, C.C. Yao, R. Cheung, and H. Chan, "Some CMOS device constraint at low temperature," IEEE Electron Devices lett., vol. EDL-6, no. 1, Jan. 1985.
- [3] R.K. Kirschman, "Cold electronics : An overview," Cryogenics, vol. 25, pp. 115-122, Mar. 1985.
- [4] C. Jacoboni, C. Canali, G. Ottaviani, and A.A. Quaranta, "A review of

- some charge transport properties of silicon," *Solid-State Electron.*, vol. 20, pp. 77-89, 1977.
- [5] J.A. Bracchitta, T.L. Honan, and R.L. Anderson, "Hot-electron-induced degradation in MOSFET's at 77K," *IEEE Trans. Electron Devices*, SEp. 1985.
- [6] A. Kamger and R.L. Johnson, "Delay times in Si MOSFET's in the 4.2-400K temperature range," *Solid-state Electronics*, vol. 26, no. 4, pp. 291-294, 1983.
- [7] E. Sangiorgi, R.L. Johnson, M.R. Pinto P.F.Bechtold, and W. Fichtner, "Temperature dependence of latch up phenomena in scaled CMOS structures," *IEEE Electron Device Lett.*, vol. ED-7, no. 1, Jan. 1986.
- [8] B. Song and P.R. Gray, "Threshold-voltage temperature drift in ion-implanted MOS transistors," *IEEE Trans. Electron Devices*, pp. 661-668, April, 1982.
- [9] P.E. Allen, L. Yian, G.R. Wollhouse, and R.B. Emmons, "A low temperature model for VLSI technology," in *IEDM Tech. Dig.*, pp. 112-116, 1985.
- [10] R.C. Jaeger and F.H. Gaensslen, "Simple analytical models for the temperature dependent threshold behavior of depletion-mode devices," *IEEE Trans. Electron Devices*, vol. ED-26, no. 4, Apr. 1979.
- [11] J.S.T. Huang, J.W. Scarankler, and J.S.Kueng, "Short-channel threshold model for buried-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-31, Dec. 1984.
- [12] R.M. Swanson and J.D. Meindl, "Ion-implimentary MOS transistors in low voltage circuit," *IEEE J. Solid Circuits*, vol. SC-7, no.2, April 1972.
- [13] J.J. Tzou, C.C. Yao, R. Cheung, and H. Chan, "The temperature dependence of threshold voltages in Submicrometer CMOs," *IEEE Electron Lett.*, vol. EDL-6, No. 5, May 1985.
- [14] J.C. Woo and J.D. Plummer, "Short-channel effects in MOSFET's at liquid niitrogen temperature," *IEEE Trans. Electron Devices*, vol. ED-33, No.7, pp. 1012-1019, July 1986.
- [15] B.J. Sheu, D.L. Scharfetter, C. Hu, D. O. Pederson, "Compact IGFET change model," *IEEE Trans. Circuits and Systems*, vol. CAS-31, no. 8, pp. 745-748, Aug. 1984.
- [16] A. Vladimirescu and S. Liu, "The simulation of MOS integrated circuits using SPICE 2," *Electron. Res. Lab. Memo ERL-M80/7*, University of California, Berkeley, Oct. 1980.
- [17] N.D. Arora and G.S. Gildenblat, "A semi-emprical model of the MOSFET inversion layer mobility for low temperature operation," *IEEE Trans., Electron Devices*, vol. ED-34, no.1, pp. 89-93, Jan. 1987.
- [18] J.T. Watt, B.J. Fishbein, and J.D. Plummer, "A low-temperature NMOS technology with cesium-implanted load devices," *IEEE Trans. Electron Devices*, ED-34, no. 1, pp. 28-38, Jan. 1987.
- [19] A. Hartstein, A.B. Fowler, and M. Albert, "Temperature dependence of scattering in the inversion layer," *Surface Sci.*, vol. 98, pp. 181-190, 1980.
- [20] A. Kamgar, "Subthreshold behavior of silicon MOSFETs at 4.2K," *Solid State Electronics*, vol. 25, no. 7, pp. 537-539, 1982.
- [21] P.V. Gray and D.M. Brown, "Density

of SiO<sub>2</sub>-Si interface states," Applied  
Physics letters, vol. 8, no.2, pp. 31-33.

Jan. 1966.

著者紹介



정덕진

1948년 2월 8일생. 1970년  
서울대 공대 전기공학과 졸업.  
1984년 미국 UTAH주립  
대학교 전기공학과 졸업(석사).  
1988년 미국 UTAH대  
학교 전기공학과 졸업(박사).

1993년 현재 인하대학교 전자재료공학과 조  
교수.