

절연체위의 다결정실리콘 재결정화 공정최적화와 그 전기적 특성 연구

논문
7-4-9

Optical Process of Polysilicon on Insulator and Its Electrical Characteristics

윤 석 범*, 오 환 술*
(Suk-Bum Yoon, Hwan-Sool Oh)

Abstract

Polysilicon on insulator has been recrystallized by zone melting recrystallization method with graphite strip heaters. Experiments are performed with non-seed SOI structures.

When the capping layer thickness of $\text{Si}_3\text{N}_4/\text{SiO}_2$ is $2.0\mu\text{m}$, grain boundaries are about $120\mu\text{m}$ spacing and protrusions reduced. After the seed SOI films are annealed at 1100°C in NH_3 ambient for 3 hours, the recrystallized silicon surface has convex shape. After ZMR process, the tensile stress is $2.49 \times 10^9 \text{dyn/cm}^2$ and $3.74 \times 10^9 \text{dyn/cm}^2$ in the seed edge and seed center regions. The phenomenon of convex shape and tensile stress difference are completely eliminated by using the PSG/ SiO_2 capping layer. The characterization of SOI films are showed that the SOI films are improved in wetting properties.

N channel SOI MOSFET has been fabricated to investigate the electrical characteristics of the recrystallized SOI films. In the $0.7\mu\text{m}$ thickness SOI MOSFET, kink effects due to the floating substrate occur and the electron mobility was calculated from the measured g_m characteristics, which is about $589 \text{cm}^2/\text{V} \cdot \text{s}$. The recrystallized SOI films are shown to be a good single crystal silicon.

Key Words(중요어) : SOI(Silicon On Insulator);(실리콘위의 절연체), ZMR(Zone Melting Recrystallization);(지역용융 재결정화), CVD(Chemical Vapor Deposition);(화학기상 증착), DCXD(Double Crystal X-ray Diffractometry);(두 결정 X선 회절법).

I. 서 론

실리콘 기판위에 절연 산화막층을 형성하고 그 위에 대면적의 결정립 실리콘 박막을 형성하거나 단결정 실리콘층을 갖는 SOI구조는 고속 동작의 소자, 내방사선에 강한 소자, 센서 소자 그리고 3차원 구조 소자 적용에 이용될 수 있다. 이와 같은 SOI구조의 소자를 얻기 위한 제조 공정은 이종 에피성장(Hetro Epitaxy)¹⁻³, 빔 재결정화, 동종 에피성장⁴, lateral solid phase epitaxy⁵, single silicon separation 방법⁶ 및 wafer bonding⁷ 등이 있다. 여러 제조기술 중 ZMR(Zone Melting Recrystallization : 지역 용융 재결정화) 방법은 실리콘

기판위에 절연층으로 산화막층을 형성하고 그 위에 CVD법으로 비정질 혹은 다결정 박막을 형성한 시료의 온도를 높여 실리콘 용융 지역을 이동시키면서 재결정화한다. 이때 사용되는 ZMR의 열원은 레이저⁸, 집속된 램프 시스템⁹, 스트립 히터(strip heater), 전자 및 이온빔등이 있다. 재결정화에 사용되는 SOI 시료는 재결정화된 실리콘 박막층이 기판과 같은 특성을 유지하기 위해 종자(seed)를 사용하는 구조 및 종자 없는 구조 등으로 한다.

본 실험에서는 위에서 제시된 여러 SOI 제조 기술 중 스트립 히터를 열원으로 하는 ZMR 방법을 이용하였다. 본 실험을 위해 ZMR 장치를 설계, 제작하여 열원 부위를 수정, 보완하면서 SOI 구조를 재결정화 하였다. 재결정화시 온도, 이동 속도 및 SOI시료와 상단 열원 사이의 간격 등의 조건들을 변화시키면서 최적 재결정화 공정조건을 구하였다. 또한 ZMR 방법으로 제조된 SOI 박막에 n 채널 SOI MOSFET을 제작하여 그 전기적 특성을

* : 건국대학교 전자공학과

** : 공주전문대학 산업영상과

접수일자 : 1993년 7월 20일

심사완료 : 1994년 4월 20일

측정하였다.

II. 흑연막대 발열체를 이용한 ZMR 공정 최적화.

재결정화 실험은 SOI구조를 2종류로 구분하였다. 첫번째 구조는 종자창(seed window)을 열지 않은 시료이고 다른 하나는 종자창을 열어 재결정화된 박막이 실리콘 기판의 특성을 갖게하는 구조이다. 재결정화된 SOI 박막은 각도 연마(Angle lapping), X-선 회절 분석 광학 현미경(Normals-ki)을 통한 시료의 표면 관측과 Raman 산란 방법 등으로 측정하였다.

II-1. ZMR 장치도 및 실험

그림 1은 제작된 ZMR 장비로 그 구성은 흑연판 열원과 흑연 막대 열원을 사용하는 열원 부위, 스테인레스 금속으로 만들어진 이중 챔버, 로터리 및 확산 펌프로 구성되어 있는 진공 시스템, 그리고 시료를 열원으로부터 0.1~1.5mm/sec까지 움직일 수 있는 이동 시스템으로 되어있다.

ZMR방법을 이용한 재결정화 실험에서 상단 및 하단 열원으로는 고순도의 흑연을 사용하였고 재결정화 공정 과정에서 10^{-5} Torr의 고진공 및 1000℃이상의 고온에서는 챔버내와 열원 부위(hot zone)에 잔류하는 불순물의 out gasing으로 시료



그림 1. ZMR 장치 사진

Fig. 1. Photograph of the ZMR system.

가 오염되어 본 실험에서는 대기압의 아르곤 가스 분위기로 실험하였다.

양질의 SOI 박막을 제조하기 위해서는 하단 열원의 균일한 온도 분포 및 상단 열원과 시료간의

거리 그리고 상단 열원의 출력에 의한 용융부의 액상-고상 계면에서의 온도구배가 중요한 변수가 된다. 이와 같은 변수들의 최적 공정 조건을 찾기 위해 여러 조건의 실험 결과 하단 열원은 균일한 온도 분포를 유지하기 위해 하단 열원의 각 쪽 및 두께를 최소화 작게하고 히타의 발열 갯수를 증가시켜 하단 열원에서의 온도 분포를 $1450\text{℃} \pm 5\text{℃}$ 로 하였다.

시료는 시료 이동판 위, 중앙에 위치시키고 상단 열원간의 간격은 0.6mm되게 챔버외부에 부착된 마이크로 미터기로 간격을 일정하게 유지시켰다. 시료 설치 후 로터리 펌프 및 확산 펌프로 챔버 내의 진공도를 10^{-5} Torr일 때까지 진공을 뽑은 후 고순도 아르곤 가스를 주입시켜 챔버 내의 압력을 대기압 상태로 만든다. 그런 다음 하단 열원의 온도를 $70\text{℃}/\text{min}$ 로 증가시켜 하단 열원으로부터 직접 가열된 시료 이동판의 온도가 1120℃ 가 되도록 하였다. 이때 시료의 온도는 910℃ 를 유지하도록 하였다. 시료 이동판 위에 놓인 시료의 한쪽 끝이 상단 열원 아래쪽에 오도록 시료를 이동하고 이동 속도를 $0.5\text{mm}/\text{sec}$ 로 맞춘후 상단 열원의 출력을 서서히 증가시키면서 상단 흑연 막대를 가열시켜 챔버위의 직경 4인치 시창을 통해 상단 열원 아래의 시료 표면 상태를 관찰한다. 시료 표면에 용융부가 형성되면 시료 이동판을 움직이면서 액상-고상 사이의 경계면을 이동시켜 SOI구조의 시료를 재결정화 하였다.

II-2. 종자창이 없는 SOI시료 재결정화 공정

II-2-1. 하단열원의 출력효과

그림 2는 하단열원 출력변화에 따른 결정립 경계면간의 간격을 나타낸 것이다. 최적의 상단열원 조건하에서 하단열원의 출력이 증가하여 SOI시료에 온도 균일성을 증가시키면 Solid와 liquid지역의 경계면과 liquid와 재결정화된 지역의 경계면간의 thermal gradient 차이가 작아지게 되어 결정립 경계면의 간격이 증가한다¹⁰⁾. 그림 3은 하단열원의 최대출력을 14.8kW 로 하였고 단위체적당 출력을 $330\text{W}/\text{cm}^2$ 하여 하단열원의 온도 균일성을 4인치 웨이퍼 상에서 중심과 가장자리 간의 온도차를 $5\text{℃} \sim 7\text{℃}$ 내로 유지하였을 때 재결정화후 secco에칭한 표면 사진이다. 결정립 경계면 간격이 거의 균일하며 간격이 약 $120\mu\text{m}$ 로 스캐닝(scanning)방향과 약 5° 이내의 평행한 재결정화 박막을 얻었다.

II-2-2. 상단과 하단열원의 온도조합

하단열원에서 복사되는 열이 시료에 직접 닿게

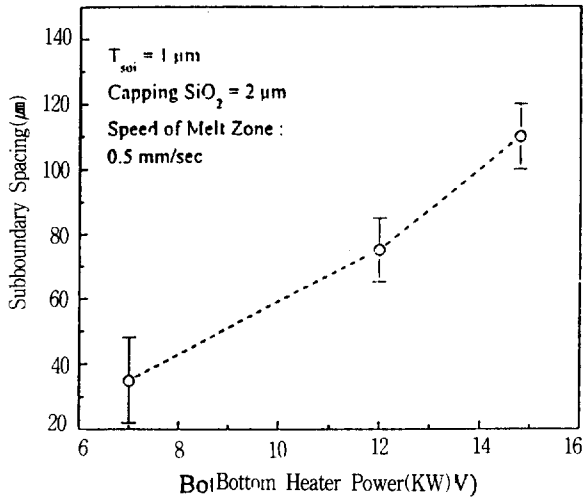


그림 2. 하단 출력 변화에 따른 결정립 경계면간의 간격
 Fig. 2, Grain boundary space for the bottom heater power.

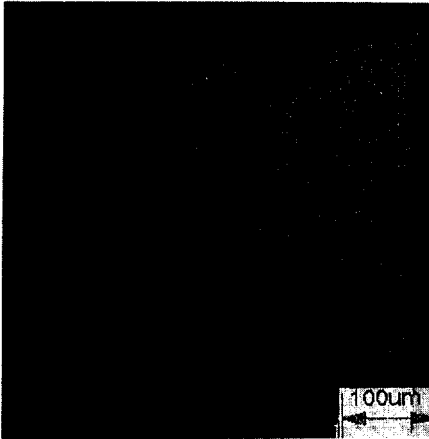


그림 3. 하단 열원의 출력이 14.8KW인 경우 Secco 에칭후 표면 사진(x300)
 Fig. 3. Surface micrograph of the SOI sample for the bottom heater power with an output of 14.8KW (x300).

하여 재결정화를 하거나 버퍼층을 두어 간접적으로 열을 복사하는 경우 하단열원과 상단열원과의 전력조합은 특히 중요하다. 직접 복사방식은 시료에서의 온도증가가 빠르나 온도의 균일도가 떨어지고 재결정화시 전력의 조합이 어려워 그림 4의 경우와 같이 기판의 실리콘이 녹아 보호막위로 솟아난다. 또한 그림 5와 같이 기판실리콘과 절연산화막 그리고 재결정화 실리콘층이 녹아 붙거나 박



그림 4. 직접 복사에 의한 기판 실리콘의 돌출 사진(x75)
 Fig. 4. Micrograph of the protrusion for the direct radiation (x75)

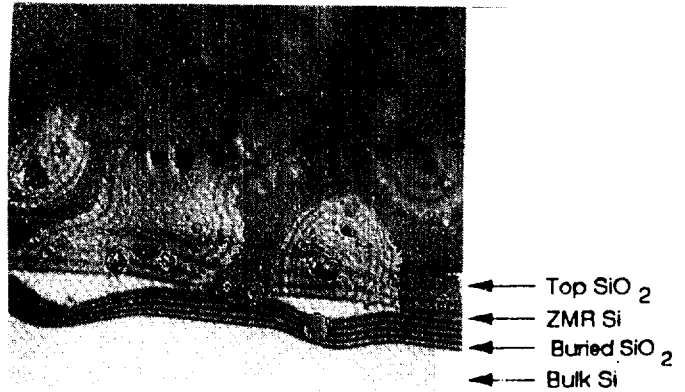


그림 5. 직접 복사에 의한 온도 불균일로 각층간 붙은 단면 사진(x300)
 Fig. 5. Cross-sectional micrograph for the variable layer (x300).

막이 휘어 완전한 SOI구조를 얻지 못한다. 또한 전력조합이 낮으면 다결정실리콘의 열처리 효과만을 얻는다. 그림 6의 경우는 재결정화된 SOI박막의 Secco 에칭 후 표면 사진으로서 재결정화시 과냉상태가 발생하여 나뭇가지 모양(dendritic)의 성장이 일어난 모습을 보이고 있다. 이는 직접 복사에 의한 열 전달로 지역용융의 이동속도가 0.5 mm/sec이외의 속도에서는 천이영역 형성을 이루는 시간을 줄여 SOI 박막이 종자를 갖지 못하고 재결정화되어 과잉냉각¹¹⁾에 의한 나뭇가지 모양을 갖는 SOI 박막이 형성된다.

버퍼층으로 시료동판을 사용하여 하단열원의 온도를 시료에 간접적으로 전달받게한 간접복사 효

과는 시료 전체에 온도 분포를 일정하게 유지시켜 준다. 따라서 그림 3과 같이 나뭇가지 모양이 없는 양질의 재결정화 박막이 얻어진다.

II-2-3. 보호막 효과

흑연막대 열원을 사용한 ZMR 방법의 재결정화 공정시 SOI시료에 보호막을 사용함으로써 시료가

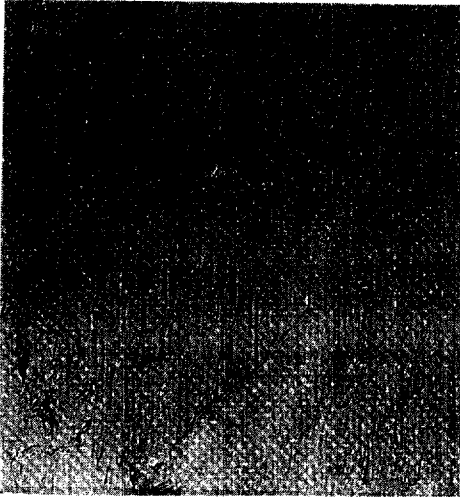


그림 6. Secco 에칭 후 나뭇가지 모양 일어난 표면 사진(x300)

Fig. 6. Surface micrograph for the grain boundary of dendritic state($\times 300$).

평탄한 표면형성 및 용융실리콘이 뭉치는 것을 억제하며(100) 특성을 갖도록하고, 재결정화시 시료 내로 불순물의 확산을 막아 준다¹²⁾.

그림 7은 실리콘 박막위에 산화보호막을 사용하였을 때 재결정화 후 시료표면에 돌출기들이 나타나고 있다. 이때 생성된 돌출기들은 결정립 경계면을 따라 형성되며 이러한 결합은 재결정화되는 동안 부피 팽창에 의해 실리콘이 돌출되는 것으로 이러한 돌출기들의 밀도는 결정립 경계면 간의 거리와 관계가 있으며, 결정립 경계면 간의 간격이 크면 돌출기들의 밀도가 높고, 결정립 경계면 간의 간격이 작으면 그 밀도가 작은 것으로 알려져 있다.¹³⁾ 이러한 돌출기를 없애기 위해서는 결정립 경계면간의 간격 내의 종자창을 열거나 용융시 보호막과 실리콘의 용융각이 작은 보호막이 필요하게 된다.

그림 8은 1 μm 의 보호산화막층 위에 300 \AA 의 Si_3N_4 박막을 증착한 후 재결정화 하였을 때의 표면사진으로 용융실리콘이 나타나지 않고 있음을 볼 수 있다. Si_3N_4 보호막은 용융시 실리콘과의 용

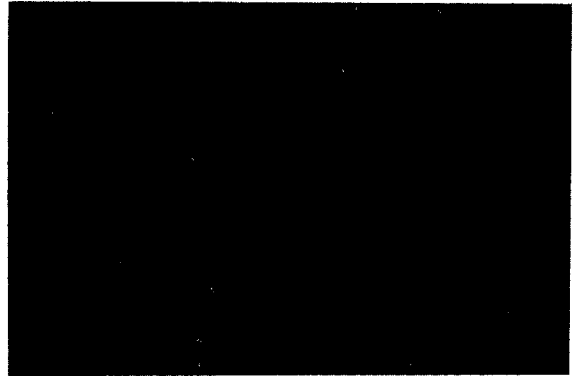


그림 7. 보호산화막을 사용시 돌출기 형성 표면 사진(x300)

Fig. 7. Surface micrograph with the protusion by capping SiO_2 layer($\times 300$).

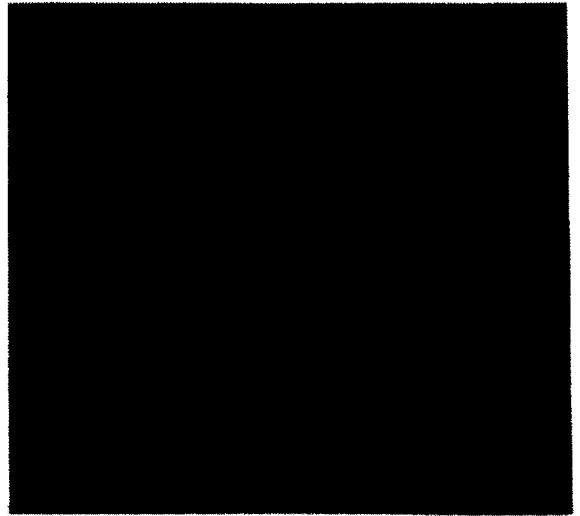


그림 8. $\text{Si}_3\text{N}_4/\text{SiO}_2$ 보호막 사용시 돌출기들이 제거된 표면 사진(x300)

Fig. 8. Surface micrograph of nonprotusion by $\text{Si}_3\text{N}_4/\text{SiO}_2$ capping layer($\times 300$).

융각도가 약 25° 이내이다.¹⁴⁾ 따라서 500 \AA 이내의 Si_3N_4 박막이 다결정실리콘과 보호산화막 사이에 존재하면 재결정화시 실리콘이 돌출되는 것을 막을 수 있다. 그러나 Si_3N_4 보호막을 다결정실리콘층 위와 아래에 놓을 경우 재결정화 후 SOI박막은 많은 void를 형성하여 양질의 박막을 얻을 수 없고 또한 질소의 영향으로 소자에서의 전기적 성질이 실리콘산화막만을 사용한 시료에 비하여 좋지 않다.¹³⁾ 방향이 $\langle 100 \rangle$ 인 양질의 SOI박막을 얻기 위해 질소 원자가 실리콘에 많이 닿지 않아야 하

므로 산화보호막 위에 Si_3N_4 의 막을 300Å 증착한 후 재결정화 하였다. 재결정화시 보호산화막위의 질소가 보호산화막과 실리콘계면으로 확산되어 들어가게 되어 계면에서는 Si_3N_4 박막이 있을 때보다 더 적은 양의 질소 원자가 존재하여 재결정화시 양질의 실리콘박막을 얻는다.

보호산화막의 역할중 종자창을 열지 않고서도 재결정화된 박막이 (100) 단결정을 갖는데 이에 대한 측정은 두 결정 X-선 회절 측정을 하였다. 두 결정 X-선 회절법(Double Crystal X-ray Diffraction)에 의하여 시료의 결정성(crystallinity)을 평가할 때는 보통 (400) 반사를 이용한다. 그러나 SOI 구조와 같이 재결정화 박막이 얇아 표면 근처의 결정성을 평가하고자 하는 경우에는 (311), (422)와 같은 비대칭반사를 사용하여 X-선 회절 패턴을 얻는 것이 적당하다. 실리콘의 (311) 반사면을 이용할 경우 입사각이 2.82° 로 아주 작기 때문에 시료의 표면 부근에서 회절되는 X선이 주로 측정되어 표면부근에 있는 박막의 결정성 평가에 유용하다. 본 측정에서는 Cutarget에서 발생하는 $\text{CuK}\alpha_1$, $\text{CuK}\alpha_2$ X선을 제1결정(고품질 (100) n-GaAs)의 (400) 반사를 이용하여 $\text{CuK}\alpha_1$ 만의 단색 X선을 얻어 SOI시료의 (311) 반사면의 X선 회절 패턴을 얻었다.

그림 9는 재결정 전후의 (311)반사면에 대한 X선 회절 패턴이 비교되어져 있는데, 재결정화를 하기 전의 SOI시료에서는 실리콘 단결정 기판의 (311)면에서 회절된 하나의 피크가 관측된다. 반면에 재결정화된 SOI시료에서는 기판으로부터의 회절에 의해 생기는 피크 이외에 기판의 결정방향과 0.5° 이내의 차이를 가지는 2개의 피크들이 관측된다. 이들 피크들은 재결정화된 실리콘층에서 (311)면의 반사에 의해 나타나는 Bragg피크로 생각되며 재결정화된 시료의 결정방향은 기판의 결정방향 즉 $\langle 100 \rangle$ 방향과 0.5° 이내로 일치하고 있음을 보여주고 있다.

II-2-4. 보호산화막 두께와 시료 이동속도의 효과

재결정화된 SOI박막에서 결정립 경계면간의 간격은 보호산화막의 두께에 의하여 영향을 받게된다. SOI박막이 $1\mu\text{m}$ 이고 시료이동속도가 $0.5\text{mm}/\text{sec}$ 로 하였을 때 보호산화막의 두께가 $1\mu\text{m}$ 인 경우와 $2\mu\text{m}$ 인 경우 약 $20\mu\text{m}$ 의 미세경계면 간격의 증가를 가져온다. 이는 재결정화시 실리콘 표면에 균일도 증가를 의미하며 소자 제작시 임계전압, 이동도, subthreshold기울기 등의 전기적 특성에 영향을 미친다.¹⁵⁾ 이와 같이 재결정화시 보호산화막 두께는

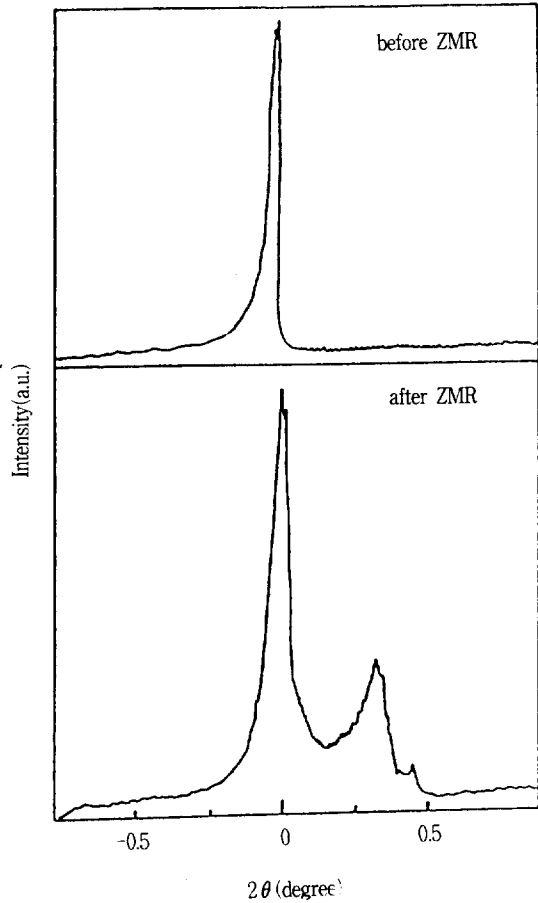


그림 9. 재결정 전후의 SOI 시료에 대한(311) 반사면의 X-선 회절 패턴

Fig. 9. X-ray diffraction pattern of (311) reflection surface in the SOI sample.

두꺼울수록 산화막과 실리콘층에 물리적 강도를 증가시켜 재결정화시 실리콘 표면에 균일도를 향상시키나 SOI시료 제작 공정 상의 어려움이 따른다.

그림 10은 재결정화된 SOI박막이 $1\mu\text{m}$ 이고 재결정화시 용융띠가 형성된 후 시료 이동속도에 따른 결정립 경계면 간격으로써 $0.4\text{mm}/\text{sec} \sim 0.7\text{mm}/\text{sec}$ 사이의 이동속도에는 결정립 경계면간의 간격이 크게 변화하지 않는 것을 알 수 있다. 그러나 이동속도가 $0.4\text{mm}/\text{sec}$ 이하의 경우는 용융지역이 이동되는 시간이 너무 느림으로 각층간이 달라붙는 현상이 발생되며 $0.7\text{mm}/\text{sec}$ 이상의 이동 속도에서는 전이 영역을 형성하여 미세경계면을 이루는 시간을 단축시켜 재결정화가 되지 않고 열처리만 되는 시료를 얻게 된다. 따라서 용융띠 형성의 시간이 이동 속도의 시간에 비해 너무 느리거나 빠르지

않게하는 것이 중요하게 된다.

II-3. 종자창이 있는 시료의 재결정화 공정

종자창을 형성하는 목적은 재결정화된 실리콘층이 실리콘 기판의 특성을 그대로 유지하거나, 종자창이 없는 시료의 경우 결정립간격 이내로 종자창을 형성하여 전체 시료를 단결정화 하기 위한것이다. 종자창이 있는 SOI시료구조는 실리콘기판 위의 절연산화막층을 4.8 μm 폭으로 에칭하여 각각 40 μm , 80 μm , 120 μm , 200 μm 의 간격을 갖게 하였다. CVD법으로 다결정실리콘을 증착후 보호산화막층을 증착하고 재결정화를 하였다.

II-3-1. 암모니아 열처리 효과

암모니아 열처리하지 않은 산화보호막 만의 SOI시료를 재결정화하면 재결정화된 실리콘의 표면이 불규칙하게 되어 일정한 두께의 재결정화된 실리콘층을 얻지 못한다. 시창을 갖는 SOI 구조를 3시간 동안 1100 $^{\circ}\text{C}$ 에서 1 ℓ /min의 암모니아(NH_3)분위기에서 열처리를 하면, 열처리 동안 질소 원자가 열처리 시간, 온도 및 부분 압력에 의해 보호산화막층으로 확산하여 재결정화시 하단열원의 온도 증가로 실리콘과 보호산화막 계면에 SiN_x 의 보호막을 형성한다.¹⁶⁾ 그림 11은 암모니아에서 열처리한 시료를 재결정화 한 경우 표면 사진으로 전 표면이 균일하게 나타나고 있다. 그러나 산화막에서의 열팽창 계수는 $5 \times 10^{-7}/^{\circ}\text{C}$ 이고 실리콘은 $2.6 \times 10^{-6}/^{\circ}\text{C}$ 로서 차이를 나타내어 재결정화시 Silica 보호막은 tensile stress를 받게되어 (b)의 단면사진에서와 같이 종자창이 있는 가장자리 부근에서 휨 현상이 나타난다. 이러한 휨 현상은 가운데 실리콘 박막의 두께는 감소시키고 바깥쪽은 더 큰 두께를 지니게 하여 약 20%의 두께 차를 나타낸다.¹⁷⁾

II-3-2. (100) texture 및 응력의 측정

재결정화된 SOI 박막에서의 종자창 가운데와 바깥 부근에서 박막의 휨 현상에 의한 내재된 응력 및 결정성 측정은 Raman microscope 측정 방법을 사용하였다.

그림 12에서는 기준을 위한 (100)방향의 벌크 실리콘과 종자창을 열은 재결정화시료에서 얻은 Raman 산란 강도를 보이고 있다. 벌크 실리콘에 대한 Raman산란 스펙트럼은 521 cm^{-1} 에서 최대값을 갖고 있는 반면에 재결정화된 종자창을 열은 시료에 대해서는 스펙트럼의 최대값이 520 cm^{-1} 로서 더낮은 에너지로 이동되어 나타나고 있다.

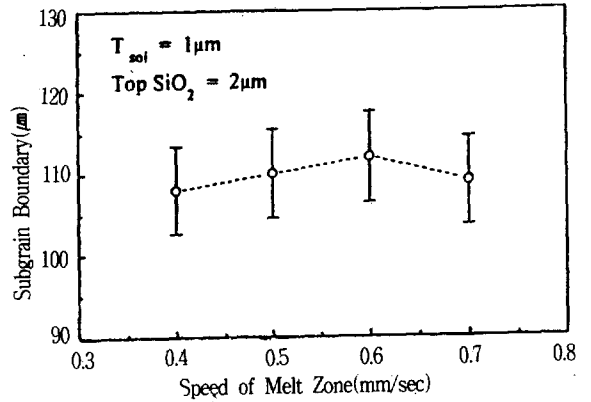
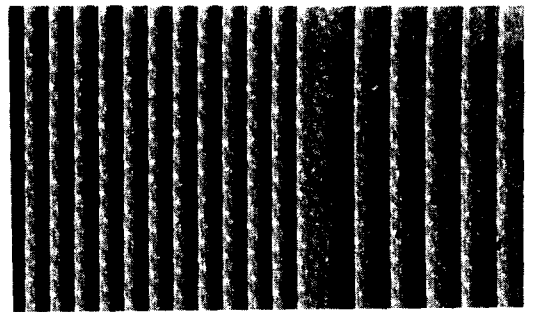
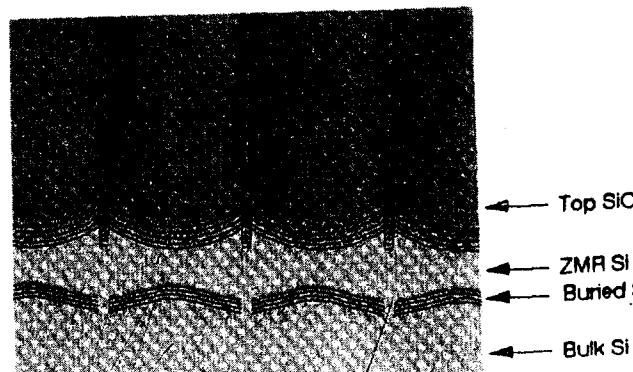


그림 10. 이동 속도에 따른 결정립 경계면 간격
Fig. 10. Grain boundary space for the scanning speed.



(a)



(b)

그림 11. 종자창이 있는 시료의 재결정화 사진
(a) 표면 사진(x75) (b) 단면 사진(x300)
Fig. 11. Micrograph of the SOI sample with the speed windows.
(a) Surface micrograph(x75)
(b) Cross-sectional micrograph(x300)

Raman 스펙트럼의 이동 현상은 시료내에서의 내재된 응력 및 크기 효과 즉 작은 결정립 크기에 대한 영향으로 나타난다. 그러나 시료의 미세 경계면 간격이 최대 120 μm 로서 종자창을 열은 간격과 일치함으로 이때의 Raman 스펙트럼의 이동은 내재된 응력에 의한 것으로 생각되며, 낮은 에너지로의 이동은 재결정화된 실리콘 박막에서의 응력이 tensile임을 보여준다.¹⁸⁾ SOS인 경우는 반대로 더 높은 에너지로 최대값이 이동되며 이는 compressive 응력에 의한 것임이 이미 알려져 있다.¹⁹⁾ Raman산란 측정으로부터 재결정화된 시료에서 종자창을 열은 바깥부근에서는 1 cm^{-1} , 가운데서는 1.5 cm^{-1} 로 에너지가 낮은 쪽으로 Raman스펙트럼 이동이 나타난다. 이때 양쪽으로 종자창이 열려 있는 고립된 재결정화 시료의 바깥부근과 가운데 부

근에서의 응력 τ 는²⁰⁾ 2.49 $\times 10^9$ dyn/cm² 및 3.74 $\times 10^9$ dyn/cm²임을 알 수 있고 이는 종자창 바깥 부분에서 측면방향쪽으로 자유표면(free surface)이 존재함으로 바깥보다 안에서 더 큰 응력을 받아 박막의 변형을 가져온다,

III. n채널 SOI MOSFET의 전기적 특성

SOI구조는 절연층을 중심으로 실리콘 기판과 절연층위의 실리콘층이 아주 좋은 전기적 분리기술을 제공하기 때문에 회로 설계 면에서 기존의 수평방향이 아닌 수평 및 수직방향으로의 회로 설계로 집적도를 증가시킬 수 있다. 또한 SOI 박막이 충분히 얇아 소자 동작시 SOI 기판이 완전히 공핍되면 소자간의 완전한 전기적 절연에 의해 기존의 CMOS 소자에서 나타나는 p-n-p-n 접합에 따른 래치 업 현상을 줄일 수 있고 p 및 n well들이 불필요하여 소자제작 공정의 단순화를 이룬다.

이와같은 장점을 갖는 소자를 제작하기 위해 ZMR 공정 방법으로 절연 산화막층위의 다결정 실리콘을 재결정화 하고 재결정화된 종자창없는 SOI 실리콘 박막에 부분 공핍된 n채널 SOI MOSFET을 제작하여 전기적 특성을 측정하여 제조된 SOI 박막의 특성 및 그 개선점을 살펴보았다.

III-1. n 채널 SOI MOSFET 제작

SOI MOSFET 제작을 위하여 위의 재결정화된 SOI 시료를 1000 $^{\circ}\text{C}$ 에서 20분간 습식 산화하여 산화막을 증착시켰다. 제작된 소자 이외의 영역은 Island 마스크를 사용하여 절연 산화막층까지 에칭하였다. 제작될 MOSFET의 영역에 붕소를 이온 주입한 후 0.6% TCE를 포함하는 건식 산화법으로 1000 $^{\circ}\text{C}$ 에서 30분간 게이트 산화막을 성장시키고 질소 분위기에서 1000 $^{\circ}\text{C}$ 로 20분간 열처리하였다. 다결정 실리콘을 620 $^{\circ}\text{C}$ 에서 4000 \AA 증착하고 불순물 도핑은 970 $^{\circ}\text{C}$ 에서 30분간 인을 확산시켰다. 이때 측정된 다결정 실리콘 게이트의 비저항은 150 $\Omega\cdot\text{cm}$ 이었다. 불순물 도핑시 생성된 P₂O₅ glass 층을 10:1 HF에 제거하고, 게이트 마스크를 사용하여 게이트 패턴을 형성하였다. n+소오스/드레인 지역은 인을 사용하여 950 $^{\circ}\text{C}$ 에서 30분간 확산 공정을 수행하였다. 900 $^{\circ}\text{C}$ 에서 건식 산화법으로 15분간 산화막을 성장하고 접촉 마스크를 사용하여 contact을 형성하였다. E빔 증착방법으로 1 μm 두께의 알루미늄을 증착하고 금속 마스크 작업 후 N₂+10% H₂ 분위기에서 450 $^{\circ}\text{C}$ 로 30분간 열처리하여 부분 공핍형 N채널 SOI MOSFET을 제작하였다.

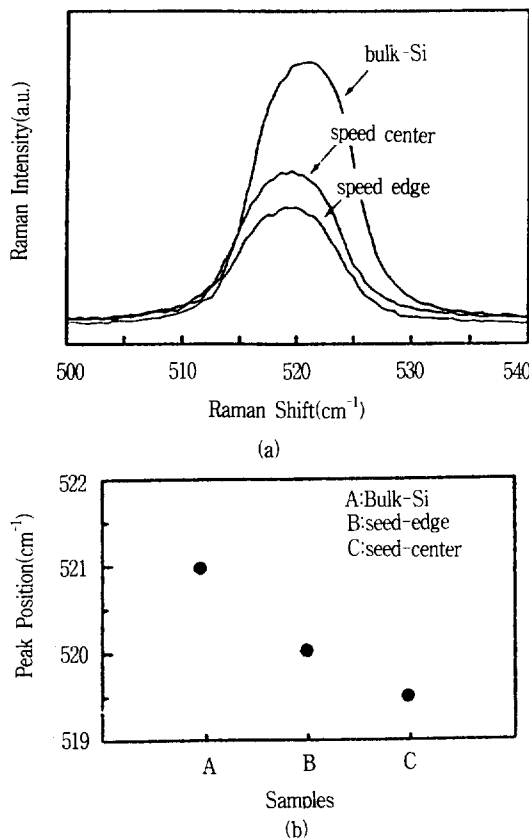


그림 12. (a)벌크 실리콘과 종자창을 열은 시료에서의 Raman측정 스펙트럼
(b)최대 피크 값에 대한 Raman 스펙트럼 이동

Fig. 12. Raman microprobe spectrum of the bulk Si and seed window samples.

III-2. 소자측정 및 고찰

그림 13은 약 0.7 μm 두께의 재결정화된 SOI 실리콘층에 제작된 SOI nMOSFET 단면도로서 채널 길이는 20 μm , 채널 폭은 50 μm 이며 오른쪽이 소스, 가운데가 게이트이고 왼쪽이 드레인이다.

그림 14는 제작된 n채널 SOI MOSFET 소자를 HP 4145B 측정 장비를 사용하여 측정한 선형 및 포화영역에서의 전류-전압 특성 곡선으로 게이트 전압은 1V씩 증가 시켰다. 포화영역내에서 킥효과(kink effects)가 나타났다. 이는 부분공핍된 N채널 SOI MOSFET에서 부유 기판(floating body)의 영향으로 나타나는 현상으로 안정된 소자 동작 시 단점이 되며 SOI박막을 충분히 얇게 하여 SOI 박막이 완전히 공핍될 수 있으면 이와같은 킥 현상은 발생되지 않는다.²¹⁾

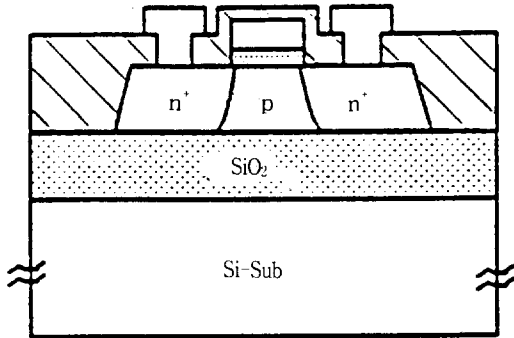


그림 13. n 채널 SOI MOSFET 단면도
Fig. 13. Cross-section of the n-channel SOI MOSFET.

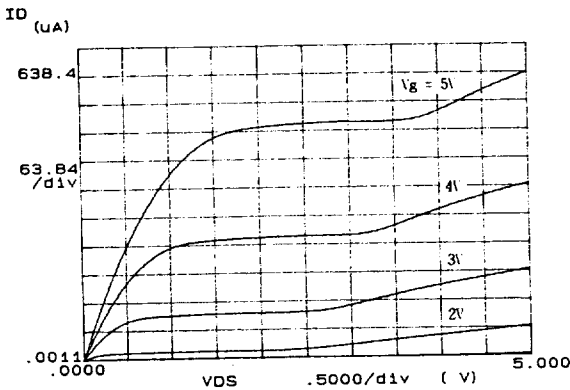


그림 14. n 채널 SOI MOSFET의 Id-Vds 특성 (W/L=50 μm /20 μm)
Fig. 14. Id-Vds characteristics of the n-channel SOI MOSFET.

그림 15는 Vds=0.1V 인 경우 log(Id)-Vgs 특성곡선으로, 문턱전압 이전에 Id의 변화를 나타내고 있다. 이러한 변화를 나타내는 드레인 전류는 게이트 전압이 증가함에 따라 주 채널(main channel)의 문턱전압이 시작되기 전에 edge영역에서 먼저 문턱전압이 나타나는 것이다.^{22,23)} 이러한 edge전류를 제거하기 위해서는 소자 제작공정시 edge영역에 주 채널 불순물 농도보다 더 많은 양의 불순물을 주입하거나 edge가 나타나지 않는 소자가 요구된다.

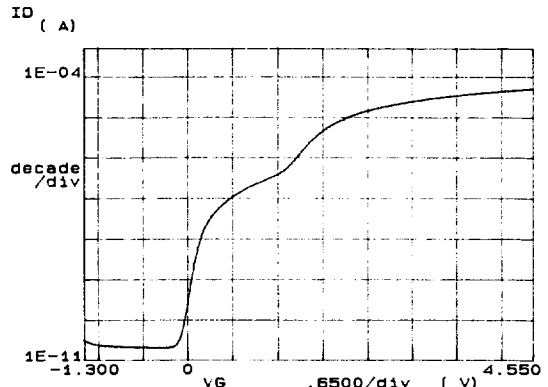


그림 15. n채널 SOI MOSFET의 log(Id)-Vgs 특성
Fig. 15. log(Id)-Vgs characteristics of the n-channel SOI MOSFET.

그림 16은 Vds가 0.1V일 때 소자의 Ids-Vgs 특성 곡선으로, 드레인에 낮은 전압을 인가하여 드레인의 영향을 무시할 수 있어 전달 컨덕턴스 측정에 용이하다. 측정된 전달 컨덕턴스 gm은 17 $\mu\text{A/V}$ 이다. SOI 박막의 두께가 최대공핍영역의 폭보다 충분히 크고 제작된 소자가 결정립 간격내의 단결정 실리콘 특성을 갖는 영역내에 존재한다면 그 전기적 특성이 Bulk MOSFET과 같이 해석할 수 있고, 이때 계산된 이동도 μ 는 589 $\text{cm}^2/\text{V}\cdot\text{s}$ 이다. 시료내의 전체 소자에서 측정된 이동도는 그림 17에서와 같이 337 $\text{cm}^2/\text{V}\cdot\text{s}$ 이고 대체적으로 500 $\text{cm}^2/\text{V}\cdot\text{s}$ 보다 큰 이동도를 갖는다. 이러한 큰 이동도는 ZMR방법으로 재결정화된 SOI박막이 좋은 전기적 특성을 갖고 있음을 나타낸다. 그러나 이와 같이 동일시료에서 얻은 이동도의 약간의 차이는 재결정화된 실리콘 표면의 불균일함에 따른 실리콘과 게이트산화막 사이의 고정전하 및 계면전하의 영향, 제작된 소자내의 결정립 경계면의 존재로 인한 채널영역에서의 전자의 이동도의 감소 그리고 소자제조 공정상의 마스크정렬 에러인 것으로 생각

된다.

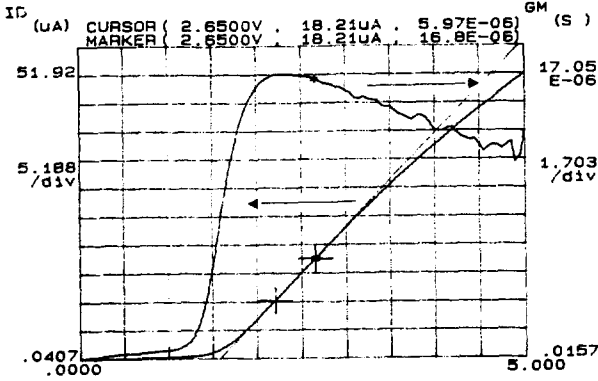


그림 16. n채널 SOI MOSFET의 I_d-V_{gs} 특성
 Fig. 16. I_d-V_{gs} characteristics of the n-channel SOI MOSFET.

IV. 결 론

흑연 막대 발열체를 이용한 재결정화 공정이 SOI박막에 대해 이루어졌다. 종자창을 열지않은 Si_3N_4/SiO_2 보호막을 갖는 SOI구조 시료의 경우 재결정화된 박막은 단결정 특성을 나타내었다. 이때 결정립 간격은 약 $120\mu m$ 이고 시창을 갖는 SOI 시료인 경우 재결정화시 실리콘의 mass transport에 의해 약 20%의 두께 변화가 나타났고 이때 내재된 응력은 tensile stress이다. 종자창을 열지않은 $0.7\mu m$ 두께의 SOI시료에 n채널 MOSFET을 제작하였다. 소자 측정으로부터 드레인전류 증가에 따른 kink현상이 나타났고 채널 이동도는 약 $500 cm^2/V \cdot s$ 이상의 값을 얻었다. 이와 같은 결과로부터 결정립 간격의 증가 및 표면의 균일도 증가가 이루어지면 완전 공핍형 SOI MOSFET의 소자제작이 가능하고 또한 SOI 센서 소자로의 응용이 가능하며 GaAs 및 InP같은 다른 특성을 갖는 SOI 구조도 가능하여 3차원 소자로의 응용이 기대된다.

참 고 문 헌

1. J.H. Lee and S. Cristoloveanu, "Investigation of Degraded Electrical Transport Properties Near the Si- Al_2O_3 Interface in Silicon on Sapphire", 8th Int. Vacuum Congress, vol. 1, pp.550-553, 1980.
2. A.E. Schmitz, R.H. Walden, M. Montes and D.M. Courtney, "Silicon-on-Insulator by Gra-

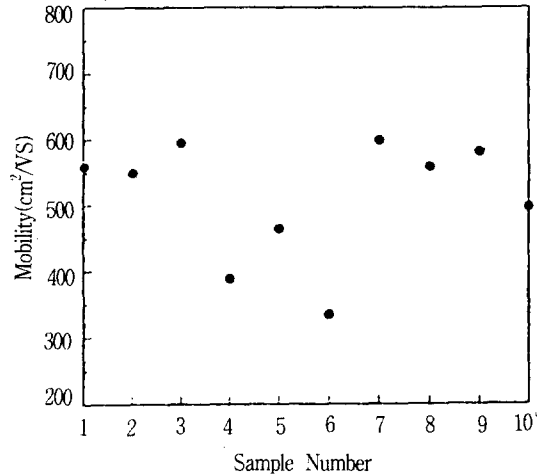


그림 17. SOI시료에서 측정된 SOI MOSFET의 이동도
 Fig. 17. Mobility of the SOI MOSFET sample.

- phoeptaxy and Zone-Melting Recrystallization of Patterned Film," Tech. Digest of Symposium on VLSI Technology, pp. 67, 1988.
3. D. Pribat, L.M. Mercandalli, M. Croset, D. Dieamegard and J. Siejika, "Hetero Epitaxial Growth of Silicon on (100) Yttria Stabilized Zirconia(YSZ) and Thermal Oxidation of the Si-YSZ Interface," Mat. Lett., vol. 2, pp. 524-528, 1984.
4. L. Jastrzebski, "SOI by CVD : Epitaxial Lateral Overgrowth(ELO) Process," J. of Crystal Growth 63, pp. 493-526, 1983.
5. H. Yamamoto et al, "Lateral Solid Phase Epitaxy of Evaporated Amorphous Si Films onto SiO_2 Patterns," Silicon on Insulator : Its Technology and Applications, pp. 187-207, 1985.
6. J. Belz, G. Burbach, H. Vogt and W. Zimmernann, "Temperature Behavior of CMOS Device Built on SIMOX Substrate," Proceeding ESSDERC, pp.449-452, 1990.
7. W.P. Maszara, G. Goetz, A. Cavigilia and J.B. Mckitterick, "Bonding of Silicon Wafers for Silicon On Insulator," J. Appl. Phys., vol.64 (10), pp. 4943, 1988.
8. C.K. Celler, "Laser Crystallization of Thin Films on Amorphous Insulating Substrate," J. of Crystal Growth 63, pp.429-444, 1983.
9. M. Robinson, D.J. Lischner and C.K. Celler, "Large Area Recrystallization of Polysilicon

- with Tungsten Hallogen Lamps," J. of Crystal Growth 63, pp.484-492, 1983.
10. L. Pfeiffer, K.W. West, D.C. Joy, J.M. Gibson, and A.E. Gelman, "Semiconductor-On-Insulator and Thin Film Transistor Technology," MRS Symposium Proceedings, vol. 53, p.29, 1986.
 11. M. W. Geis, H.I. Smith, B-Y Tsaur, J.C.C. Fan, D.J. Silversmith and R.W. Mountain, "Zone Melting Recrystallization of Si Films with a Moveable-Strip Heater Oven," J. Electrochem. Soc., vol. 129, pp.2812, 1982.
 12. M.W. Geis, H.I. Smith, B-Y Tsaur and J.C.C. Fan, "ZMR of Encapsulated Silicon Films on SiO₂-Morphology and Crystallography," Appl. Phys. Lett. 40, pp. 158-160, 1982.
 13. M.W. Geis, H.I. Smith and C.K. Chen, "Characterization and Entrainment Subboundaries and Defect Trails in ZMR Si Films," J. Appl. Phys. 60, pp. 1152-1160, 1986.
 14. E. Yablonovitch and T. Gmitter, "Wetting Angles and Surface Tension in the Crystallization of Thin Liquid Films," J. Electrochem. Soc., vol.131, pp.1707, 1984.
 15. K.K. Pung, "Analysis of Conduction in Fully Depleted SOI MOSFET's," IEEE Trans. Electron Devices, vol. 36, 1989.
 16. G.W. Cullen, "Single-Crystal Silicon on Non-Single-Crystal Insulators, " J. of Crystal Growth 63, p.462, 1983.
 17. D.A. Williams, R.A. McMahon and H. Ahmed et al, "Selective Epitaxial Growth in Silicon on insulator: Planarity and Mass Flow," J. Appl. Phys., vol.65(9), pp.3718-3721, 1989.
 18. M. Takai, T.T. Guwa, M. Miyauchi, S.C. Nakashima, K. Gamo and S. Namba, "Residual Strain in Single Crystalline Germanium Islands on Insulator," J. Appl. Phys., vol.23, NO. 6, pp.1363-1365, 1984.
 19. B-Y Tsaur, J.C.C. Fan and M.W. Geis, "Stress Enhanced Carrier Mobility in Zone Melting Recrystallized Poly Crystalline Si Films on SiO₂-Coated Substrates, " Appl. phys. Lett. 40, pp. 322-333, 1982.
 20. T.H. Englet and Abstreiter, "Determination of Existing Stress in Silicon Films on Sapphire Substrate using Raman Spectroscopy," Solid State Electronics, vol. 23, pp.31-33, 1980.
 21. J. P. Colinge, "Reduction of Kink Effect in Thin Film SOI MOSFET's," IEEE Electron Devices Lett., vol.9, pp. 97, 1986.
 22. T. Elewa, B. Kleveland, S. Cristoloveanu, B. Boukriss and A. Chovet, "Detailed Analysis of Edge Effect in SIMOX-MOS Transistors," IEEE Trans. Electron Devices, vol. 39, NO.4, 1992.
 23. J.C. Marchetaux, B.S. Doyle and A. Boudou, "Interface States under LOCOS Bird's Beak Region," Solid State Electron., vol. 30, pp. 745-753, 1987.

저자소개

윤석범



1963년 10월 21일생. 1985년 2월 건국대학교 전자공학과 졸업. 1989년 2월 동대학원 전자공학과 졸업(석사). 1993년 2월 동 대학원 전자공학과 졸업(공학박). 1994년 현재 공주전문대학 산업영상과 전임강사.

오환술



1951년 10월 18일생. 1971년 3월, 1979년 2월, 1984년 2월 연세대학교 전자공학과 공학사, 공학석사, 공학박사. 1979년 9월-1994년 2월 건국대학교 공대 전자공학과 교수. 주관심분야는 CSP-DHLD & CSP Laser Array 모델링.

KIP process, Hot Carrier, Ultra Shallow Junction, High Energy Ion Implantation.