

# GaAs MESFET의 파괴특성 향상을 위한 Recess 게이트 구조

논문  
7-5-2

## The Recess Gate Structure for The Improvement of Breakdown Characteristics of GaAs MESFET

장윤영\*, 송정근\*

(Youn-Young Jang, Chung-Kun Song)

### Abstract

In this study we developed a program(DEVSIM) to simulate the two dimensional distribution of the electrostatic potential and the electric field of the arbitrary structure consisting of GaAs/AlGaAs semiconductor and metal as well as dielectric. By the comparison of the electric field distribution of GaAs MESFETs with the various recess gates we proposed a suitable device structure to improve the breakdown characteristics of MESFET.

According to the results of simulation the breakdown characteristics were improved as the thickness of the active epitaxial layer was decreased. And the planar structure, which had the highly doped layer under the drain for the ohmic contact, was the worst because the highly doped layer prevented the space charge layer below the gate from extending to the drain, which produced the narrow spaced distribution of the electrostatic potential contours resulting in the high electric field near the drain end. Instead of the planar structure with the highly doped drain the recess gate structure having the highly doped epitaxial drain layer show the better breakdown characteristics by allowing the extension of the space charge layer to the drain. Especially, the structure in which the part of the drain epitaxial layer near the gate show the more improvement of the breakdown characteristics.

**Key Words(중요어)** : MESFET.(금속-반도체 접계 효과 트랜지스터), Recess Gate Structure (Recess 게이트 구조)

### I. 서론

GaAs MESFET에서 파괴전압은 트랜지스터의 동작전압을 한계짓는 중요한 요인이 된다. 더우기, 소자의 크기가 작아짐에 따라 파괴전압도 감소하게 되어 출력 전력을 제한하는 주된 요인이 되지만, 파괴현상은 소자의 2차원 기하학적 구조의 영향을 받으며, 또한 비선형적인 성질 때문에 모형화하기 어려운 점이 있다. 비록 일반적으로 2차원 구조를 갖는 MESFET의 파괴현상에 관한 정확한 모델은 없지만 파괴현상의 메카니즘들을 숙고하면

유용한 물리적 직관을 얻을 수 있다.

이러한 목적으로 본 연구에서는 반도체와 금속 그리고 유전체로 구성된 임의의 2차원 구조의 정전위 및 전계분포를 시뮬레이션할 수 있는 프로그램 DEVSIM을 개발하여, 다양한 MESFET 구조들의 게이트 전압에 따른 전계분포를 비교 분석함으로써 파괴에 강한 구조를 산출할 수 있었다. DEVSIM에는 전류방정식과 연속방정식은 고려하지 않았기 때문에 정략적으로 파괴전압의 값을 구할 수 없지만, 여러가지 구조들을 비교함으로써 상대적으로 파괴특성이 우월한 구조를 판단할 수 있었다.

먼저 MESFET의 파괴 메카니즘에 대하여 간단히 설명하고, 이어서 프로그램 DEVSIM과, 이를 이용하여 전계분포를 시뮬레이션한 결과를 바탕으로 파괴특성이 향상된 구조를 제안한다.

\* : 동아대학교 전자공학과

\*\* : 부산전문대학 전자계산학과

접수일자 : 1994년 3월 21일

심사완료 : 1994년 8월 16일

**II. MESFET의 파괴 메카니즘**

파괴현상은 단자에 인가된 전압에 의해 야기된 전계에 의해 출력 전류가 제어할 수 없게 증가하는 상태를 말하며, 때로는 이와같은 큰 전류 때문에 소자가 파괴 되기도 한다. MESFET에서는 게이트 애벌런치 (V<sub>ds</sub>=0)와 게이트-드레인 파괴 (V<sub>ds</sub>>0)가 전력 MESFET의 출력 전력을 제한하는 중요한 요인이 된다<sup>1,2)</sup>. 그래서, MESFET의 성능을 저하시키지 않으면서 파괴 전압을 증가시키기 위하여 게이트 recess 식각공정을 개발하였고, 많은 경우 파괴전압의 향상을 이루었다<sup>3,4,5)</sup>. 그러나, 최적의 소자구조에 대한 공통된 견해는 없는데, 이것은 recess 에칭공정이 소자 성능의 다른 면에도 역시 영향을 미치기 때문이다.

애벌런치 파괴는 전계가 임계전계 (E<sub>c</sub>)보다 크고 전송자가 존재할 때 발생하며, 임계전계는 도핑농도 (N<sub>D</sub>)에 좌우된다<sup>4)</sup>. 그리고 파괴전압은 식 (1)과 같이 간단히 계산할 수 있으나, 실제 게이트 애벌런치 파괴전압은 이 값보다 작다.

$$V_B = E_c^2 \epsilon / 2qN_D \tag{1}$$

이것은 게이트 전극의 모퉁이 근처에서 전계가 항상 크기 때문이며 인접한 드레인 전극과 recess 에칭에 의한 게이트 구조의 영향도 받기 때문이다. 그러므로, 실제 파괴특성을 분석하기 위해서는 2차원 전계를 고려하는 것이 필수적이다. 이를 위하여 본 연구에서는 반도체와 금속 및 유전체로 구성된 임의의 구조의 MESFET에 대하여 2차원 정전위 및 전계를 시뮬레이션할 수 있는 프로그램, DEVSIM을 개발하였다.

**III. 2차원 전계 시뮬레이션을 위한 프로그램; DEVSIM**

DEVSIM은 주어진 구조와 경계조건에서 2차원 Poisson 방정식을 유한차분법으로 풀어서 정전위 및 전계분포를 계산하는 프로그램이다. 2차원 Poisson 방정식을 유한차분

$$\frac{\partial^2 \psi}{\partial x^2} + \frac{\partial^2 \psi}{\partial y^2} = -\frac{\rho}{\epsilon} \tag{2}$$

$$\rho = q(p - n + N_D - N_A)$$

법과 SOR (Successive Over Relaxation) 수렴법<sup>6)</sup>

을 사용하여 전위분포를 계산하고, 이어서 각 그리드(grid)에서 전계를 구한다.

본 프로그램은 임의의 다층 구조의 GaAs/AlGaAs 화합물 반도체와 금속전극 그리고 유전체를 시뮬레이션할 수 있는 것을 특징으로 하며, 또한 사용자가 그리드(grid)를 임의로 지정할 수 있기 때문에 전계가 급격히 변하는 영역에서는 많은 그리드를 지정하여 계산의 정확도를 높일 수 있는 장점이 있다.

DEVSIM에서는 전류방정식은 아직 고려하지 않았기 때문에 출력 전류는 계산할 수 없다. 따라서, recess 게이트에 의한 파괴전압의 향상을 정확히 시뮬레이션할 수 없지만, 구조의 영향을 비교할 수 있기 때문에 시뮬레이션 조건을 동일하게 유지하면 어떤 구조가 다른 구조에 비하여 상대적으로 우월한지를 판단할 수 있다.

**IV. 시뮬레이션 결과 및 검토**

DEVSIM에서는 전류를 계산할 수 없으므로 최대전계의 크기와 임계 등전계면 (N<sub>D</sub>=10<sup>16</sup>cm<sup>-3</sup>일 경우, E<sub>c</sub>=4\*10<sup>5</sup>V/cm)의 contour가 둘러 싸는 면적을 파괴특성의 지표로 사용한다. 즉 최대전계와 면적이 크면 파괴현상이 발생할 확률이 높은 것으로 판단한다. 한 예로서, MESFET의 에피층과 전극의 위치가 전계에 미치는 영향을 분석하기 위해서 그림 1의 6가지 MESFET 구조의 전계분포를 시뮬레이션하였다. (1), (3), (5)에는 도우너가 10<sup>16</sup>cm<sup>-3</sup> 도핑되어 있고 두께는 5μm인 GaAs 에피층을 갖는 MESFET들이 있고, 반면에 (2), (4), (6)의 MESFET는 진성 GaAs 벌크위에 10<sup>16</sup>cm<sup>-3</sup> 도핑된 0.4μm의 얇은 n형 에피층을 갖고있다. (1)과 (2)는 무한 길이의 게이트, (3)과 (4)는 모서리가 있는 게이트 그리고 (5)와 (6)은 게이트 전극으로부터 0.2 μm 떨어져 드레인 전극이 위치해 있다. 이러한 MESFET들의 게이트에 전압을 -10V, -20V와 -40V를 인가하였을 때 각 MESFET 구조의 최대전계의 크기(그림 2a)와 4\*10<sup>5</sup>V/cm 등전계면의 면적 (그림 2b와 2c)이 그림 2에 나타나 있다.

그림 2의 시뮬레이션 결과로부터 다음과 같은 결론을 얻을 수 있다. 첫째, 얇은 에피층을 갖는 MESFET[그림 1의 (2), (4), (6)]의 최대전계의 크기가 두꺼운 에피층을 갖는 MESFET[그림 1의 (1), (3), (5)]에 비하여 더 작았다.

이것은 얇은 에피층이 있는 구조에서는 공간전하 영역이 도핑되지 않는 벌크쪽으로 더욱 깊이 파고들어 가므로 그 결과 전계의 크기는 작아지기 때문이다. 따라서, 얇은 에피층을 갖는 MESFET

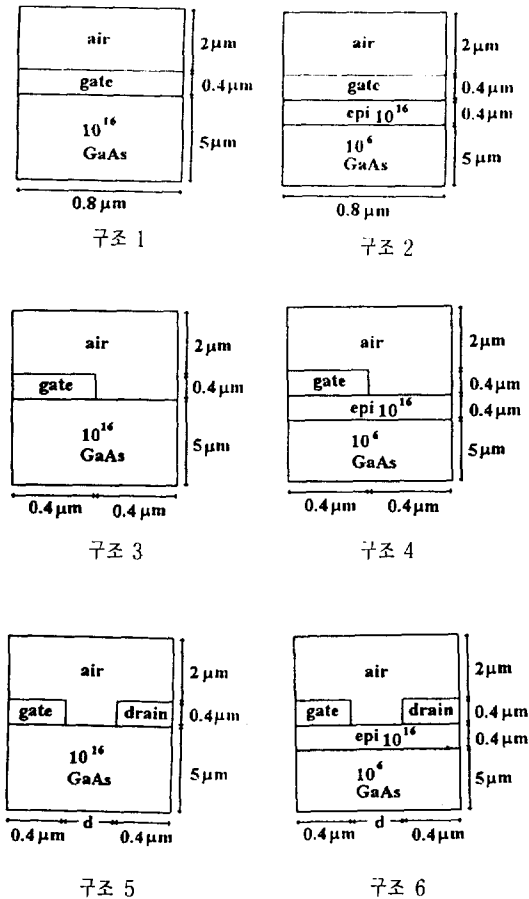


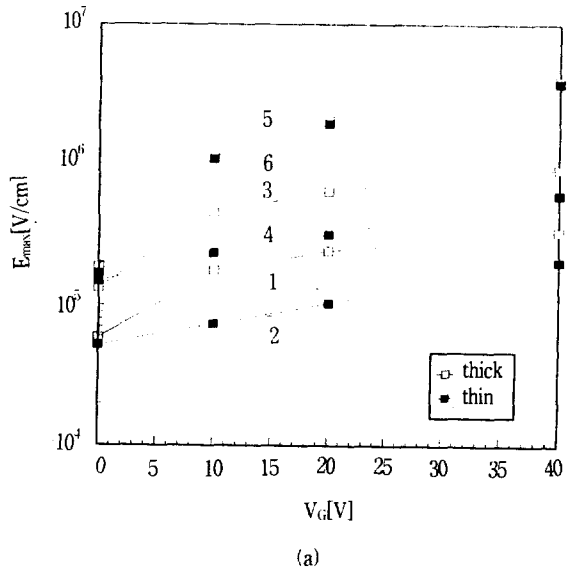
그림 1. 전계분포 시뮬레이션을 위한 다양한 MESFET의 구조들.

Fig. 1. The various MESFET for the simulation of potential distribution.

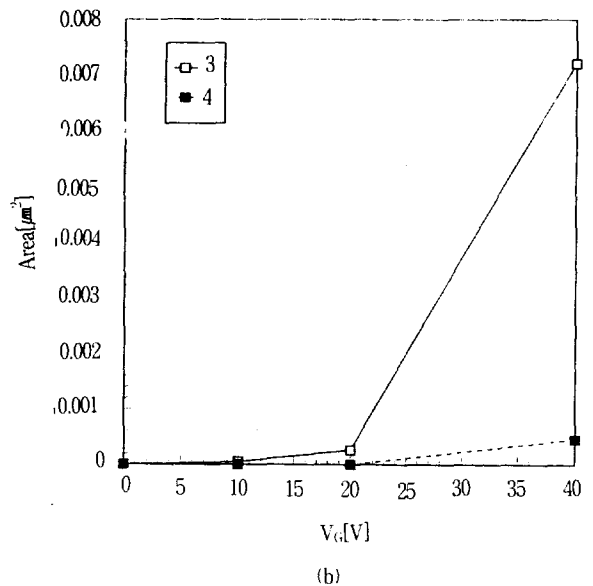
(2),(4),(6)이 두꺼운 에피층을 갖는 MESFET (1), (3),(5)보다 더 큰 파괴전압을 갖게된다. 그러나, 에피층의 두께는 파괴전압 외에도 pinch-off 전압과 같은 다른 파라미터에 의해서 결정된다. 둘째, 그림 2a의 (1)과 (3) 그리고 (2)와 (4)를 비교해보면 게이트 전극의 모서리 부분이 있는 구조(3)과 (4)의 최대전계가 모서리 부분이 없는 구조 (1)과 (2)보다 약 3배 커짐을 볼 수 있는데, 이것은 전극의 모퉁이 근처에서 항상 전계가 집중되기 때문이다. 이러한 현상은 드레인 전극이 가까이 있을 때 더욱 현저해지는데, 드레인 전극이 게이트로부터 0.2μm 떨어져 위치해 있는 구조 (5)와 (6)을 드레인 전극이 없는 구조 (3)과 (4)를 각각 비교해 보면 (5)와 (6)의 최대전계가 (3)과 (4) 보다 훨씬 커짐을 알 수 있다. 셋째, 그림 2b와 2c의 면적-전압의

관계로부터 위와 유사한 결론을 얻을 수 있다. 그림 2b에서 얇은 에피층을 갖는 구조 (4)의 면적이 (3)보다 작으며, 전압이 증가할수록 그 차이는 더욱 커짐을 볼 수 있다. 그러나, 그 차이는 드레인 전극(V<sub>ds</sub>=0)이 가까이 위치한 구조 (5)와 (6)에서는 현저히 감소하였다 (그림 2c). 이것은 그림 3a와 3b의 등전계면 분포에서 보듯이 금속전극으로 전계가 투과하지 못하고, 반도체 내부로 집중되었기 때문이다.

이와같이 게이트-드레인 전극의 위치에 따라서 전계의 분포가 달라지므로, 정확한 파괴특성을 분석하기 위해서는 반드시 2차원 전계분포를 고려해



(a)



(b)

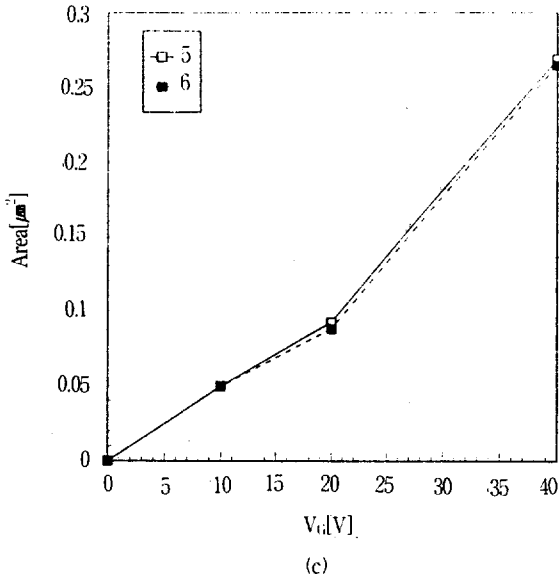


그림 2. 그림 1의 다양한 구조들의 a) 최대전계-전압, b) 구조 (3)과 (4)의 등전계면 면적-전압, c) 구조 (5)와 (6)의 등전계면 면적-전압.

Fig. 2. (a)  $E_{max}-V_G$  for the various structure of Fig. 1, (b) the area of field contour vs.  $V_G$  of the structure (3) and (4), (c) the area of field contour vs.  $V_G$  of the structure (5) and (6).

야한다.

그림 4에는 보다 향상된 파괴특성을 갖는 구조

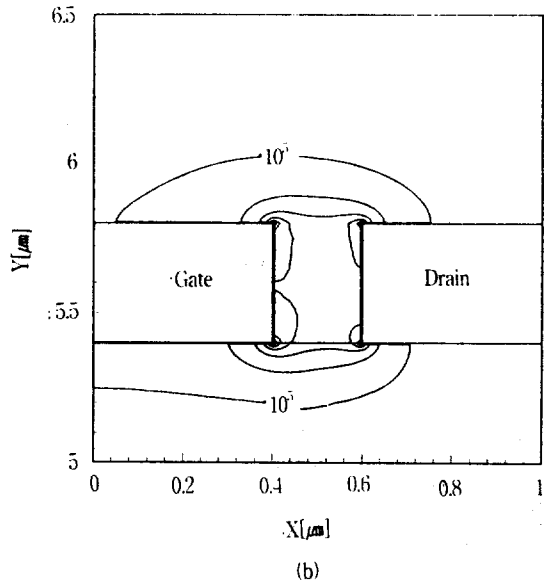
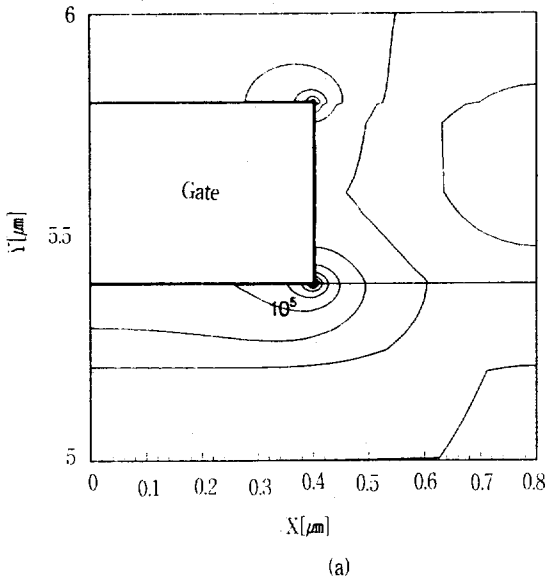


그림 3. (a) 구조 (4)의 등전계면 분포, (b) 구조 (6)의 등전계면 분포.

Fig. 3. (a) The field contour of the structure (4), (b) of the structure (6).

를 산출하기 위하여 DEVSIM으로 시뮬레이션할 여러가지 모양의 MESFET 구조를 나타내고 있다.

구조 (7)은 드레인에 음 저항을 감소시키기 위해서 고준위 도핑된 영역 (깊이=0.2μm)을 갖는 planar 구조의 MESFET이고, (8)은 게이트 부분이 수직으로 recess 식각되어 있으며 드레인에 유 집 축을 위해 고준위 에피층을 가지고 있으며, (9)는 (8)과 유사하나 게이트에 가까운 에피층 일부가 식각된 구조를 갖고 있다. 이러한 구조의 드레인에 0V, -10V, -20V, -40V를 각각 인가하고, 게이트-드레인 간격을 0.1μm, 0.2μm, 0.5μm로 변화시키면서 최대전계,  $E_{max}$ , 와 등전계면의 면적을 비교하여 파괴특성을 분석하였다.

먼저 그림 1의 구조 (6)과 그림 4의 구조 (7)을 비교하면, 그림 5a와 5b에서 보듯이 드레인에 도핑영역이 없는 구조 (6)이 게이트와 같은 평면에 드레인 고준위 도핑영역을 갖는 구조 (7)에서는 게이트에 인가된 역전압에 의한 공간전하 영역이 드레인 전극 아래에 위치한 고준위 도핑 영역에 의해 더 이상 드레인 아래로 확장되지 못하기 때문에 게이트의 드레인 끝 부분에서 등전위면이 밀집하여 높은 전계가 형성되고, 공간전하영역은 벌크 쪽으로 확장되어 등전계면의 면적이 증가하게 된다. 이것은 그림 3b의 구조 (6)과 그림 6a의 구조 (7)의 등전계면 분포를 비교해 보면 분명히 알 수

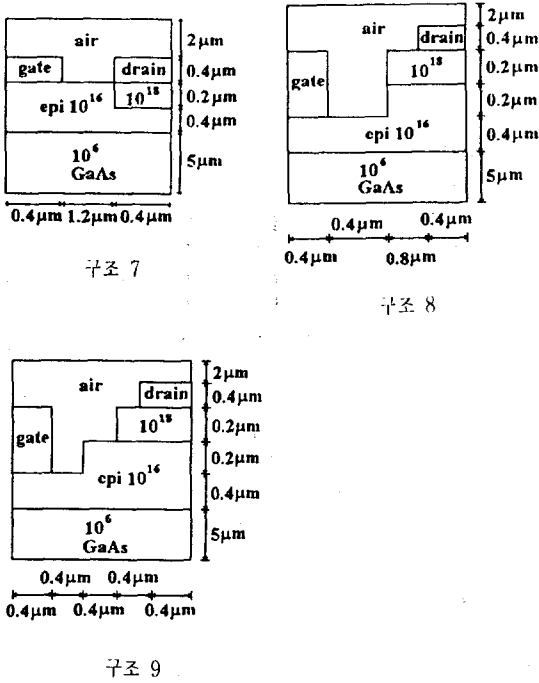


그림 4. Planar와 다양한 recess 게이트 구조.  
Fig. 4. A planar and a various recess gate structure.

있다. 구조 (7)의  $10^5$  V/cm 등전계면이 고준위 도핑 영역 때문에 드레인 쪽으로 확장되지 못하고 벨크 쪽으로 침투함을 볼 수 있다. 이와같은 현상은 그림 5a와 5b에서 보듯이 게이트-드레인 간격이 커질 수록 감소함을 볼 수 있다. 이것은 공간전하영역의 확장을 방해하던 고준위 도핑 영역이 게이트로부터 멀리 떨어져 있기 때문이다. 그러나, 그림 5b의 면적은 게이트-드레인 간격이 증가함에 따라 증가하다가 다시 감소하였다. 이 현상은 전압이 클수록 심하게 나타났다. 이것은  $4 \times 10^5$  V/cm의 임계 등전계면이 -10V에서 이미 드레인의 고준위 도핑영역에 도달하였기 때문이다. 따라서, 이러한 공간전하 영역 확장 저지 현상은 게이트-드레인 간격이 커지더라도 다소 나타나며, 게이트 전압이 크면 더욱 현저히 나타난다.

이와같은 공간전하 영역 확장 저지 현상이 개선된 구조로서 그림 6b와 6c에 구조 (8)과 (9)의 전계분포가 나타나 있다. 구조 (8)과 (9)는 게이트 부분이 recess 에칭공정으로 식각되어 드레인 보다 아래에 위치하고, 옴 접촉을 위하여 고준위 도핑된 에피층을 사용하였다. 드레인 에피층이 게이트와 같은 평면에 위치하지 않으므로 게이트의 공간전하 영역이 드레인 쪽으로 확장되는 것을 저지하지

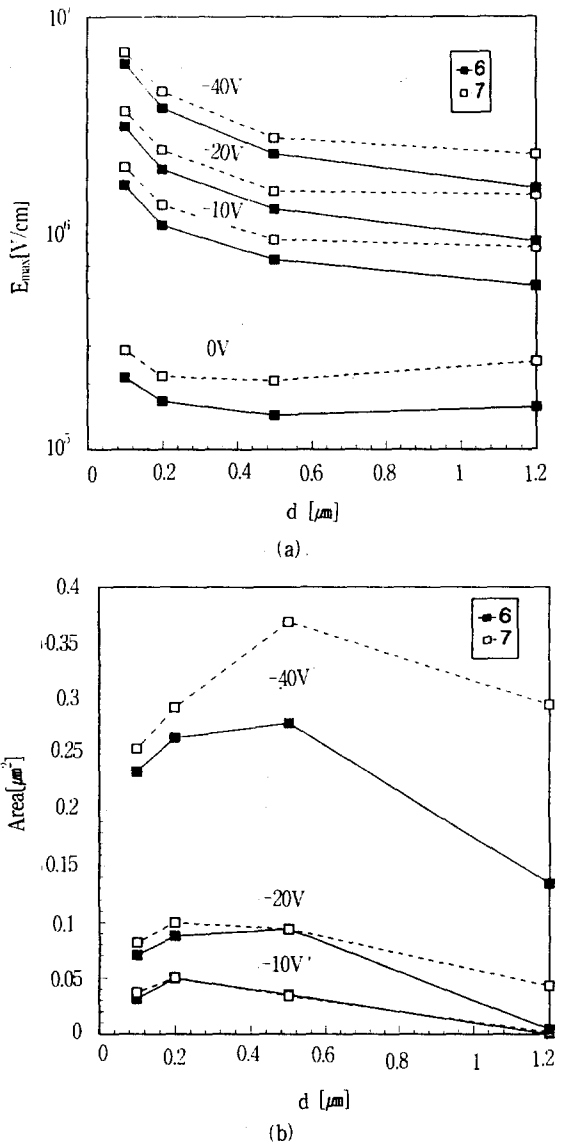


그림 5. 구조 (6)과 (7)의 a) 최대전계-전압, b) 임계등전계면 면적-전압 관계.

Fig. 5. For the structure (6) and (7), a)  $E_{max}$ - $V_G$ , b) the area of field contour vs.  $V_G$ .

않는다. 따라서, 최대전계의 크기와 임계 등전계면의 면적이 그림 7a, 7b와 같이 감소하였다. 그리고, 구조 (8)의 경우 드레인의 에피층 때문에 게이트 근처에서 등전계면이 밀집해 있는 것을 볼 수 있지만, 구조 (9)는 드레인의 에피층 일부가 게이트에 가까운 부분에서 식각되어 전체의 밀집현상을 제거할 수 있었다. 그러므로, 구조 (9)는 (8)에 비하여 최대 전계의 크기 (그림 7a)와 임계 등전계의

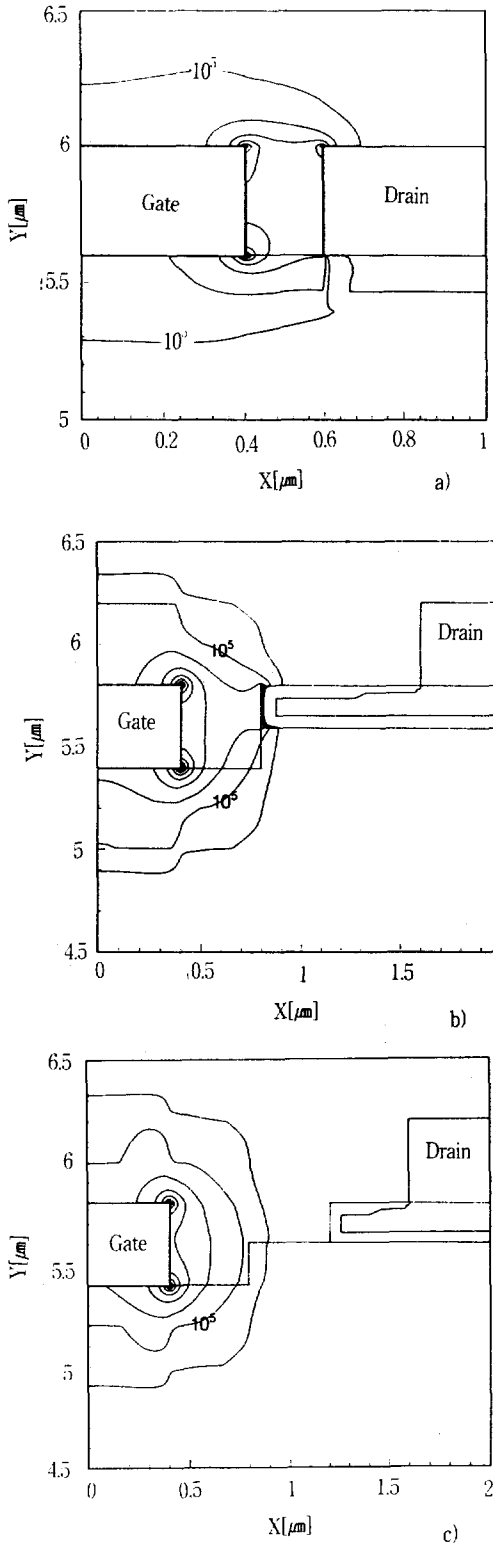


그림 6. a) 구조 (7)의 등전계면 분포, b) 구조 (8)의 등전계면 분포, c) 구조 (9)의 등전계면 분포.

Fig. 6. The field contour of a) the structure (7), b) the structure (8), c) the structure (9).

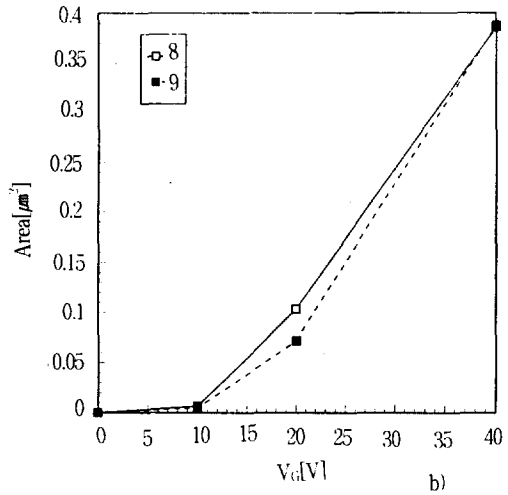
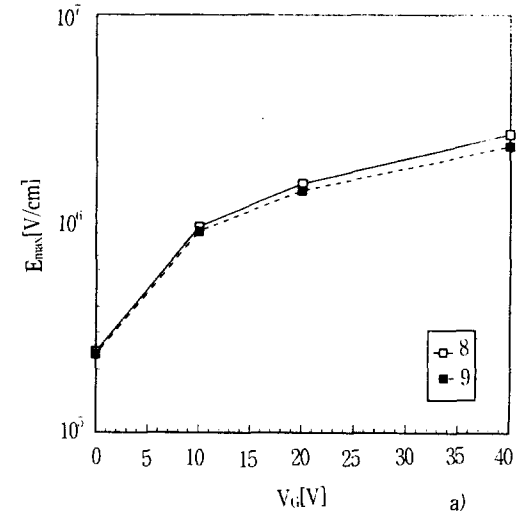


그림 7. 구조 (8)과 (9)의 a) 최대전계-전압, b) 임계 등전계면의 면적-전압.

Fig. 7. For the structure (8) and (9), a)  $E_{max}$  vs  $V_G$ , b) the area of field contour vs.  $V_G$ .

면적 (그림 7b)이 작아져서 가장 좋은 파괴특성을 보여 주었다. 게이트 전압이 40V일 때 구조 (8)과 (9)의 등전계면의 면적이 거의 같은데, 이것은 40V 정도의 고전압에서는 두 구조에서 임계 등전계면이 고준위 도핑된 에피층에 도달하기 때문이다.

**V. 결 론**

임의의 2차원 GaAs MESFET의 전위 및 전계 분포를 시뮬레이션할 수 있는 프로그램을 개발하였고, 이를 이용하여 게이트와 드레인 구조가 파괴특성에 미치는 영향을 분석하였다. 시뮬레이션 결과에 의하면 파괴특성은 에피층의 두께가 얇을수록 향상되었고, 게이트-드레인 간격에는 약한 변화를 보인 반면 인가전압에는 강하게 변화함을 보였다. 드레인 전극 아래에 음 접촉을 위하여 고준위 도핑된 영역을 갖는 구조가 파괴특성이 좋지 못한 것으로 판단되어진다. 이것은 드레인의 고준위 도핑 영역이 게이트의 공간전하 영역의 확장을 저지 하였기 때문이다. 이러한 저지 현상은 recess 게이트와 고준위 도핑된 드레인 에피층을 사용함으로써 개선되었고, 특히 드레인 에피층에서 게이트에 가까운 부분을 일부 식각하여 파괴특성을 더욱 개선할 수 있었다.

**참 고 문 헌**

1. M. J. Howes and D. V. Morgan, Gallium Arsenide: Material, Devices and Circuits, Ch.
2. W. R. Frensley, "Power-Limiting Breakdown Effects in GaAs MESFET's," IEEE Tran. Elect. Dev., Vol. ED-28, p962, 1981.
3. T. Furutsuka, T. Tsuji and F. Hasegawa, "Improvement of the Drain Breakdown Voltage of GaAs Power MESFET's by a Simple Recess Structure," IEEE Tran. Elect. Dev., Vol. ED-25, p 563, 1978.
4. S. H. Wemple, W. C. Niehaus, H. M. Cox, J. V. Dilorenzo and W. O. Schlosser, "Control of Gate-Drain Avalanche in GaAs MESFET's," IEEE Tran. Elect. Dev. Vol. ED-27, p1013, 1980.
5. H. Mizuta, K. Yamaguchi and S. Takahashi, "Surface Potential Effect on Gate-Drain Avalanche Breakdown in GaAs MESFET's," IEEE Tran. Elect. Dev., Vol. ED-34, p2027, 1987.
6. R. Burden, J. Douglasfares and A. Reynolds, Numerical Analysis, Prindle, Weber & Schmidt, 1978.
10. Wiley, 1985.

저자소개

**장운영**

1959년 1월 30일생. 1984년 2월 동아대학교 전자공학과 졸업(학사). 1987년 2월 동아대학교 대학원 전자공학과 졸업(석사). 1990년 2월 동아대학교 전자공학과 박사과정 수료. 1994년 현재 부산전문대학 전자계산학과 조교수. 주관심



분야: 반도체 소자

**송정근**

1980년 3월 서울대학교 전자공학과(학사). 1984년 3월 서울대학교 전자공학과(석사). 1992년 3월 Univ. of Cincinnati 전기 및 컴퓨터 공학사(박사). 1992년 3월-현재 동아대학교 전자공학과 전임. 주관심분야:고속소자 및 유전체 박막 등



임. 특허:미국특허 No.5, 302, 838.