The Journal of the Korean Institute of Electrical and Electronic Material Engineers. Vol. 8, No. 6, pp. 737,1995.

2단계 RTD방법에 의한 N^+P 접합 티타늄 실리사이드 특성연구

논 문
8-6-8

The Characterization for the Ti-Silicide of N^+P Junction by 2 Step RTD

최 도영*, 윤 석범**, 오 환술***
(Do-Yong Choi, Seuk-Bum Yoon, Whan-Sul Oh)

Abstract

Two step RTD(Rapid Thermal Diffussion) of P into silicon wafer using tungsten halogen lamp was used to fabricated very shallow n^+p junction. 1st RTD was performed in the temperature range of 800℃ for 60 sec and the heating rate was in the 50℃/sec. Phosphrous solid source was transfered on the silicon surface. 2nd RTD process was performed in the temperature range 1050℃, 10sec. Using 2 step RTD we can obtain a shallow junction 0.13㎛ in depth.

After RTD, the Ti-silicide process was performed by the two step RTA(Rapid Thermal Annealing) to reduced the electric resistance and to improve the n^+p junction diode. The titanium thickness was 300Å. The condition of 1st RTA process was 600℃ of 30sec and that of 2nd RTA process was varied in the range 700℃, 750℃, 800℃ for 10sec~60sec.

After 2 step RTA, sheet resistance was 46Ω/□. Ti-silicide n+p junction diode was fabricated and I-V characteristics were measured.

Key Words(중요용어): RTD(Rapid Thermal Diffussion)(급속 열 확산), Grain boundary(결정립 계면), RTA(Rapid Thermal Annealing)(급속 열처리), Preamorphization(선비정질화), Shadowing Effect(그늘효과).

I. 서 론

MOS 집적회로가 scaled down됨에 따라 소오스/드레인에 극히 얕은 접합형성이 필요하다. 예로서 0.25㎛의 게이트 길이를 갖는 초고집적 MOS소자를 제작하기 위해서는 0.1㎛ 이하의 극히 얕은 접합의 형성이 이루어져야 한다. Deep submicron급 소자의 극히 얕은 접합을 형성하기 위한 방법으로는 첫째, WSi_2, $CoSi_2$ 및 $TiSi_2$와 같이 실리콘에 접촉을 형성하기 위해 적용되는 실리사이드(Silicide)를 형성한 후 이온 주입을 하고 어닐링을 수행하는 방법이 연구되고 있다.[1,2] 이 방법은 이온 주입된 불순물이 대부분 실리사이드층 내에 정지되므로 벌크(Bulk) 실리콘에 손상이 발생되지 않고, 이온주입후 공정 온도는 이온 주입에 따른 손상을 제거하기 위한 어닐링 온도를 필요로 하지 않아 800℃정도의 낮은 온도에서 확산 가능하며, 실리사이드층 내에 존재하는 불순물이 확산을 통해 접합을 형성하고 실리콘 표면에서 균일한 불순물 분포를 얻을 수 있으므로 낮은 누설 전류를 갖는 장점이 있다. 그러나 실리사이드 결정 형성시 결정립 계면(Grain boundary)을 통한 외부로의 확산(Out diffusion)이 발생되어 불순물의 손실을 초래하고, 실리콘 내부로의 확산시 실리사이드층이 불안정해지는 단점이 있다. 둘째, Ge, As, Si과 같은 질량이 무거운 원자를 실리콘 표면에 이온 주입으로 선비정질화(Preamorphization)시킨 후 접합을 형성하는 방법이 연구되고 있다.[3-5] 이 방법은 얕은 접합을 위해서는 낮은 에너지의 이온 주입을 적용해야 하는데, 낮은 이온주입 에너지에서도 채

* : 금성사 안양연구소
** : 공주전문대학 산업영상과
*** : 건국대학교 전자공학과
접수일자 : 1994년 1월 4일
심사완료 : 1994년 3월 8일

널링은 피할 수 없는 현상이고 이온주입 에너지가 감소하면 채널링 방지를 위한 임계각은 증가하는데 이를 효과적으로 제거할 수 있으며, 채널링 방지를 위한 tilting도 필요치 않아 그늘효과(Shadoing effect)가 발생되지 않는 장점이 있다. 그러나 이온 주입되는 이온과의 원자핵 산란(Nuclear scattering)에 의해 실리콘 격자에 전달된 에너지가 임계값을 초과하면 실리콘 격자의 변위가 발생하고, 어닐링후에 결점결함(point defect)으로 작용하여 큰 누설 전류를 야기시키는 단점이 있다. 셋째, 이온 주입을 사용하지 않고 손상이 적은 급속 열처리 공정(Rapid Thermal Process)만을 이용하여 직접 불순물을 확산시키는 방법으로 확산원은 고체 확산 소오스(Solid diffusion source)를 사용하는 것과,[6-8] Spin-on source 코팅[9]을 사용하여 얕은 접합을 형성하는 연구가 활발히 이루어지고 있다. 이 방법은 이온주입시 나타나는 채널링과 결정격자의 손상을 피할 수 있으며, 주입된 불순물을 크게 활성화 시킬 수 있고, 단시간 열처리를 실시하므로 내부로의 불필요한 확산을 최소한으로 억제할 수 있으며, 불순물의 재분포가 적어 실리콘 표면에서 높은 표면 농도를 형성할 수 있다는 장점이 있다. 그러나 실리콘 표면에 형성되는 실리콘-화합물의 선택적 식각에 있어 식각용액에 관한 연구가 미약하고, 균일성과 재현성에 있어 문제가 발생하는 단점이 있다.

또한 이러한 scaled down된 소자는 선폭의 감소와 길이의 증가로 면저항이 증가하고 접촉저항의 증가로 인한 속도제한의 문제점이 발생하며 접합 스파이크 발생의 문제점이 대두되었다. 이러한 단점을 해결하기 위해 오옴특성이 양호하고 열적안정성이 높은 티타늄 실리사이드에 대한 연구가 진행되고 있다.

본 연구에서는 복사열의 소오스로 텅스텐 할로겐 램프를 사용한 급속 열처리 방법을 이용하여 인 고체 소오스를 실리콘에 얕은 접합으로 확산시켜 그 특성을 연구하였다. 그 위에 스퍼터링 방법으로 Ti를 증착한 후 2단계 급속 열처리 공정을 수행하여 티타늄 실리사이드를 형성하고 특성을 분석 하였으며 N^+P 접합 다이오드를 제작하여 전기적 특성을 고찰하였다.

II. 시료제작 및 측정고찰

본 연구에서는 이온 주입의 문제점을 극복하고자 급속 열처리 장비를 사용하여 확산공정을 수행하고 얕은 접합을 형성하였다.

공정별 단계를 기술하면 다음과 같다. 사용한 p형 Si 기판의 비저항율이 1$\Omega \cdot$cm이므로 농도는 1.5×10^{16} atoms/cm^{3}이다. 확산을 위한 창을 형성하기 위해 건식 산화법으로 1000℃, 120분간 전기로에서 1000Å의 산화막을 성장하였다. 성장된 산화막에 포토레지스트 작업으로 확산창을 형성하였다. 급속 열 확산을 위해 사용한 장비는 열원으로 텅스텐 할로겐 램프가 챔버 위, 아래로 10개씩 설치된 Heatpulse 2146 RTP이다.

n^+의 얕은 접합을 형성하기 위한 급속 열 확산용 고체 소오스는 3인치 크기인 Phosplus(Model: TP-470)를 세척하여 사용하였다. 공정 웨이퍼와 고체 소오스 사이는 두께 450㎛의 Quartz spacer를 놓았고 고체 소오스 밑에는 히팅웨이퍼를 놓고 N_2 분위기에서 초당 50℃로 온도를 증가하여 800℃, 60초 동안 불순물이 웨이퍼 표면으로 증착되도록 하였다. 온도를 내린 후 상온에서 고체 소오스를 제거하고 히팅 웨이퍼 위에 공정웨이퍼를 놓고, N_2 분위기에서 1050℃, 10초간 확산공정을 수행하였다. 확산 공정시 산소가스를 챔버안으로 주입하는데 이는 실리콘 표면에 얇은 PSG(Phospho Silica Glass) 층을 형성시켜, 글라스 천이된 인 불순물이 확산하는 동안 외부로 빠져나오는 것을 방지하기 위한 방법으로 채택하였다. 확산공정이 끝난 시편은 확산후 웨이퍼 표면에 남은 고체 소오스와 PSG층을 제거하였다. 측정된 면저항은 198Ω/□이고 SIMS(Secondary Ion Mass Spectrometry)로 분석된 불순물 농도분포 및 접합 깊이는 그림 1에서 5E 19cm-3, 0.13㎛로 얕은 접합을 형성하였다. 형성된 접합 깊이 및 불순물 농도 분포는 온도 상승시간에 의해 증가하는데, 그 이유는 RTD 온도를 증가할 때 산화막과 실리콘간의 열팽창계수 차이 및 온도 기울기 차이에 의해 응력영역(stress field)이 증가하기 때문이다.[9]

극히 얇은 접합의 형성은 접촉 및 상호 연결층의 배선에서 선폭의 증가와 길이의 증가로 저항성분이 크게 증가하므로 소자 속도에 제한을 가져올 뿐만 아니라 알루미늄 금속의 상호 확산에 의한 접합 스파이킹이 발생되어 접합을 파괴하기 쉽다. 따라서 이러한 문제를 극복하기 위해 내화금속중 비저항과 열적 안정성이 높은 티타늄을 얕은 접합층 위에 형성, 급속 2단계 열처리 공정을 수행하였다. 2단계 RTD 공정을 거친 웨이퍼를 스퍼터링 장비로 출력 0.25Kw, 상온에서 2분 동안 300Å 두께의 Ti를 실리콘 웨이퍼 전면에 증착하였다.

Ti이 가장 안정된 구조의 C_{54}-$TiSi_2$를 형성하기 위해 2 단계의 급속 열처리 과정을 수행하였으며,

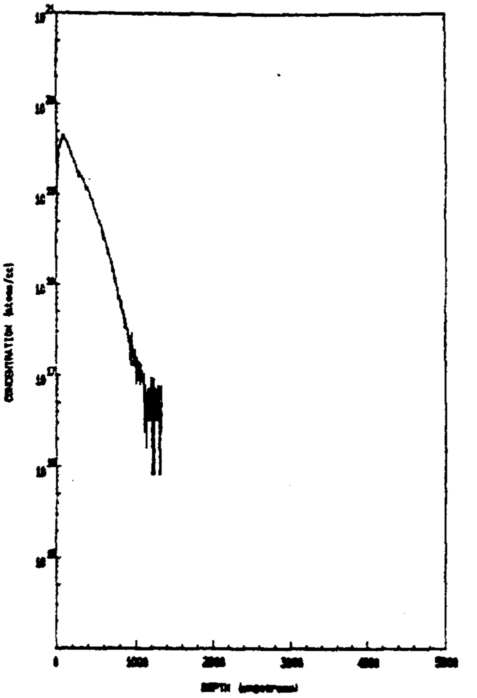


그림 1. RTD 공정 조건에 따른 SIMS분석 1050℃, 10초

Fig. 1. SIMS analysis for RTD process condition.

이것은 700℃ 이상의 온도로 열처리하면 Ti와 산화막과의 반응으로 다이오드간의 단락을 유발시킬 가능성이 크고, 1단계 RTA보다 2단계 RTA공정의 전류특성이 우수함으로 600℃에서 30초 동안 1차 RTA를 수행한 후 산화막 위의 Ti와 창에서 반응하지 못한 Ti를 선택적으로 제거한 다음 1차적으로 반응한 Ti_xSi_y의 실리사이드층에 대하여 2차 RTA를 수행하여 안정된 실리사이드를 형성하였다.

급속 열처리의 공정은 다음과 같다. 1차 급속 열처리는 다이오드간 격리(Isolation)를 위해 선택적 식각에 용이하며 소자 성능 향상을 위해 600℃, N_2 분위기에서 30초 동안 진행했다. 선택적 식각 과정은 산화막위의 Ti과 창에서 실리콘과 반응하지 않은 Ti은 NH_4OH : H_2O_2 : H_2O가 1:1:5로 혼합된 용액을 75℃로 가열시켜 30초 동안 담궈 식각하였다. 식각후 산화막위에 Ti가 잔류할 가능성을 배제하고자 충분히 식각했다. 식각후 산화막의 두께는 Nanospec으로 측정한 결과 평균 980Å이었다. 선택적 식각 과정 후 2차 급속 열처리는 700℃에서 30초, 750℃에서 각각 10초, 30초, 60초 그리고 800℃에서 30초로 하여 티타늄 실리사이드를 형성하였다. 그림 2는 급속 열 확산 공정 조건이 1050℃, 10초 수행한 시편을 1차와 2차 RTA 공정 조건을 각각 600℃에서 30초, 750℃에서 30초로 실리사이드화 하면서 각 단계별로 면저항을 측정하여 나타내었다. Ti-실리사이드 형성시 면저항값은 46Ω/□로 실리사이드를 형성하지 않은 경우 보다 152Ω/□정도 더 낮고 46Ω/□ 면저항은 아래층의 농도에 관계없이 5Ω/□이하 이어야 하나 이와 같이 나타난 것은 공정시 100% N_2 분위기를 유지하지 못하여 나타난 것으로 사료된다.

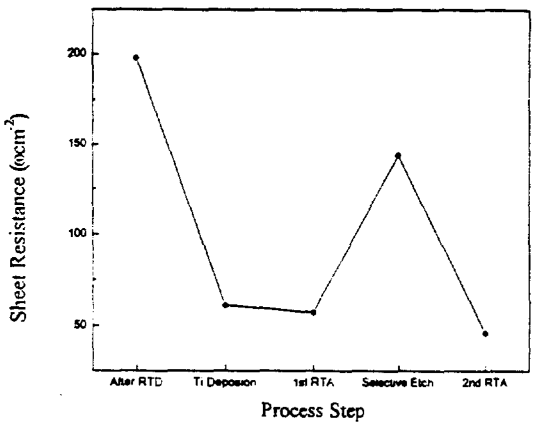


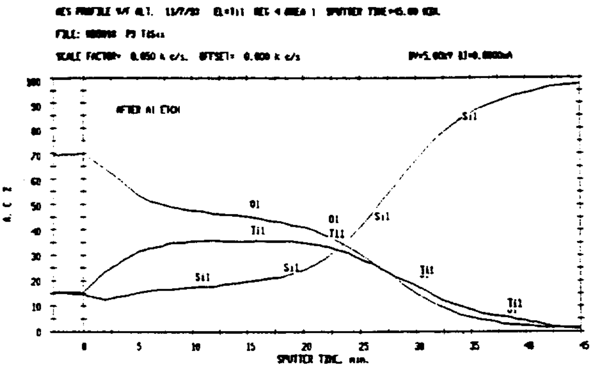
그림 2. RTD 공정 조건에 따른 면 저항

Fig. 2. The sheet resistance for RTD process condition.

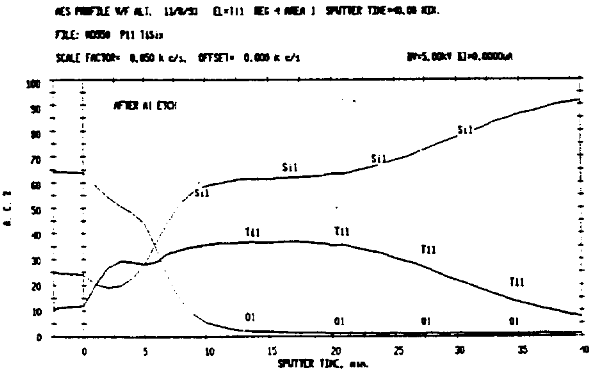
Ti-실리사이드 형성시 Ti/Si의 반응 성분조성비를 관찰하기 위해 AES(Auger Electron Spectroscopy)로 측정하여 그림 3, 4에 나타내었다.

AES 측정은 실리사이드화를 다이오드 패턴속에서 확인하기 위해 1㎛의 알루미늄을 decap하여 실리사이드층을 손상없이 드러내기위해 먼저 H_3PO_4: CH_3COOH : HNO_3 : H_2O를 16 : 1 : 1 : 2로 혼합한 용액에 담궈 식각하였다. E-beam은 1Kw의 세기로 다이오드와 동축으로 주사하고, 아르곤 빔은 3.5Kw의 세기로 다이오드와 15° 각도로 주사하면서 반사되어 오는 전자를 포획하여 전자가 갖고 있는 에너지량을 분석하여 성분조성비로 나타낸다.

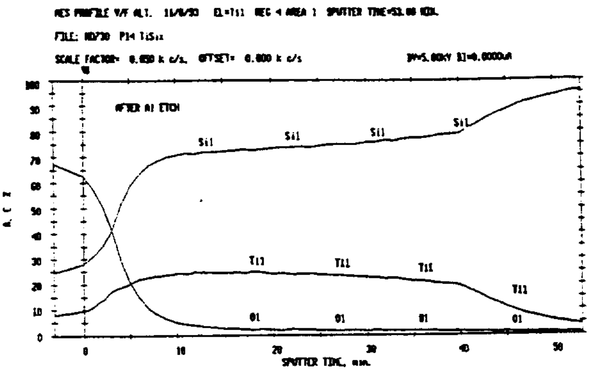
그림 3은 RTD 공정조건이 1050℃, 10초에서 시료를 Ti-실리사이드화를 위하여 2차 RTA 온도변화를 (a)700℃, (b)750℃, (c)800℃로 주고 RTA 시간은 30초로 고정한 시료들을 측정한 AES 프로파일이다. 700℃에서 2차 RTA한 그림 (a)는 산소성분이 많이 검출되었고, 750℃에서 2차 RTA한 그림 (b)는 대체로 균일하게 Ti-실리사이드화 되었



(a)



(b)



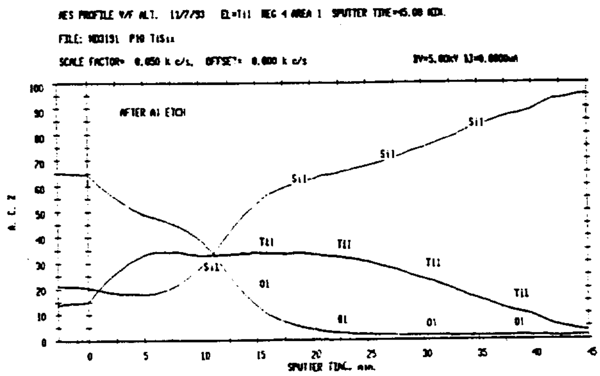
(c)

그림 3. 2차 RTA 온도 변화에 따른 AES 프로파일(RTD 공정조건 : 1050℃, 10초)
(a)700℃, 30초 (b)750℃, 30초 (c)800℃, 30초

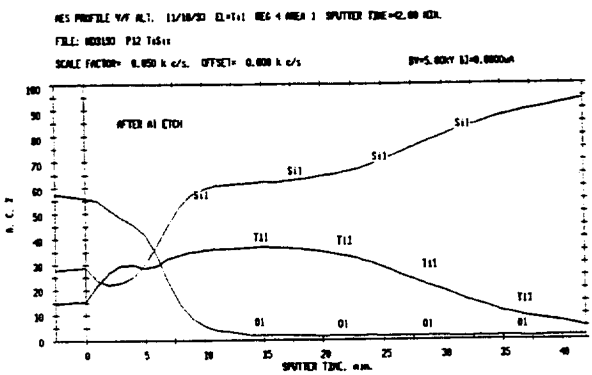
Fig. 3. The AES profile for 2nd RTA temperature variance (RTD process condition : 1050℃, 10sec).

으며, 800℃에서 2차 RTA한 그림 (c)는 Si이 표면으로 많이 밀려나오면서 균일하게 Ti과 반응함을 볼 수 있다. 즉, 700℃ RTA 진행한 경우는 Si/Ti 조성이 Ti-rich 형태로 나타났으나 750℃이상일 때 실리사이드 형성이 $TiSi_2$층 전 구간에서 고르게 형성되었다. 800℃에서 30초 동안 실리사이드를 형성한 시료는 Ti/n^+-Si층에서 실리콘이 Ti층 위로 충분히 반응하여 750℃보다 표면에서 실리콘의 양이 많은 것으로 나타났다.

그림 4는 RTD 공정조건이 1050℃, 10초에서 성장한 시료를 Ti-실리사이드화를 위하여 2차 RTA 온도를 750℃로 고정하고 시간을 (a)10초, (b)60초로 변화를 주었을 때 측정한 AES 프로파일로써 그림 3의 (b)와 비교하면 대체로 2차 급속 열처리



(a)



(b)

그림 4. 2차 RTA 시간 변화에 따른 AES 프로파일(RTD 공정조건 :1050℃, 10초)
(a) 750℃, 10초 (b) 750℃, 60초

Fig. 4. The AES profile for 2nd RTA time variance.

시간이 30초 이상은 거의 같은 조성을 나타내고 있다. 그림 3과 4에서 보듯이 실리사이드 형성은 C_{49}-$TiSi_2$의 혼합상으로 나타나고 표면층에는

$Ti_xSi_yO_z$층이 존재함을 알 수 있고, 표면에 형성되어 있는 산소는 Ti/Si 계면과 Ti층에 흡착되어 있던 산소가 Ti-Silicide 성장으로 표면쪽으로 밀려 나갈 뿐만 아니라 Al를 식각하면서 Ti-rich 층과 산소가 반응하여 분포된 것으로 사료된다. 전체적으로 2차 RTA의 Ti 실리사이드 형성은 시간변화보다 온도변화에 더 민감하게 반응하고 있음을 알 수 있다.

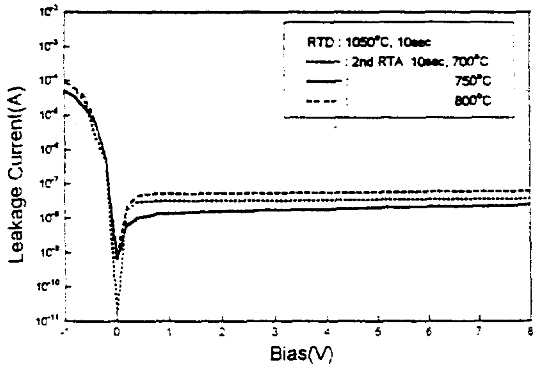
다이오드의 전기적 특성을 측정하기 위해 실리사이드 층위에 MRC 902M Sputter 장비로 1%의 Si이 함유된 알루미늄을 1㎛ 두께로 웨이퍼 전면에 증착시키고 금속식각 공정을 하였다. 알루미늄을 Alloy하기 위하여 N_2+H_2 분위기에서 450℃, 30분 동안 열처리하고 E빔 장비로 금을 0.2㎛ 두께로 증착해 옴접촉을 형성하여 Ti-실리사이드화된 N^+P 얕은 접합 다이오드를 제작하고 전기적 특성을 측정하였다.

Ti-실리사이드화된 N^+P 얕은 접합 다이오드의 전기적 특성 중 특히 누설 전류가 중요한데 누설 전류의 일반적인 원인을 살펴보면, 실리콘 웨이퍼 표면상에 존재하는 이온 전하에 의한 표면 채널 및 표면공핍층이 형성되어 발생하는 누설 전류, 공핍영역내에서 국부적 에너지 상태를 통해 캐리어의 생성과 재결합으로 인한 누설 전류 및 에너지 밴드갭에서 캐리어의 터널링에 의해 발생되는 누설 전류가 있다. 그런데, 실리사이드층을 갖는 얕은 접합 영역의 경우에는 실리사이드에 존재하는 응력이 실리사이드 형성이 접합의 공핍영역으로부터 확산거리(~0.04㎛)내에 존재할 때, RIE 공정에 의한 물리적 손상들이 누설 전류에 기인하는 요소들이다. 결국 접합깊이, 면저항 및 누설전류가 공정수행 조건의 최적화를 위한 상관관계를 요구하게 된다.

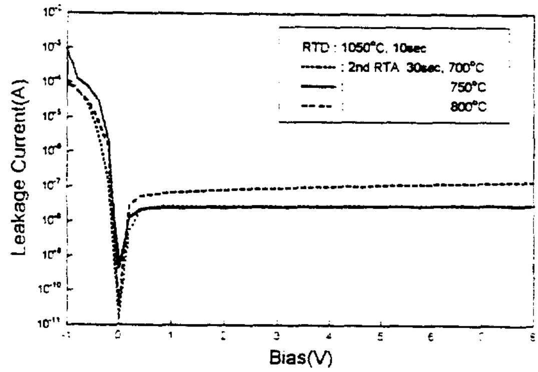
실리사이드화된 n^+-p 다이오드의 누설 전류를 측정하기 위하여 HP-4145B SPA(Semiconductor Parameter Analyzer)를 사용하여 역방향 바이어스를 0~8V까지 인가했을 때 나타나는 전류를 측정하였다.

그림 5의 (a)와 (b)는 RTD 공정 조건이 1050℃, 10초일 때 2차 RTA 시간을 각각 10초, 30초로 고정하고 급속열처리온도를 700℃, 750℃ 및 800℃온도 변화에 따른 누설 전류 특성을 나타내고 있는데 2차 RTA 공정온도가 750℃인 시료가 가장 낮은 누설전류값을 보였다.

그림 6은 RTD조건이 1050℃, 10초, 2차 RTA 온도를 750℃로 고정시키고 시간 변화를 10, 30, 60초로 급속 열처리한 후 제작된 소자의 따른 누



(a)



(b)

그림 5. RTD공정조건 1050℃, 10초에서 2차 RTA의 온도 변화에 따른 누설 전류
(a) 2차 RTA시간 : 10초
(b) 2차 RTA시간 : 30초

Fig. 5. The leakage current for 2nd RTA temperature variance in 1050℃, 10sec RTD process condition.

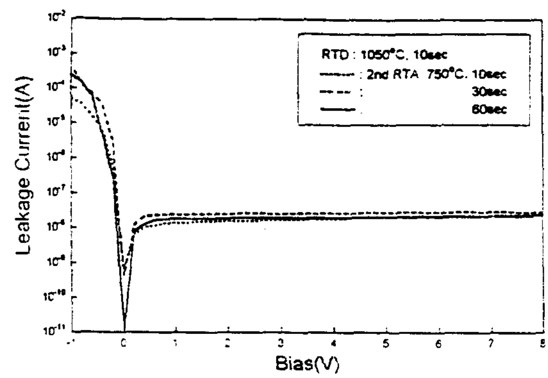


그림 6. 2차 RTA의 시간 변화에 따른 누설 전류 특성(RTD:1050℃, 10초, 2차 RTA 온도:750℃)

Fig. 6. The leakage current characteristics for 2nd RTA time variance.

설 전류이다. 2차 RTA 시간이 길수록 안정된 실리사이드 형성이 용이하며 낮은 누설 전류가 나타남을 알 수 있다.

III. 결 론

본 연구에서는 텅스텐 할로겐 램프를 열원으로 한 급속열처리 장비를 이용하여 인(P) 고체 소스를 급속 열확산법으로 얕은 접합을 형성하였다. 공정조건은 800℃, 60초로 고체 소오스를 웨이퍼 표면에 충분히 증착하고, 1050℃, 10초로 하였다. 측정된 면저항은 198Ω/□며, SIMS 프로파일로 분석한 표면 농도는 5×1019 atoms/cm^3, 접합 깊이는 0.13㎛ 이었다.

얇은 접합 소자의 문제점으로 대두되고 있는 전기적 저항의 증가와 얕은 접합이 쉽게 손상되는 경향을 극복하여 소자 성능을 개선하기 위해 Ti-실리사드 공정을 채택하였다. RTD로 얕은 접합이 형성된 시편에 스퍼터링으로 금속 Ti를 증착한 후 Ti-silicidation 공정을 2단계 RTA(Rapid Thermal Annealing)방법으로 진행하였다. 1차 RTA의 공정조건을 600℃, 30초로 고정시키고, 2차 RTA 공정조건을 온도는 700~800℃, 시간은 10~60초로 변화시키면서 실리사이드를 형성하였다. 실리사이드화된 시편의 면저항을 측정한 결과 46Ω/□로 RTD 공정만 진행시킨 시편보다 152Ω/□ 감소시킬 수 있었다. 또한 실리사이드 형성의 조성비를 확인하기 위해 AES로 분석하였다. Auger 분석결과 700℃에서는 Ti-rich층을 형성하였으나 750℃ 이상에서는 실리사이드 형성을 확인할 수 있었다. 또한 실리사이드 형성은 2차 RTA 공정시간의 변화보다 온도의 변화에 더 의존하였다.

시편을 2단계 RTA로 실리사이드화된 n^+-p 다이오드를 제작하여 측정된 누설전류는 2차 RTA 공정온도가 750℃일때 낮은 누설전류를 나타내었고 공정 최적조건은 1050℃, 10초로 RTD하여 2차 RTA를 750℃, 60초일 때 역방향 바이어스가 5V에서 20.75×10^{-9}A이었다.

급속 열처리 장비로 RTD공정과 Ti-실리사이드 형성공정을 수행하여 N^+의 불순물 농도를 증가하고 접합저항을 더욱 줄이면 Scaled down된 MOS 집적회로 공정으로의 응용이 기대된다.

References

1. L.Rubin, D.Hoffman, D.Ma and N.Herbots, "Shallow junction Diode Formation by Implantation of Ar and B through Titanium-silicide Films and RTA", IEEE Trans. Electron Devices, Vol.37, No.1, pp.183-190, 1990.
2. C.M.Osburn, "Formation of Silicided, Ultra-shallow junctions Using Low Thermal Budget Processing", J. Electronic Materials, Vol. 19, No.1, pp.67-88, 1990.
3. B.Y.Tsaur and C.H.Anderson, "Dual Ion Implantation Technique For Formation of Shallow P^+-N junction in Silicon", J. Appl. phys., Vol.54, No.11, pp.6336-6339, 1983.
4. M.C.Ozturk, J.J.Wortman and C.Lee, "Optimization of the Germanium Preamorphization Conditions for Shallow-junction Formation", IEEE Trans. Electron Devices, Vol.35, No.5, pp. 659-668, 1988.
5. S.J.Kwon, H.J. Kim and J.D. Lee, "As^+-preamorphization Method for Shallow P^+-N Junction Formation", Jap. J. Appl. Phys., Vol.29, No.12, pp.2326-2328, 1990.
6. T.Z.Seidel, D.J.Lischner, C.G.Pai and S.S.Lan, "Temperature Transitions in Heavily Doped and Undopped Silicon Using RTA", J. Appl. Phys., Vol.57, No.4, pp.1317-1321, 1985.
7. B.J.Cho, S.K.Park and C.K.Kim,"Estimation of Effective Diffusion Time in a Rapid Thermal Diffusion Using a Solid Diffusion Source", IEEE Trans. Electron Devices. Vol. 39, No.1, pp.111-114, 1992.
8. 주정규, 노병규, 이성욱, 최성태, 최도영, 윤석범, 오환술, "RTP에 의한 인 고체 확산 소스의 얕은 접합 형성에 관한 연구", 전자 계산, 반도체 재료 및 부품, CAD 및 VLSI 설계, IEEE Korea Council Computer Chapter합동 학술발표회 논문집, Vol.11, No.1, pp.133-136, 1993.
9. A.Usami, M.Ando, M.Tsunekane and T. Wada, "Shallow-junction Formation on Silicon by Rapid Thermal Diffusion of Impurities from a Spin-on Source", IEEE Trans. Electron Devices, Vol.39, No.1, p.105-110, 1992.